清华大学信息科学技术学院教材——微电子光电子系列

半导体集成电路
（第2版）

Semi-Conductor Integrated Circuits (Second Edition)

朱正涌　张海洋　朱元红　编著
Zhu Zhengyong　Zhang Haiyang　Zhu Yuanhong

清华大学出版社

ISBN 978-7-302-18512-3



9 787302 185123 >

定价：49.80元

清华大学信息科学技术学院教材——微电子光电子系列

半导体集成电路
（第2版）

Semi-Conductor Integrated Circuits
(Second Edition)

朱正涌　张海洋　朱元红　编著
Zhu Zhengyong　Zhang Haiyang　Zhu Yuanhong

清华大学出版社
北京

内 容 简 介

本书全面介绍了半导体集成电路的分析与设计方法。全书共分为4个部分，第1部分(第1～3章)介绍了集成电路的典型工艺、集成电路中元器件的结构、特性及寄生效应；第2部分(第4～11章)为数字集成电路，讨论了常用的双极和MOS集成电路的电路结构、工作原理和版图形式；第3部分(第12～16章)为模拟集成电路，介绍了模拟集成电路中的基本单元电路及常用的模拟集成电路，如集成运算放大器、集成稳压电源电路及开关电容电路、A/D、D/A变换电路等；第4部分(第17～22章)为集成电路设计，举例介绍了集成电路的设计方法和集成电路的计算机辅助设计，其中重点论述了集成电路的版图设计以及集成电路的可靠性设计和可测性设计。每章后面都附有习题。

本书可作为高等院校微电子学和电子科学与技术专业本科生的教材，也可供有关专业的本科生、研究生以及工程技术人员阅读参考。

版权所有，侵权必究。侵权举报电话：010-62782989　13701121933

图书在版编目(CIP)数据

半导体集成电路/朱正涌，张海洋，朱元红编著．—2版．—北京：清华大学出版社，2009.4
(清华大学信息科学技术学院教材——微电子光电子系列)
ISBN 978-7-302-18512-3

Ⅰ．半…　Ⅱ．①朱…②张…③朱…　Ⅲ．半导体集成电路—集成电路工艺—高等学校—教材　Ⅳ．TN430.5

中国版本图书馆CIP数据核字(2008)第139488号

责任编辑：陈国新
责任校对：时翠兰
责任印制：王秀菊
出版发行：清华大学出版社　　**地　　址**：北京清华大学学研大厦A座
http://www.tup.com.cn　　**邮　　编**：100084
社　总　机：010-62770175　　**邮　购**：010-62786544
投稿与读者服务：010-62776969，c-service@tup.tsinghua.edu.cn
质 量 反 馈：010-62772015，zhiliang@tup.tsinghua.edu.cn
印 刷 者：清华大学印刷厂
装 订 者：三河市金元印装有限公司
经　　销：全国新华书店
开　　本：185×230　**印　张**：32.75　**字　数**：709千字
版　　次：2009年4月第2版　　**印　　次**：2009年4月第1次印刷
印　　数：1～3000
定　　价：49.80元

本书如存在文字不清、漏印、缺页、倒页、脱页等印装质量问题，请与清华大学出版社出版部联系调换。联系电话：(010)62770177转3103　　产品编号：030547-01

出版说明

本套教材是针对清华大学信息科学技术学院所属电子工程系、计算机科学与技术系、自动化系、微电子研究所、软件学院的现行本科培养方案和研究生培养计划的课程设置而组织编写的。这些培养方案和培养计划是基于清华大学对研究型大学的定位和对研究型教学的强调，吸纳多年来在教学改革与实践中所取得的成果和形成的共识，历经多届学生试用和不断修订而形成的。贯穿于其中的“本科教育的通识性、培养模式的宽口径、教学方式的研究型、专业课程的前沿性”的相关思想是我们组编本套教材所力求体现的基本指导原则。

本套教材以本科教材为主并适量包括研究生教材。定位上，属于信息学科大类中各个基本方向的基本理论和前沿技术的一套高等院校教材。层次上，覆盖学院公共基础课程、专业技术基础课程、专业课程、研究生课程。领域上，涉及6个系列14个领域，即学院公共基础课程系列，信息与通信工程系列（含通信、信息处理等领域），微电子光电子系列（含微电子、光电子等领域），计算机科学与技术系列（含计算机科学、计算机网络与安全、计算机应用、软件工程、网格计算等领域），自动化系列（含控制理论与控制工程、模式识别与智能控制、检测与电子技术、系统工程、现代集成制造等领域），实验实践系列。类型上，以文字教材为主并适量包括多媒体教材，以主教材为主并适量包括习题集、教师手册等辅助教材，以基本理论和工程技术教材为主并适量包括实验和实践课程教材。列入这套教材中的著作，大多是清华大学信息科学技术学院所属系所院开设的课程中经过较长教学实践而形成的，既有多年教学经验和教学改革基础上新编著的教材，也有部分已出版教材的更新和修订版本。教材在总体上突出求新与求实的风格，力求反映所属领域的基本理论和新进展，力求做到学科先进性和教学适用性的统一。

本套教材的主要读者对象为电子科学与技术、信息与通信工程、计算机科学与技术、控制科学与工程、系统科学、电气工程、机械工程、化学与技术工程、核能工程等相关理工专业的大学生和研究生，以及相应领域和部门的科学工作者和工程技术人员。我们希望，这套教材既能为在校大学生和研究生的学习提供内容先进、论述系统和适于教学的教材或参考书，也能为广大科学工作者与工程技术人员的知识更新与继续学习提供适合的和有价值的进修或自学读物。我们同时要感谢使用本系列教材的广大教师、学生和科技工作者的热情支持，并热忱欢迎提出批评和意见。

《清华大学信息科学技术学院教材》编委会

2003年10月

第2版说明

第2版在以下方面做了修改和补充：

(1) 由于集成技术的发展，原来在双极集成电路中起过积极作用的ECL、I^2L电路，已用得较少，所以在第2版中只介绍这两种电路的基本单元的结构和工作原理，以及TTL、ECL、I^2L之间的接口电路；由于ECL、I^2L的版图设计有其特点，且对TTL的版图设计有参考价值，故保留了ECL、I^2L的版图设计部分。

(2) 由于版图设计对于集成电路的面积和性能的优化起着越来越重要的作用，所以在第2版中加强了版图设计方面的内容，这部分内容由从事集成电路版图设计工作的朱元红同志编写。

(3) Flash在存储器中起着越来越重要的作用，所以在第2版中增加了这一方面的内容，这部分内容由多年从事存储器测试方面工作的张海洋同志编写。

(4) 由于集成技术的发展，集成电路的集成度越来越高，其功耗越来越大，其可靠性问题也越来越严重，所以在第2版中增加了低功耗设计方面的内容。

(5) 为了便于读者自学，增加了一些基础知识的内容。

编　者

2008年9月

第1版前言

本教材按“1996—2000年全国电子信息类专业教材编审出版规划”，由“全国高校微电子技术专业教学指导委员会”编审推荐出版。责任编委为陈建新教授。

清华大学微电子学研究所张建人与贾松良教授于1987年分别出版了《MOS集成电路分析与设计基础》(张建人编著，电子工业出版社出版)和《双极集成电路分析与设计基础》(贾松良编著，电子工业出版社出版)两本书，作为清华大学微电子学专业本科生MOS集成电路和双极集成电路两门课程的教材。1992年开始，为适应教学改革的需要，我们决定把这两门课程合并为一门，以精简学时，减少不必要的重复。我们在这两本教材的基础上于1995年改编为“集成电路分析与设计”讲义，同时在体系和内容上作了较大的变动，并对元器件和单元电路的版图结构、集成电路的版图设计以及可靠性设计和可测性设计方面作了较多的补充，以反映微电子技术近年来的飞速发展。

本书是在上述讲义的基础上改编而成的，改编时结合本所多年来在教学、科研和科技开发中的一些成果，增加了部分新内容，使教材内容更实用、具体和生动。

本书共分4部分，第1部分(第1～3章)为基础知识，主要介绍双极集成电路、MOS集成电路和Bi-CMOS电路的典型制造工艺，各制造工艺生成的集成电路元器件的结构，集成电路元器件的形成过程，元器件的特性及其寄生效应等，作为了解后续部分章节的基础。第2部分(第4～11章)介绍双极和MOS数字集成电路(包括双极TTL、ECL和I^2L电路，各种MOS和CMOS数字电路)的特性以及分析方法，各种逻辑系列之间的电平转换电路，使读者对各种电路的特点及适用的场合有一个基本的了解，以便在实际工作中能选用合适的电路。第3部分(第12～16章)介绍模拟集成电路，首先介绍模拟集成电路中的基本单元电路，如各种放大电路、有源负载、恒流源电路、电压源电路、电平位移电路、双端输出变单端输出电路、输出级及其保护电路等。这些常用的单元电路是分析各种模拟集成电路的基础。接着介绍集成运算放大器、集成稳压电源电路及开关电容电路、A/D、D/A变换电路等几种常用的模拟集成电路。第4部分(第17～22章)专门介绍集成电路设计，即如何实现设计目标。首先介绍了集成电路的版图设计规则，给出了双极集成电路和MOS集成电路版图设计规则的部分图例。接着，以74HC139 MOS集成电路和5JZ12双极集成电路为例，详细介绍集成电路正向设计的全过程。然后，以74HC193 MOS集成电路为例，介绍如何进行MOS集成电路的芯片解剖。此外，还介绍如何识别双极集成电路的版图。此后又详细介绍

集成电路的各种设计方法，比较各种设计方法的优缺点，并对集成电路的可靠性设计和可测性设计进行了专门的介绍。最后介绍集成电路计算机辅助设计中常用的一些工具以及计算机辅助设计的过程，并对 VHDL 做了简介。

本书取材内容兼顾了基础知识和集成电路的最新发展（如集成电路的可靠性、可测性设计，VHDL 等），并重点介绍集成电路设计特别是版图设计。因此在本书中用了较多的篇幅来描述元器件的结构图、版图，分析各种元器件的特性及寄生效应以及怎样减小寄生效应，并且以具体产品为例，介绍集成电路的正向设计和逆向设计，使读者对集成电路的内涵及集成电路的分析、设计方法有所了解，为分析和设计集成电路打下基础。

本书由成都电子科技大学张开华教授主审，他对原稿提出了许多宝贵的修改意见。在本书的编写过程中，引用了前述两本教材的部分内容，第 20 章主要参考了杨之廉教授编写的《超大规模集成电路设计的方法学导论》[9]，编者向他们深表谢意。此外，张蓬同志为书稿绘制了原稿的部分插图，贺祥庆、褚彤同志编写了部分习题，宋文忠和朱元红同志为原书稿的录入做了大量的工作。编者向他们表示衷心的感谢。

由于集成电路的发展非常迅速，加上作者的水平有限，书中定有不少不足和错误，热诚欢迎读者批评指正。

编　者

2000 年 8 月于清华园

目　录

第 1 章　集成电路的基本制造工艺 …… 1

1.1　双极集成电路的基本制造工艺 …… 1

1.1.1　典型的双极集成电路工艺 …… 1

1.1.2　双极集成电路中元件的形成过程和元件结构 …… 2

1.2　MOS 集成电路的基本制造工艺 …… 5

1.2.1　N 沟道硅栅 E/D MOS 集成电路制造工艺 …… 5

1.2.2　CMOS 集成电路制造工艺 …… 7

1.3　Bi-CMOS 制造工艺 …… 11

1.3.1　以 CMOS 工艺为基础的 Bi-CMOS 制造工艺 …… 12

1.3.2　以双极工艺为基础的 Bi-CMOS 制造工艺 …… 13

复习思考题 …… 15

第 2 章　集成电路中的晶体管及其寄生效应 …… 16

2.1　理想本征集成双极晶体管的埃伯斯-莫尔(EM)模型 …… 16

2.2　集成双极晶体管的有源寄生效应 …… 18

2.2.1　NPN 管工作于正向工作区和截止区的情况 …… 18

2.2.2　NPN 管工作于反向工作区的情况 …… 18

2.2.3　NPN 管工作于饱和区的情况 …… 19

2.3　集成双极晶体管的无源寄生效应 …… 20

2.3.1　集成 NPN 晶体管中的寄生电阻 …… 21

2.3.2　集成 NPN 晶体管中的寄生电容 …… 27

2.4　集成电路中的 PNP 管 …… 29

2.4.1　横向 PNP 管 …… 29

2.4.2　衬底 PNP 管 …… 37

2.4.3　自由集电极纵向 PNP 管 …… 38

2.5　集成二极管 …… 39

2.5.1　一般集成二极管 …… 39

2.5.2 集成齐纳二极管和次表面齐纳管 …… 40
2.6 肖特基势垒二极管(SBD)和肖特基钳位晶体管(SCT) …… 41
2.6.1 肖特基势垒二极管 …… 41
2.6.2 肖特基钳位晶体管 …… 42
2.6.3 SBD 和 SCT 的设计 …… 44
2.7 MOS 集成电路中的有源寄生效应 …… 45
2.7.1 场区寄生 MOSFET …… 45
2.7.2 寄生双极型晶体管 …… 46
2.7.3 寄生 PNPN 效应 …… 47
2.8 集成电路中的 MOS 晶体管模型 …… 50
2.8.1 MOS1 模型 …… 50
2.8.2 MOS2 模型 …… 52
2.8.3 MOS3 模型 …… 52
复习思考题 …… 53

第 3 章 集成电路中的无源元件 …… 55
3.1 集成电阻器 …… 55
3.1.1 基区扩散电阻 …… 56
3.1.2 其他常用的集成电阻器 …… 63
3.1.3 MOS 集成电路中常用的电阻 …… 69
3.2 集成电容器 …… 69
3.2.1 双极集成电路中常用的集成电容器 …… 70
3.2.2 MOS 集成电路中常用的 MOS 电容器 …… 71
3.3 互连(内连线) …… 72
3.3.1 铝连线 …… 72
3.3.2 扩散区连线 …… 73
3.3.3 多晶硅连线 …… 73
3.3.4 铜连线 …… 73
3.3.5 交叉连线 …… 74
复习思考题 …… 75

第 4 章 晶体管-晶体管逻辑(TTL)电路 …… 77
4.1 一般的 TTL 与非门 …… 77
4.1.1 标准 TTL 与非门(四管单元) …… 77
4.1.2 54H/74H 五管单元与非门 …… 79

4.1.3 六管单元与非门 …… 79
4.2 STTL 和 LSTTL 电路 …… 80
4.2.1 六管单元 STTL 与非门电路 …… 80
4.2.2 低功耗肖特基 TTL(LSTTL)电路 …… 81
4.3 LSTTL 门电路的逻辑扩展 …… 82
4.3.1 OC 门 …… 82
4.3.2 三态逻辑(TSL)门 …… 84
4.4 ASTTL 和 ALSTTL 电路 …… 85
4.5 中、大规模集成电路中的简化逻辑门 …… 88
4.5.1 简化逻辑门 …… 88
4.5.2 单管逻辑门 …… 88
4.6 LSTTL 电路的版图设计 …… 93
复习思考题 …… 93

第 5 章 发射极耦合逻辑(ECL)电路 …… 100
5.1 ECL 门电路的工作原理 …… 100
5.1.1 射极耦合电流开关 …… 101
5.1.2 射极输出器 …… 101
5.1.3 参考电压源 …… 102
5.2 ECL 电路的版图设计特点 …… 103
5.2.1 划分隔离区 …… 104
5.2.2 元器件的设计 …… 104
5.2.3 布局布线 …… 105
复习思考题 …… 106

第 6 章 集成注入逻辑(I^2L)电路 …… 109
6.1 I^2L 电路基本单元的结构 …… 109
6.2 I^2L 基本单元电路的工作原理 …… 110
6.2.1 当前级的输出为 1 态时的情况 …… 111
6.2.2 当前级的输出为 0 态时的情况 …… 111
6.3 I^2L 电路的工艺与版图设计 …… 112
6.3.1 I^2L 电路的工艺设计 …… 112
6.3.2 I^2L 电路的版图设计 …… 114
复习思考题 …… 118

第 7 章　MOS 反相器 …… 119
7.1　自举反相器 …… 119
7.2　耗尽负载反相器(E/D 反相器) …… 121
7.3　CMOS 反相器 …… 122
7.3.1　CMOS 反相器的直流特性 …… 122
7.3.2　噪声容限 …… 125
7.3.3　开关特性 …… 127
7.3.4　功耗 …… 129
7.4　静态内部反相器的设计 …… 132
7.4.1　有比反相器的设计 …… 132
7.4.2　CMOS 反相器的设计 …… 132
7.5　动态反相器 …… 133
7.5.1　动态有比反相器 …… 133
7.5.2　动态无比反相器 …… 134
7.5.3　漏举电路 …… 135
7.6　按比例缩小理论 …… 136
7.6.1　器件和引线按 CE 理论缩小的规则 …… 136
7.6.2　按比例缩小的 CV 理论 …… 138
7.6.3　按比例缩小的 QCV 理论 …… 139
复习思考题 …… 140

第 8 章　MOS 基本逻辑单元 …… 142
8.1　NMOS 逻辑结构 …… 142
8.1.1　NMOS 或非门电路 …… 142
8.1.2　NMOS 与非门电路 …… 144
8.1.3　NMOS 组合逻辑电路 …… 146
8.2　CMOS 逻辑结构 …… 148
8.2.1　CMOS 互补逻辑 …… 148
8.2.2　伪 NMOS 逻辑 …… 149
8.2.3　动态 CMOS 逻辑 …… 149
8.2.4　钟控 CMOS 逻辑 …… 153
8.2.5　CMOS 多米诺逻辑 …… 154
8.3　级联级的负载 …… 155
8.4　影响门的电气和物理结构设计的因素 …… 157
8.4.1　MOS 管的串联和并联 …… 157

8.4.2 衬偏调制效应 …… 158
8.4.3 源漏电容 …… 158
8.4.4 电荷的再分配 …… 159
8.5 各种逻辑类型的比较 …… 160
8.6 传输门逻辑 …… 161
8.7 RS 触发器 …… 162
8.7.1 NMOS RS 触发器 …… 162
8.7.2 CMOS RS 触发器 …… 164
8.8 时钟脉冲控制触发器 …… 166
8.8.1 NMOS 结构的时钟脉冲控制触发器 …… 166
8.8.2 CMOS 结构的时钟脉冲控制触发器 …… 167
8.9 D 触发器 …… 168
8.9.1 NMOS D 触发器 …… 168
8.9.2 CMOS D 触发器 …… 168
8.10 施密特触发器 …… 170
复习思考题 …… 173

第 9 章 MOS 逻辑功能部件 …… 175
9.1 多路开关 …… 175
9.2 加法器和进位链 …… 176
9.2.1 组合逻辑加法器 …… 177
9.2.2 传输门加法器 …… 179
9.2.3 进位链 …… 180
9.3 算术逻辑单元 …… 182
9.3.1 以 E/D NMOS 反相器为主体的算术逻辑单元 …… 182
9.3.2 以传输门为主体的算术逻辑单元 …… 184
9.4 寄存器 …… 185
9.4.1 双港寄存器 …… 185
9.4.2 移位寄存器 …… 185
9.4.3 堆栈移位寄存器 …… 187
9.4.4 动态移位寄存器 …… 187
复习思考题 …… 189

第 10 章 存储器 …… 192
10.1 存储器的结构 …… 193

10.2 掩模编程 ROM …… 194
10.3 现场可编程 ROM(PROM) …… 198
10.4 可擦除可编程 ROM(EPROM) …… 200
10.5 电可擦除可编程 ROM(E^2 PROM) …… 201
10.5.1 TEE8502 的总体结构和工作模式 …… 201
10.5.2 存储单元和存储矩阵 …… 204
10.5.3 外围电路 …… 206
10.6 静态随机存取存储器(SRAM) …… 218
10.7 动态随机存取存储器(DRAM) …… 228
10.8 闪存(Flash) …… 232
10.8.1 闪存的存储单元 …… 233
10.8.2 NOR 型闪存 …… 234
10.8.3 NAND 型闪存 …… 243
10.8.4 SBC 和 MLC …… 246
复习思考题 …… 248

第 11 章 接口电路 …… 249
11.1 双极逻辑系列间的接口电路 …… 249
11.1.1 ECL 和 TTL 之间的接口电路 …… 249
11.1.2 I^2L 和 TTL 之间的接口电路 …… 253
11.2 TTL 和 MOS 逻辑系列间的接口电路 …… 257
11.2.1 TTL 到 CMOS 的接口电路 …… 257
11.2.2 CMOS 到 TTL 的接口电路 …… 258
11.2.3 E/D NMOS 与 TTL 之间的接口电路 …… 259
复习思考题 …… 259

第 12 章 模拟集成电路中的基本单元电路 …… 260
12.1 单管、复合器件及双管放大级 …… 260
12.1.1 双极晶体管复合器件及双管放大级 …… 260
12.1.2 MOS 管放大级 …… 265
12.2 恒流源电路 …… 272
12.2.1 基本恒流源电路 …… 272
12.2.2 双极型比例恒流源电路 …… 274
12.2.3 精密匹配电流镜 …… 275
12.2.4 温度稳定恒流源 …… 275

12.2.5 小电流恒流源 …… 276
12.2.6 威尔逊(Wilson)恒流源 …… 277
12.2.7 PNP 恒流源 …… 279
12.2.8 JFET 恒流源 …… 281
12.3 偏置电压源和基准电压源电路 …… 282
12.3.1 双极型三管能隙基准源 …… 282
12.3.2 双极型二管能隙基准源 …… 284
12.3.3 E/D NMOS 基准电压源 …… 286
12.3.4 CMOS 基准电压源 …… 290
12.4 有源负载 …… 293
12.4.1 双极有源负载 …… 293
12.4.2 MOS 有源负载 …… 295
复习思考题 …… 296

第 13 章 集成运算放大器 …… 300
13.1 运算放大器的输入级 …… 300
13.1.1 双极晶体管射耦对差分输入级 …… 301
13.1.2 MOS 源耦对差分输入级 …… 303
13.2 输出级电路 …… 308
13.2.1 双极型输出级电路 …… 309
13.2.2 MOS 输出级电路 …… 313
13.3 双极型集成运算放大器 …… 316
13.3.1 741 型通用集成运放 …… 316
13.3.2 其他特殊运放 …… 317
13.4 MOS 集成运算放大器 …… 318
13.4.1 MOS 集成运放的特点 …… 318
13.4.2 CMOS 集成运放 …… 324
13.5 集成运算放大器的版图设计 …… 331
13.5.1 双极型集成运放的版图设计 …… 331
13.5.2 MOS 集成运放的版图设计 …… 334
复习思考题 …… 338

第 14 章 MOS 模拟开关及开关电容电路 …… 343
14.1 MOS 模拟开关 …… 343
14.1.1 单管增强型 NMOS 模拟开关 …… 344

14.1.2 CMOS模拟开关 …… 347
14.2 开关电容等效电阻电路 …… 347
14.2.1 并联型开关电容等效电阻电路 …… 348
14.2.2 串联型开关电容等效电阻电路 …… 349
14.3 开关电容积分器 …… 350
14.4 开关电容低通滤波器 …… 352
复习思考题 …… 353

第15章 集成稳压器 …… 355
15.1 集成稳压器的基本结构 …… 355
15.2 启动电路 …… 356
15.2.1 JFET启动电路 …… 356
15.2.2 晶体管隔离启动电路 …… 356
15.3 保护电路 …… 357
15.3.1 调整管的过流及安全工作区保护 …… 357
15.3.2 过热保护 …… 359
15.4 三端固定输出电压式稳压电源 …… 360
15.4.1 启动电路 …… 362
15.4.2 保护电路 …… 362
15.4.3 基准电压源和误差放大器 …… 362
15.4.4 取样电阻 …… 363
15.5 集成稳压器的版图设计 …… 363
15.5.1 调整管的版图设计 …… 363
15.5.2 集成稳压器版图设计的热对称考虑 …… 367
复习思考题 …… 368

第16章 D/A,A/D变换器 …… 369
16.1 D/A变换器的基本原理 …… 369
16.2 D/A变换器的基本类型 …… 371
16.2.1 电流定标D/A变换器 …… 372
16.2.2 电压定标D/A变换器 …… 373
16.2.3 电荷定标D/A变换器 …… 374
16.3 A/D变换器的变换原理 …… 376
16.3.1 A/D变换器的方框图 …… 376
16.3.2 主要变换误差 …… 377

16.4 A/D 变换器的基本类型 …… 379
16.4.1 积分型 A/D 变换器 …… 379
16.4.2 逐次逼近式 A/D 变换器 …… 382
复习思考题 …… 384

第 17 章 集成电路设计概述 …… 388
复习思考题 …… 393

第 18 章 集成电路的正向设计 …… 394
18.1 MOS 集成电路的正向设计 …… 394
18.1.1 74HC139 电路简介 …… 394
18.1.2 电路设计 …… 395
18.1.3 工程估算 …… 402
18.1.4 电路模拟 …… 405
18.1.5 版图设计 …… 408
18.1.6 版图检查 …… 409
18.2 双极型集成电路的正向设计 …… 409
18.2.1 双极型集成电路设计的特点 …… 409
18.2.2 双极型集成电路中元件的图形设计 …… 410
18.2.3 双极型集成电路的版图设计原则 …… 414
18.2.4 双极型集成电路版图设计举例 …… 416
复习思考题 …… 420

第 19 章 集成电路的芯片解剖 …… 422
19.1 MOS 集成电路的芯片解剖 …… 422
19.1.1 74HC193 芯片概况 …… 422
19.1.2 芯片解剖过程 …… 423
19.1.3 电路分析 …… 424
19.1.4 逻辑功能的分析 …… 426
19.1.5 版图设计规则的分析 …… 431
19.1.6 抑制 Latch-up 效应的措施 …… 433
19.1.7 版图的布局布线 …… 435
19.2 双极型集成电路的芯片解剖 …… 435
19.3 版图设计小结 …… 437
复习思考题 …… 445

第 20 章　集成电路设计方法 …… 449
20.1　全定制设计方法 …… 449
20.2　符号法版图设计 …… 449
20.3　半定制设计方法 …… 452
20.3.1　标准单元设计法 …… 452
20.3.2　门阵列设计方法 …… 453
20.4　可编程逻辑器件(PLD)设计法 …… 457
20.5　现场可编程门阵列(FPGA)设计法 …… 460
复习思考题 …… 462

第 21 章　集成电路的可靠性设计和可测性设计简介 …… 463
21.1　可靠性设计 …… 463
21.1.1　集成电路的固有可靠性 …… 463
21.1.2　电路设计中提高可靠性的措施 …… 465
21.1.3　版图设计中提高可靠性的措施 …… 469
21.1.4　工艺设计中提高可靠性的措施 …… 471
21.1.5　CMOS 电路低功耗设计概述 …… 472
21.2　可测性设计 …… 478
21.2.1　可测性设计的重要性 …… 478
21.2.2　可测性设计简介 …… 479
复习思考题 …… 482

第 22 章　集成电路的计算机辅助设计简介 …… 483
22.1　概述 …… 483
22.2　集成电路 CAD 中常用的工具简介 …… 485
22.2.1　器件模拟 …… 485
22.2.2　电路模拟 …… 486
22.2.3　逻辑模拟 …… 488
22.2.4　版图设计阶段 …… 491
22.3　VHDL 简介 …… 491
22.3.1　VHDL 术语 …… 492
22.3.2　VHDL 的主体结构 …… 492
22.3.3　VHDL 描述举例 …… 496
复习思考题 …… 500

参考文献 …… 501

第1章 集成电路的基本制造工艺

1.1 双极集成电路的基本制造工艺

1.1.1 典型的双极集成电路工艺

双极集成电路的基本制造工艺，可粗略地分为两类：一类为在元器件间要做电隔离区。隔离的方法有多种，如PN结隔离，全介质隔离及PN结-介质混合隔离等。采用这种制造工艺的双极集成电路，如线性/ECL，TTL/DTL，STTL电路，这三种电路的制造工艺基本相同，其中线性/ECL比TTL电路少掺金工序，STTL电路工艺虽不掺金，但多了制作肖特基势垒二极管(SBD)的工序。另一类为元器件间自然隔离。I^2L电路采用了这种制造工艺，其具体工艺将在第6章中介绍。

下面，以典型的PN结隔离的掺金TTL电路工艺为代表，来介绍双极集成电路的工艺和设计。

典型的PN结隔离的掺金TTL电路工艺流程如图1.1所示，因为每次光刻后，氧化、扩散前都要进行化学清洗，所以总的工序约40道。图中只列出了主要的工序，没有列出化学清洗及中测以后的工序，如裂片、压焊、封装等后工序，但我们对后工序要有足够的重视，因为后工序所占的成本比例较大，对产品成品率的影响也较大。

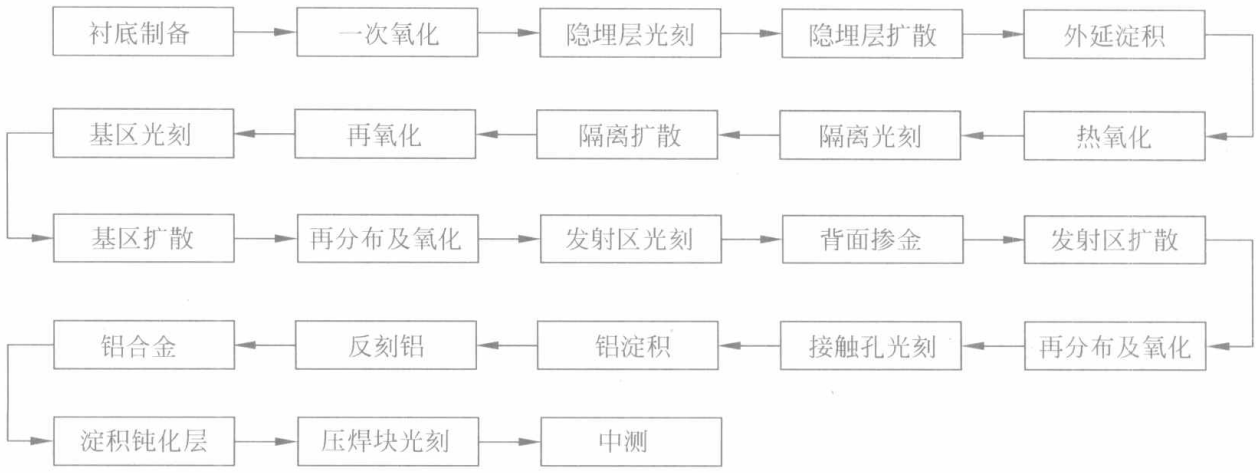


图1.1 典型的PN结隔离的掺金TTL电路工艺流程

1.1.2 双极集成电路中元件的形成过程和元件结构

由典型的PN结隔离的掺金TTL电路工艺制作的集成电路中的晶体管的剖面如图1.2所示，它基本上由表面图形（由光刻掩模决定）和杂质浓度分布决定。下面结合主要工艺流程来介绍双极集成电路中元器件的形成过程及其结构。

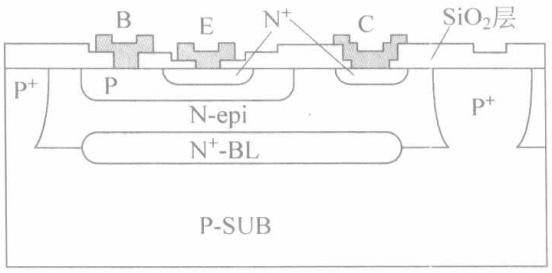


图1.2 典型集成电路中的NPN晶体管剖面图

1. 衬底选择

对于典型的PN结隔离双极集成电路来说，衬底一般选用P型硅。为了提高隔离结的击穿电压而又不使外延层在后续工艺中下推的距离太多，衬底电阻率选 $\rho \approx 10\Omega \cdot cm$。为了获得良好的PN结面，减少外延层的缺陷，选用(111)晶向，稍偏离2°～5°。

2. 第一次光刻——N^+隐埋层扩散孔光刻

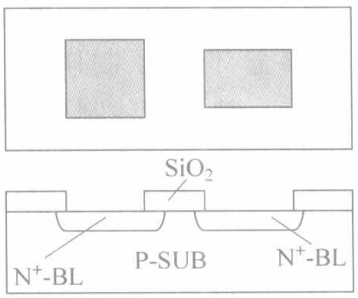


图1.3 第一次光刻的掩模版图形及隐埋层扩散后的芯片剖面

第一次光刻（即光Ⅰ）的掩模版图形及隐埋层扩散后的芯片剖面如图1.3所示。由于集成电路中的晶体管是三结四层结构，集成电路中各元件的端点都从上表面引出，并在上表面实现互连，为了减小晶体管集电极的串联电阻，减小寄生PNP管的影响，在制作元器件的外延层和衬底之间需要作N^+隐埋层。隐埋层杂质的选择原则是：①杂质固溶度大，以使集电极串联电阻降低；②高温时在硅中的扩散系数要小，以减小外延时隐埋层杂质上推到外延层的距离；③与硅衬底的晶格匹配好，以减小应力。因此最理想的隐埋层杂质是砷(As)。

3. 外延层淀积

外延层淀积后的芯片剖面如图1.4所示。外延层淀积时应考虑的设计参数主要是外延层电阻率 ρ_{epi} 和外延层厚度 T_{epi}。为了使结电容 C_{jS}、C_{jC} 小，击穿电压 BV_{CBO} 高，以及在以后的热处理过程中外延层下推的距离小，ρ_{epi} 应选得高一些；为了使集电极串联电阻 r_{CS} 小及饱和压降 V_{CES} 小，又希望 ρ_{epi} 低一些。这两者是矛盾的，需加以折中。对于TTL电路来说，电源电压 $V_{CC}=5V$，所以对 BV_{CBO} 的要求不高，但对 r_{CS}，V_{CES} 的要求高，所以可以选取 $\rho_{epi} \approx 0.2\Omega \cdot cm$，相应的厚度也较小，$T_{epi}=3\sim7\mu m$；而对于模拟电路来说，主要考虑工作电压，工作电压越高，ρ_{epi} 也应选得越高，相应地 T_{epi} 也较大，一般模拟电路的外延层电阻率 $\rho_{epi}=0.5\sim5\Omega \cdot cm$，厚度 T_{epi} 为7～17μm。外延层厚度 T_{epi} 应满足

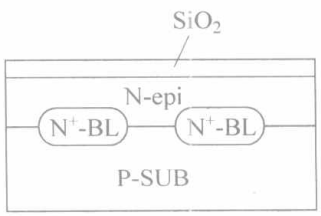


图1.4 外延层淀积后的芯片剖面

$$T_{epi} > x_{jC} + x_{mC} + T_{BL\text{-}up} + t_{epi\text{-}ox}$$

式中：x_{jC}为基区扩散的结深；

x_{mC}为集电结耗尽区的宽度；

$T_{BL\text{-}up}$为隐埋层上推的距离；

$t_{epi\text{-}ox}$为外延淀积后各道工序生成的氧化层所消耗的外延层厚度。

4. 第二次光刻——P^+隔离扩散孔光刻

隔离扩散的目的是在硅衬底上形成许多孤立的外延层岛，以实现各元件间的电绝缘。实现隔离的方法很多，有反偏 PN 结隔离、介质隔离、PN 结-介质混合隔离等。各种隔离方法各有优缺点。由于反偏 PN 结隔离的工艺简单，与元件制作工艺基本相容，成为目前最常用的隔离方法，但此方法的隔离扩散温度高（$T=1175℃$），时间长（$t=2.5\sim3h$），结深可达 $5\sim7\mu m$，所以外推较大。此工艺称为标准隐埋集电极（standard buried collector，SBC）隔离工艺。在集成电路中，P 型衬底接最负电位，以使隔离结处于反偏，达到各岛间电绝缘的目的。

隔离扩散孔的掩模版图形及隔离扩散后的硅片剖面如图 1.5 所示。

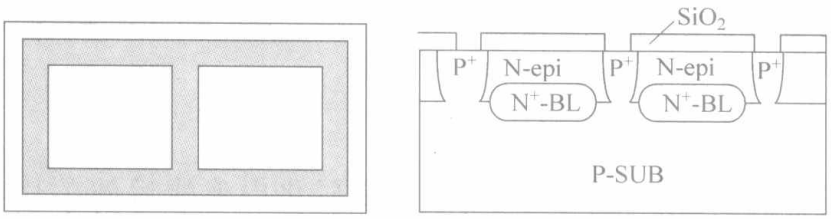


图 1.5　隔离扩散

（a）隔离扩散孔的掩模版图形（阴影区）；（b）隔离扩散后硅片剖面图

5. 第三次光刻——P 型基区扩散孔光刻

此次光刻决定 NPN 管的基区以及基区扩散电阻的图形。基区扩散孔的掩模版图形及基区扩散后的硅片剖面如图 1.6 所示。

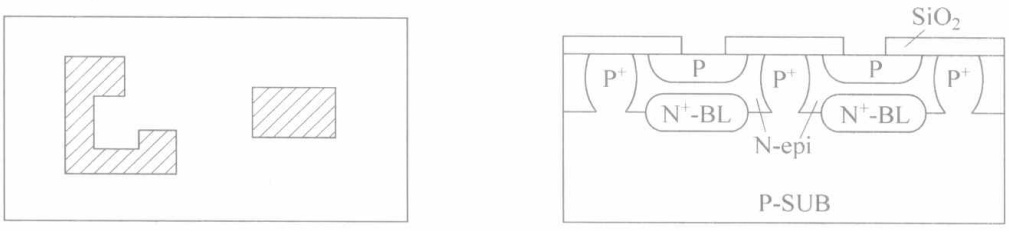


图 1.6　基区扩散

（a）基区扩散孔的掩模版图形（阴影区）；（b）基区扩散后硅片剖面图

6. 第四次光刻——N^+发射区扩散孔光刻

此次光刻还包括集电极和 N 型电阻的接触孔，以及外延层的反偏孔。由于 Al 和 N-Si

的接触，只有当 N 型硅的杂质浓度 $N_D \geqslant 10^{19}\,cm^{-3}$ 时，才能形成欧姆接触，所以必须进行集电极接触孔 N^+ 扩散。

此次光刻版的掩模图形和 N^+ 发射区扩散后的硅片剖面如图 1.7 所示。

7. 第五次光刻——引线接触孔光刻

此次光刻的掩模版图形如图 1.8 所示。

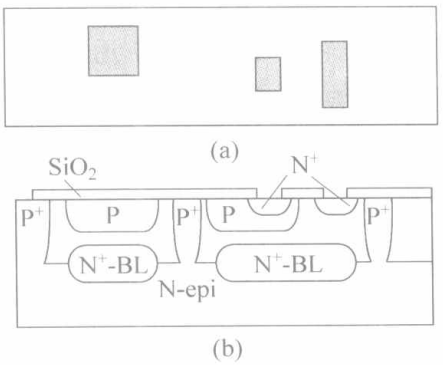


图 1.7　N^+ 发射区和引线接触区扩散

(a) 掩模图形(阴影区)；(b) 扩散后的硅片剖面图

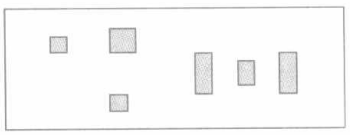


图 1.8　引线接触孔图形(阴影区)

8. 第六次光刻——金属化内连线光刻

此次光刻版的掩模版图形及反刻铝形成金属化内连线后的芯片复合图及剖面如图 1.9 所示。图 1.10 给出了在双极型模拟电路中使用的放大管和双极型数字电路中使用的开关管的工艺复合图。由图可见，模拟电路中的放大管的版图面积比数字集成电路中用的开关管的面积大，这是由于模拟电路的电源电压高，要求放大管的击穿电压 BV 高，所以

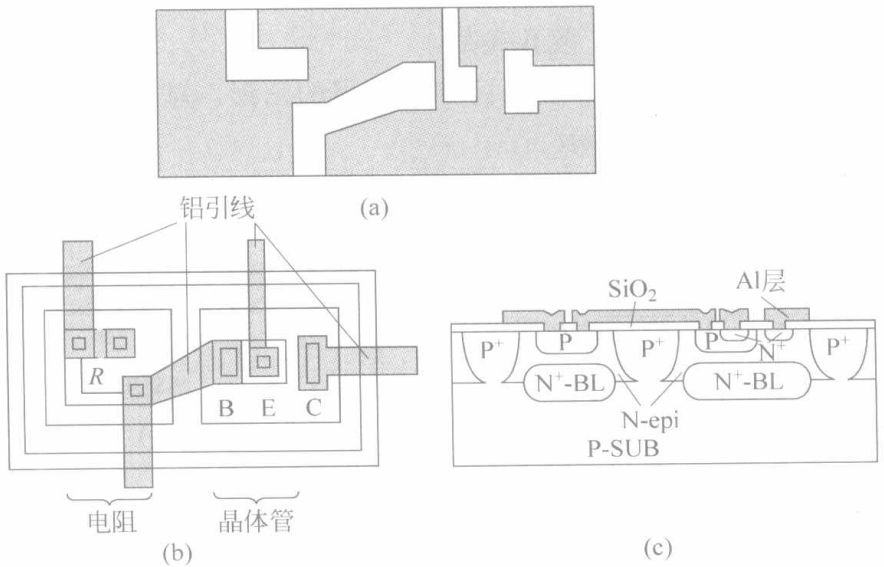


图 1.9　金属化内连线

(a) 第六次光刻掩模版图形；(b) 形成内连线后的芯片复合图形；(c) 剖面图

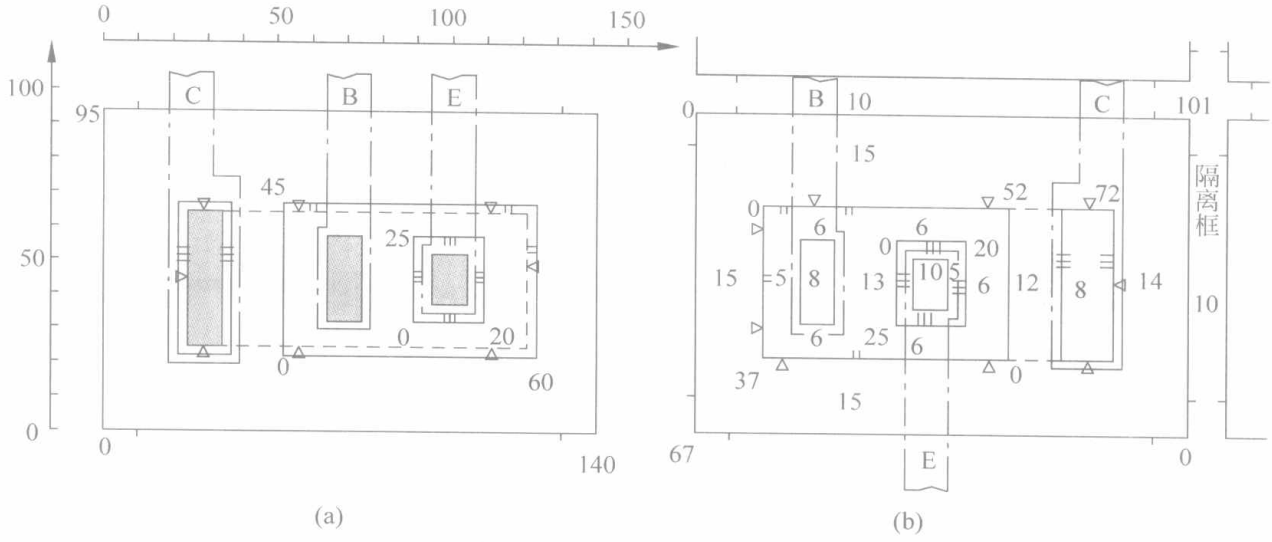


图 1.10　集成电路中双极型晶体管的工艺复合图

(a) 典型的模拟集成电路用的放大管；(b) 数字集成电路用的开关管(图中各数字均以 μm 为单位)

图中符号：

P型隔离扩散　　隐埋层扩散

P型基区扩散　　金属条

N^+型发射区扩散

选用外延层的电阻率 ρ_{epi} 较高、厚度 T_{epi} 较厚、结深 x_{jC} 较深；于是耗尽区宽度增加，横向扩散严重，因而使晶体管的版图面积增大。

1.2　MOS 集成电路的基本制造工艺

MOS 集成电路(IC)由于其有源元件导电沟道的不同，又可分为 PMOS 集成电路、NMOS 集成电路和 CMOS 集成电路。在 PMOS、NMOS 集成电路中，又因其负载元件的不同而分为 E/R(电阻负载)、E/E(增强型 MOS 管负载)、E/D(耗尽型 MOS 管负载)MOS 集成电路。各种 MOS 集成电路的制造工艺不尽相同。MOS 集成电路制造工艺根据栅电极的不同可分为铝栅工艺(栅电极为铝)和硅栅工艺(栅电极为掺杂多晶硅)。

由于 CMOS 集成电路具有低的静态功耗、宽的电源电压范围、宽的输出电压幅度(无阈值损失)，且具有高速度、高密度的潜力，又可和 NMOS 集成电路一样与 TTL 电路兼容，所以使用比较广泛。本节主要介绍 N 沟道硅栅 E/D MOS 集成电路制造工艺和 CMOS 集成电路制造工艺。

1.2.1　N 沟道硅栅 E/D MOS 集成电路制造工艺

图 1.11 是 N 沟道硅栅 E/D MOS 集成电路的工艺流程示意图及芯片剖面图。其主要工序如下：

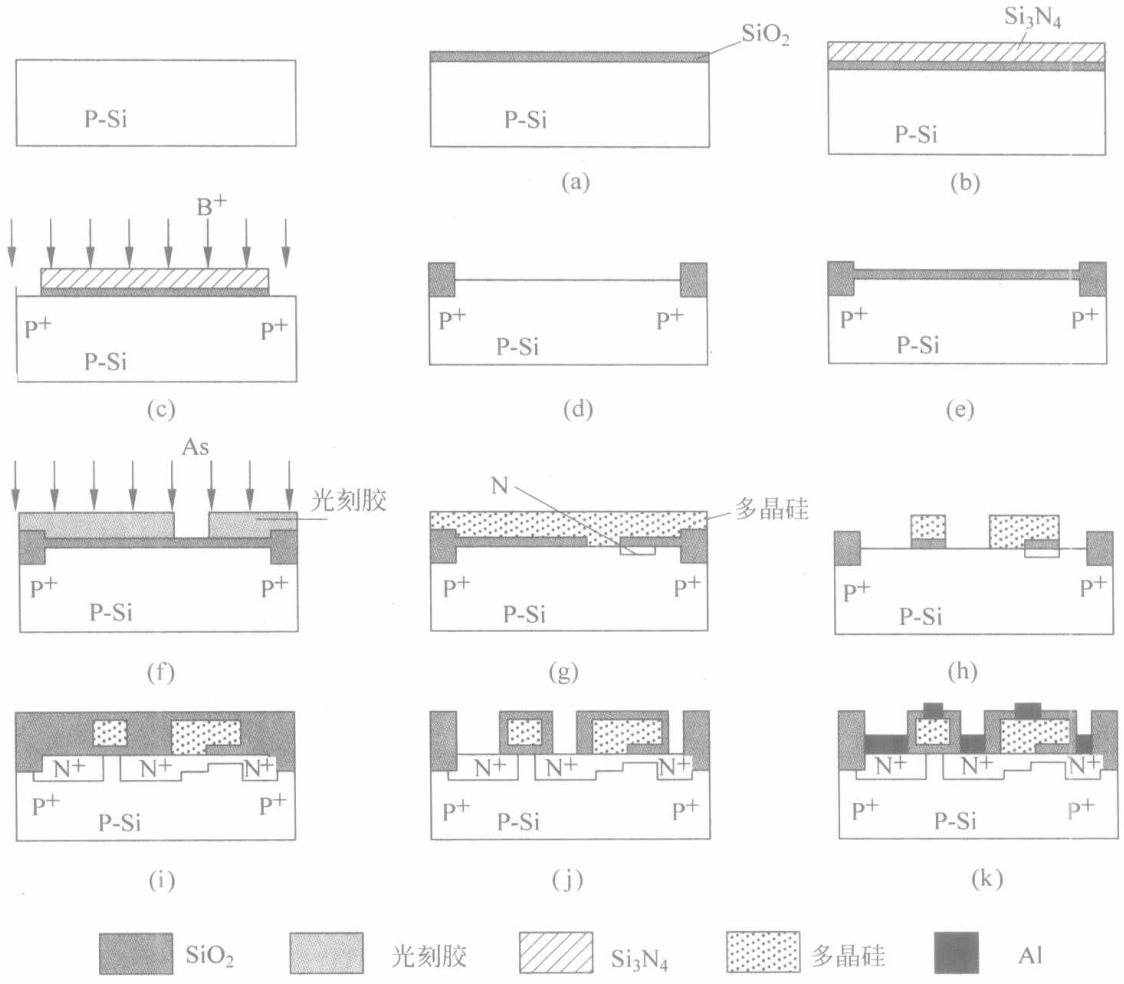


图 1.11　N 沟道硅栅 E/D MOS IC 的工艺流程及芯片剖面图

(1) 长薄氧 60nm(图 1.11(a));

(2) 淀积 Si_3N_4 150nm(图 1.11(b));

(3) 场区光刻(光Ⅰ)→场区注入(图 1.11(c));

(4) 场区氧化→去除 Si_3N_4 及背面氧化层(图 1.11(d));

(5) 二次薄氧 40nm(图 1.11(e));

(6) D 管光刻(光Ⅱ)→D 管注入(图 1.11(f));

(7) E 管光刻(光Ⅲ)→E 管注入;

去除有源区薄氧→栅氧化 85nm;

埋孔光刻(光Ⅳ)→多晶硅淀积→磷扩散→漂 PSG(图 1.11(g));

(8) 多晶硅光刻(光Ⅴ)→源、漏区注入(图 1.11(h));

(9) 低温氧化 500～550nm(图 1.11(i));

(10) 引线孔光刻(光Ⅵ)；

铝淀积 1～1.2μm(图 1.11(j))；

(11) 反刻铝(光Ⅶ)→合金(图 1.11(k))。

此类电路的特点是：速度高，能和 TTL 电路兼容，单元管芯面积小，但其驱动能力较弱，功耗较大，制造工艺难度较大，其主要工序约为 TTL 电路的 1.8 倍。

1.2.2 CMOS 集成电路制造工艺

在 CMOS 电路中，P 沟道 MOS 管作为负载器件，N 沟道 MOS 管作为驱动器件，这就要求在同一个衬底上制造 PMOS 管和 NMOS 管，所以必须把一种 MOS 管做在衬底上，而另一种 MOS 管做在比衬底浓度高的阱中。根据阱的导电类型，CMOS 电路又可分为 P 阱 CMOS、N 阱 CMOS 和双阱 CMOS 电路。

传统的 CMOS IC 工艺采用 P 阱工艺，这种工艺中用来制作 NMOS 管的 P 阱，是通过向高阻 N 型硅衬底中扩散(或注入)硼而形成的。N 阱工艺与它相反，是向高阻的 P 型硅衬底中扩散(或注入)磷，形成一个作为 PMOS 管的阱，由于 NMOS 管做在高阻的 P 型硅衬底上，因而降低了 NMOS 管的结电容及衬底偏置效应；这种工艺的最大优点是同NMOS器件具有良好的兼容性。双阱工艺是在高阻的硅衬底上，同时形成具有较高杂质浓度的 P 阱和 N 阱，NMOS 管和 PMOS 管分别做在这两个阱中；这样，可以独立调节两种沟道 MOS 管的参数，以使 CMOS 电路达到最优的特性，而且两种器件之间的距离，也因采用独立的阱而减小，以适合于高密度的集成，但其工艺比较复杂。

以上统称为体硅 CMOS 工艺，此外还有 SOS-CMOS 工艺(蓝宝石上外延硅膜)、SOI-CMOS 工艺(绝缘体上生长硅单晶薄膜)，它们从根本上消除了体硅 CMOS 电路中固有的寄生闩锁效应，而且由于元器件间是空气隔离，有利于高密度集成，且结电容和寄生电容小，速度快，抗辐照性能好，SOI-CMOS 工艺还可望做成立体电路。但这些工艺成本高，硅膜质量不如体硅，所以只在一些特殊场合(如军用、航天)中才用。

下面介绍几种常用的 CMOS 集成电路的工艺及其元器件的形成过程。

1. P 阱硅栅 CMOS 工艺和元件的形成过程

典型的 P 阱硅栅 CMOS 工艺从衬底清洗到中间测试，总共 50 多道工序，需要 5 次离子注入，连同刻钝化窗口，共 10 次光刻。下面结合主要工艺流程(5 次离子注入、10 次光刻)来介绍 P 阱硅栅 CMOS 集成电路中元件的形成过程。图 1.12 是 P 阱硅栅 CMOS 反相器的工艺流程及芯片剖面示意图。

(1) 光Ⅰ——阱区光刻，刻出阱区注入孔(图 1.12(a))。

(2) 阱区注入及推进，形成阱区(图 1.12(b))。

(3) 去除 SiO_2，长薄氧，长 Si_3N_4(图 1.12(c))。

(4) 光Ⅱ——有源区光刻，刻出 P 管、N 管的源、漏和栅区(图 1.12(d))。

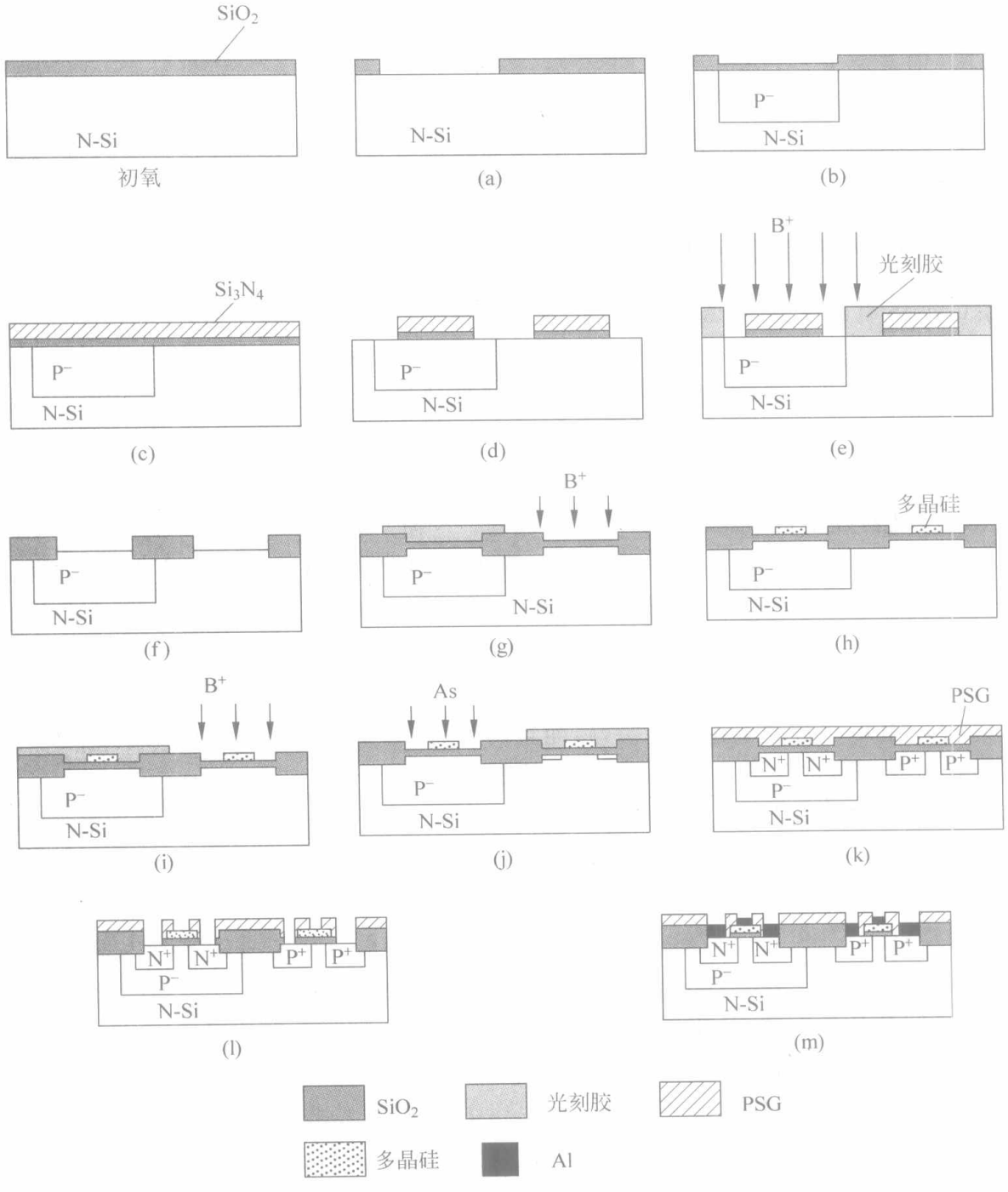


图 1.12　P 阱硅栅 CMOS 反相器工艺流程及芯片剖面示意图

(5) 光Ⅲ——N 管场区光刻，刻出 N 管场区注入孔。

N 管场区注入，以提高场开启，减少闩锁效应及改善阱的接触(图 1.12(e))。

(6) 长场氧，漂去 SiO_2 及 Si_3N_4(图 1.12(f))，然后长栅氧。

(7) 光Ⅳ——P 管区光刻(用光Ⅰ的负版)。

P 管区注入，调节 PMOS 管的开启电压(图 1.12(g))，然后长多晶硅。

(8) 光Ⅴ——多晶硅光刻，形成多晶硅栅及多晶硅电阻(图 1.12(h))。

(9) 光Ⅵ——P^+区光刻，刻去 P 管区上的胶。

P^+区注入，形成 PMOS 管的源、漏区及P^+保护环(图 1.12(i))。

(10) 光Ⅶ——N^+区光刻，刻去N^+区上的胶(可用光Ⅵ的负版)。

N^+区注入，形成 NMOS 管的源、漏区及N^+保护环(图 1.12(j))。

(11) 长 PSG(图 1.12(k))。

(12) 光Ⅷ——引线孔光刻。可在生长磷硅玻璃后先开一次孔，然后在磷硅玻璃回流及结注入推进后再开第二次孔(图 1.12(l))。

(13) 光Ⅸ——铝引线光刻。

光Ⅹ——压焊块光刻(图 1.12(m))。

2. N 阱硅栅 CMOS 工艺

N 阱 CMOS 工艺的优点之一是可以利用传统的 NMOS 工艺，只要对现有的 NMOS 工艺做一些改进，就可以形成 N 阱工艺。

图 1.13 是典型的 N 阱硅栅 CMOS 反相器的工艺流程及芯片剖面的示意图，由图可见其工艺制造步骤类似于 P 阱 CMOS 工艺(除了采用 N 阱外)。第一步是确定 N 阱区，第二步是低剂量的磷注入，然后在高温下扩散推进，形成 N 阱。接下来的步骤是确定器件的位置和其他扩散区，生长场氧化层，生长栅氧化层，长多晶硅，刻多晶硅栅，淀积 CVD 氧化层，光刻引线接触孔，进行金属化。

3. 双阱硅栅 CMOS 工艺

双阱 CMOS 工艺为 P 沟道 MOS 管和 N 沟道 MOS 管提供了可各自独立优化的阱区，因此，与传统的 P 阱工艺相比，可以做出性能更好的 N 沟道 MOS 管(较低的电容，较小的衬底偏置效应)；同样，P 沟道 MOS 管的性能也比 N 阱工艺的好。

通常，双阱 CMOS 工艺采用的原始材料是在N^+或P^+衬底上外延一层轻掺杂的外延层，以防止闩锁效应。其工艺流程，除了阱的形成(此时要分别形成 P 阱和 N 阱)这一步外，其余都与 P 阱工艺类似，主要步骤如下：

(1) 光Ⅰ——确定阱区。

(2) N 阱注入和选择氧化。

(3) P 阱注入。

(4) 推进，形成 N 阱、P 阱。

(5) 场区氧化。

(6) 光Ⅱ——确定需要生长栅氧化层的区域。

(7) 生长栅氧化层。

(8) 光Ⅲ——确定注B^+(调整 P 沟道器件的开启电压)区域，注B^+。

(9) 淀积多晶硅，多晶硅掺杂。

(10) 光Ⅳ——形成多晶硅图形。

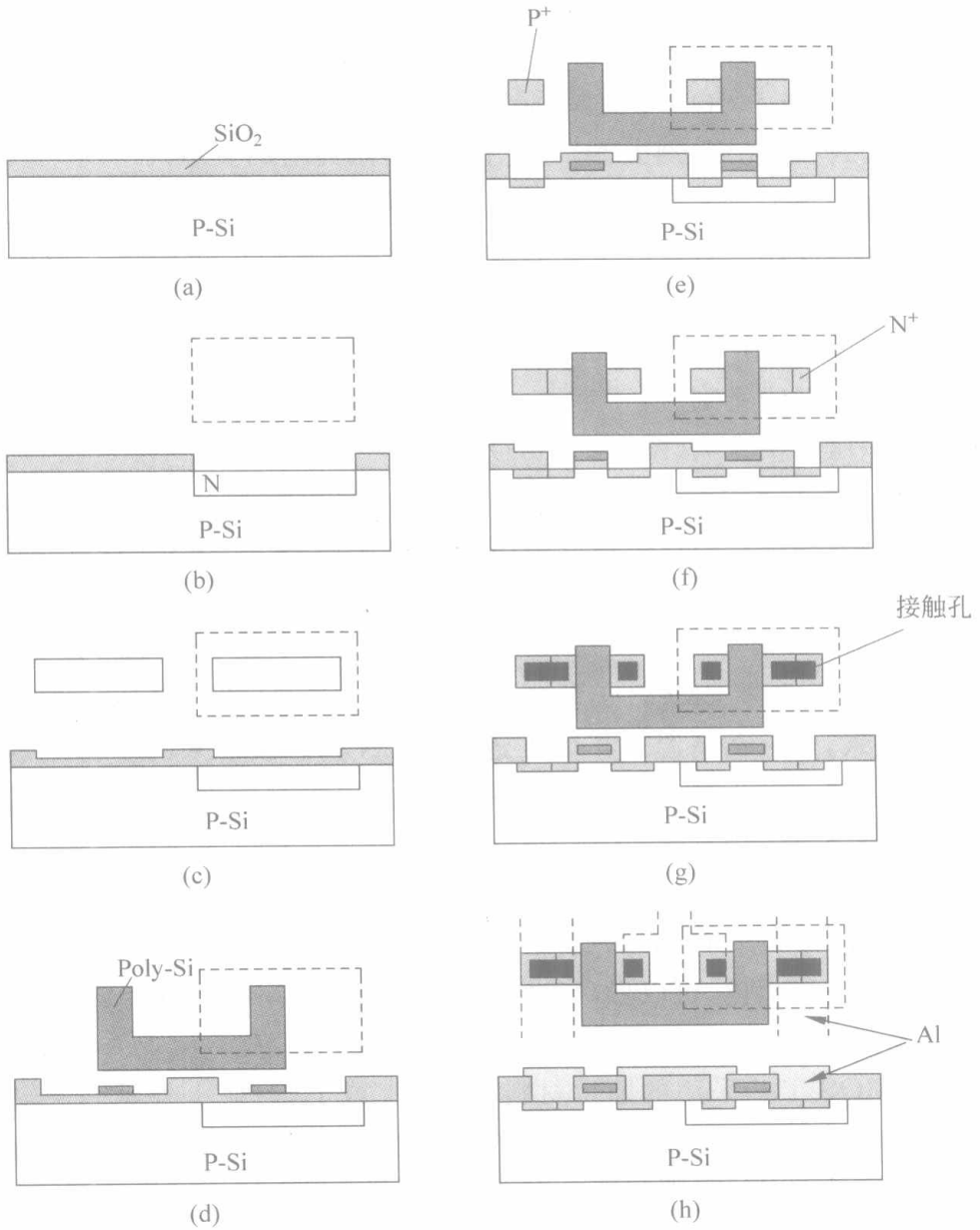


图 1.13　N 阱硅栅 CMOS 反相器工艺流程、芯片剖面及器件形成过程示意图

(11) 光Ⅴ——确定 P^+ 区，注硼形成 P^+ 区。

(12) 光Ⅵ——确定 N^+ 区，注磷形成 N^+ 区。

(13) LPCVD 生长二氧化硅层。

(14) 光Ⅶ——刻蚀接触孔。

(15) 淀积铝。

(16) 光Ⅷ——反刻铝，形成铝连线。

图 1.14 为双阱硅栅 CMOS 反相器的版图和芯片剖面示意图。

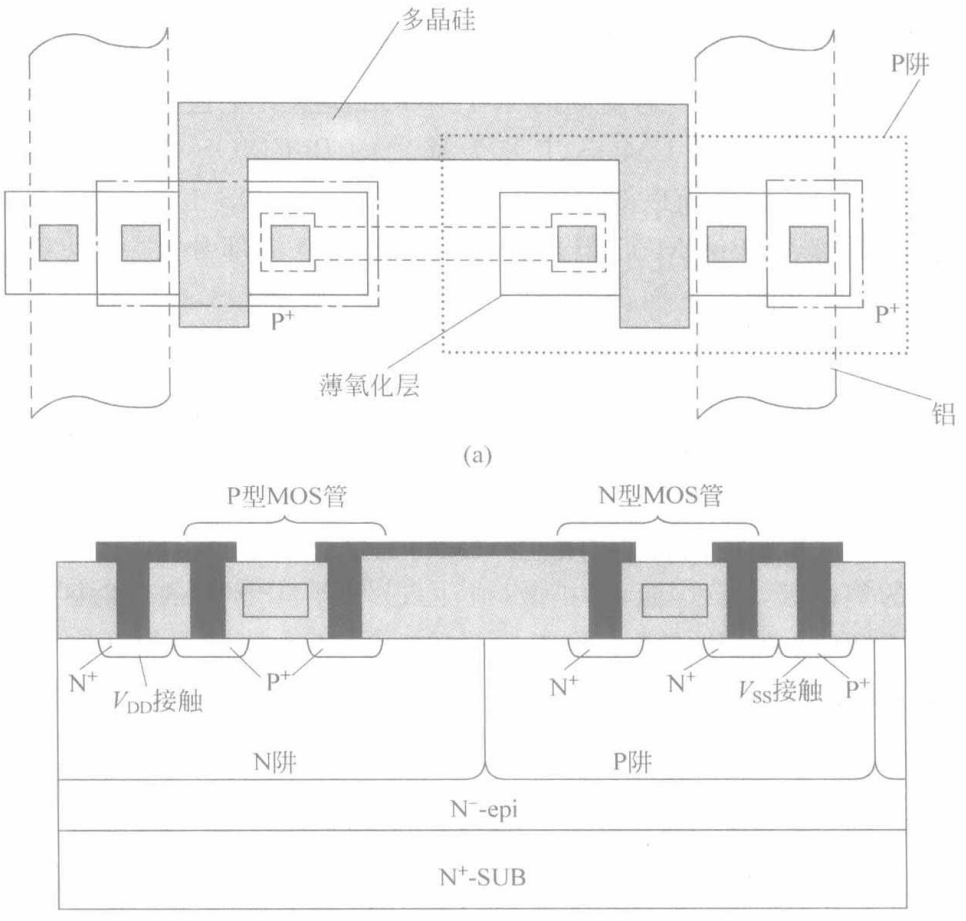


图 1.14　双阱硅栅 CMOS 反相器的版图和芯片剖面示意图

1.3　Bi-CMOS 制造工艺

用双极工艺可以制造出速度高、驱动能力强、模拟精度高的器件，但双极器件在功耗和集成度方面却无法满足集成规模越来越大的系统集成的要求；而 CMOS 工艺可以制造出功耗低、集成度高和抗干扰能力强的 CMOS 器件，但其速度低、驱动能力差，在既要求高集成度又要求高速的领域中也无能为力。Bi-CMOS 工艺是把双极器件和 CMOS 器件同时制作在同一芯片上，它综合了双极器件高跨导、强负载驱动能力和 CMOS 器件高集成度、低功耗的优点，使其互相取长补短，发挥各自的优点，它给高速、高集成度、高性能的 LSI 及 VLSI 的发展开辟了一条新的道路。

对 Bi-CMOS 工艺的基本要求是要将两种器件制作在同一芯片上，两种器件各具其优点，由此得到的芯片具有良好的综合性能，而且相对双极和 CMOS 工艺来说，不会增加过多的工艺步骤。

目前，已开发出许多种各具特色的 Bi-CMOS 工艺，归纳起来，大致可分为两大类：一类是以 CMOS 工艺为基础的 Bi-CMOS 工艺，其中包括 P 阱 Bi-CMOS 和 N 阱 Bi-CMOS 两种工艺；另一类是以标准双极工艺为基础的 Bi-CMOS 工艺，其中包括 P 阱 Bi-CMOS 和双阱 Bi-CMOS 两种工艺。当然，以 CMOS 工艺为基础的 Bi-CMOS 工艺对保证其器件中的 CMOS 器件的性能比较有利，而以双极工艺为基础的 Bi-CMOS 工艺，对提高其器件中的双极器件的性能有利。影响 Bi-CMOS 器件性能的主要是双极部分，因此以双极工艺为基础的 Bi-CMOS 工艺用得较多。下面简要介绍这两大类 Bi-CMOS 工艺的主要步骤及其芯片的剖面情况。

1.3.1 以 CMOS 工艺为基础的 Bi-CMOS 制造工艺

1. 以 P 阱 CMOS 为基础的 Bi-CMOS 工艺

此工艺出现较早，其基本结构如图 1.15 所示，它以 P 阱作为 NPN 管的基区，以 N^- 衬底作为 NPN 管的集电区，以 N^+ 源、漏扩散（或注入）作为 NPN 管的发射区扩散及集电极的接触扩散。这种结构的主要优点是：①工艺简单；②MOS 晶体管的开启电压可通过一次离子注入进行调整；③NPN 管自隔离。但由图可见，此种结构中 NPN 管的基区太宽，基极和集电极串联电阻太大；另外，NPN 管和 PMOS 管共衬底，限制了 NPN 管的使用。

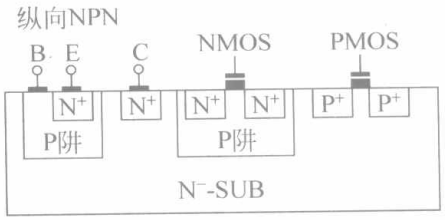


图 1.15　以 P 阱 CMOS 为基础的 Bi-CMOS 结构剖面图

为了克服上述的缺点，可对此结构进行如下的修改：

(1) 用 N^+N 外延衬底，以降低 NPN 管的集电极串联电阻；

(2) 增加一次掩模进行基区注入、推进，以减小基区宽度和基极串联电阻；

(3) 采用多晶硅发射极以提高速度；

(4) 在 P 阱中制作横向 NPN 管，提高 NPN 管的使用范围。

2. 以 N 阱 CMOS 为基础的 Bi-CMOS 工艺

此工艺中的双极器件与 PMOS 管一样，是在 N 阱中形成，其结构如图 1.16(a)所示。这种结构的主要缺点是 NPN 管的集电极串联电阻 r_{CS} 太大，影响了双极器件的性能，特别是驱动能力。若以 P^+-Si 为衬底，并在 N 阱下设置 N^+ 隐埋层，然后进行 P 型外延，如图 1.16(b)所示，则可使 NPN 管的集电极串联电阻 r_{CS} 减小到 $\frac{1}{6}\sim\frac{1}{5}$，而且可以使 CMOS 器件的抗闩锁性能大大提高。

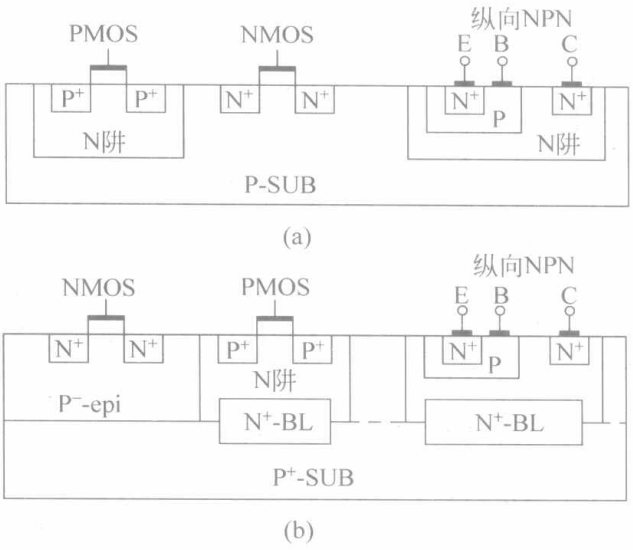


图 1.16　以 N 阱 CMOS 为基础的 Bi-CMOS 结构

(a) 体硅衬底；(b) 外延衬底

1.3.2　以双极工艺为基础的 Bi-CMOS 制造工艺

1. 以双极工艺为基础的 P 阱 Bi-CMOS 工艺

以 CMOS 工艺为基础的 Bi-CMOS 工艺中，影响 Bi-CMOS 电路性能的主要是双极器件。显然，若以双极工艺为基础，对提高双极器件的性能是有利的。图 1.17 是以典型的 PN 结隔离双极工艺为基础的 P 阱 Bi-CMOS 器件结构的剖面示意图。它采用〈100〉P 型衬底、N^+ 隐埋层、N 型外延层，在外延层上形成 P 阱结构。该工艺采用成熟的 PN 结对通隔离技术。为了获得大电流下低的饱和压降，采用高浓度的集电极接触扩散；为防止表面反型，采用沟道截止环。NPN 管的发射区扩散与 NMOS 管的源(S)漏(D)区掺杂和横向 PNP 管及纵向 PNP 管的基区接触扩散同时进行；NPN 管的基区扩散与横向 PNP 管的集电区、发射区扩散，纵向 PNP 管的发射区扩散，PMOS 管的源漏区的扩散同时完成。栅氧化在 PMOS 管沟道注入之后进行。

这种结构克服了以 P 阱 CMOS 工艺为基础的 Bi-CMOS 结构的缺点，而且还可以用此工艺获得对高电压、大电流很有用的纵向 PNP 管和 LDMOS 及 VDMOS 结构，以及在模拟电路中十分有用的 I^2L 等器件结构。

2. 以双极工艺为基础的双阱 Bi-CMOS 工艺

以双极工艺为基础的 P 阱 Bi-CMOS 工艺虽然得到了较好的双极器件性能，但是 CMOS 器件的性能不够理想。为了进一步提高 Bi-CMOS 电路的性能，满足双极和 CMOS 两种器件的不同要求，可采用图 1.18 所示的以双极工艺为基础的双埋层、双阱结构的 Bi-CMOS 工艺。

这种结构的特点是采用 N^+ 及 P^+ 双埋层、双阱结构，采用薄外延层来实现双极器件的

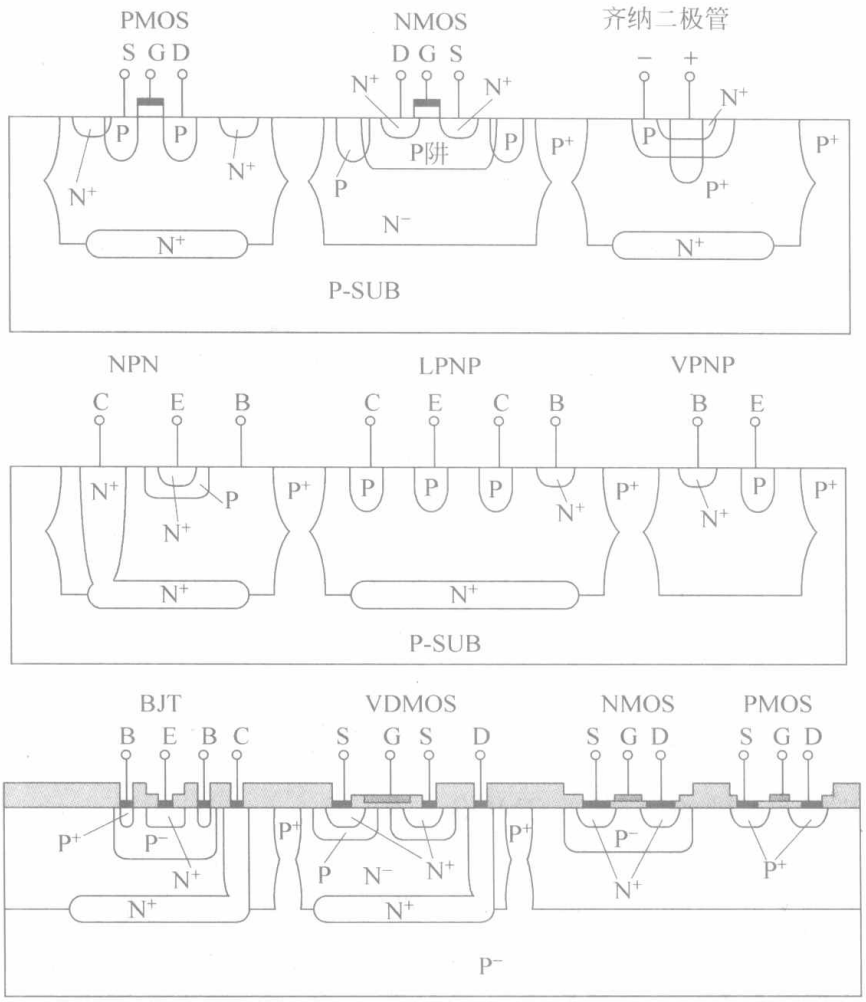


图 1.17　三种以 PN 结隔离双极型工艺为基础的
P 阱 Bi-CMOS 器件结构剖面图

高截止频率和窄隔离宽度。此外，利用 CMOS 工艺的第二层多晶硅做双极器件的多晶硅发射极，不必增加工艺就能形成浅结和小尺寸发射极。

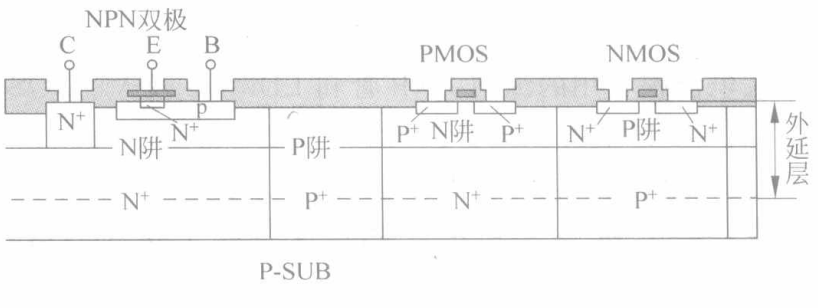


图 1.18　以双极工艺为基础的双埋层、双阱 Bi-CMOS 工艺的结构剖面图

复习思考题

1.1　PN结隔离的双极集成电路工艺需要几次光刻，每次光刻的目的是什么？

1.2　简述硅栅P阱CMOS工艺流程，每次光刻的目的是什么？

1.3　读图练习

(1) 估测出图1.10(a)所示晶体管的工艺复合图形尺寸：

① 各掩模窗的长、宽和面积：S_E，S_B，S_{BL}，$S_{I内}$，$S_{E孔}$和$S_{C孔}$。例如发射区扩散孔：$S_E=L_E\times W_E=25\times 20\mu m^2$。

② 各掩膜图形间的间距：$D_{E\text{-}E孔}$，$D_{E\text{-}B}$，$D_{E\text{-}B孔}$，$D_{B\text{-}B孔}$，$D_{B\text{-}I}$，$D_{C\text{-}I}$，$D_{B\text{-}C孔}$。例如发射区扩散孔和发射极接触孔之间的间距：$D_{E\text{-}E孔}=5\mu m$。

(2) 将图1.10(a)晶体管按测得的数据放大500倍画在坐标纸上，并画出隔离框。隔离槽宽$d_I=10\mu m$，隔离槽上带有偏置接触孔，其面积为$10\times 10\mu m^2$，与隔离槽的边相距各为$5\mu m$。

(3) 根据(2)在坐标纸上画出六块掩模的图形。

1.4　由$T_{epi}\geqslant x_{jC}+x_{mC\text{-}epi}+T_{BL\text{-}up}+t_{epi\text{-}ox}$，粗略估算外延层厚度$T_{epi}$的设计值。

假定：外延层电阻率$\rho_{epi}=0.2\Omega\cdot cm$，隐埋层薄层电阻$R_{S\text{-}BL}=20\Omega/\square$(□表示正方形电阻)，外延时隐埋层的表面浓度$N_{S\text{-}BL}=4.4\times 10^{19}cm^{-3}$，电源电压为+5V，基区表面掺杂浓度为$N_{S\text{-}B}=6\times 10^{18}cm^{-3}$，隔离扩散温度$T=1175℃$，外延后热氧化层厚度$t_{ox}=(7500\pm 2500)Å$($1Å=10^{-10}m$)，隔离扩散时间$t=2.5\sim 3h$，隔离扩散后再氧化的氧化层厚度$t_{ox}=(3500\pm 200)Å$，基区扩散后再氧化的氧化层厚度$t_{ox}=(4000\pm 200)Å$，发射区扩散后再氧化的氧化层厚度$t_{ox}=(1100\pm 200)Å$。试求：

(1) 隔离扩散时隐埋层的上扩散距离$T_{BL\text{-}up}$；

(2) 最大反偏(−10V)时在外延层中的集电结耗尽层厚度$x_{mC\text{-}epi}$；

(3) 氧化所消耗的外延层厚度$t_{epi\text{-}ox}$；

(4) $T_{epi}\geqslant$?

1.5　按标准PN结隔离的双极工艺，制作占有面积最小的单条形基极、单条形发射极和单条形集电极的晶体管。若工艺允许的最小线宽W为$2\mu m$，外延层厚度和各图形间的间距也是$2\mu m$。试求：

(1) 在$1cm^2$的芯片面积上可以制作多少个这种相互隔离的晶体管？

(2) 若该芯片允许的耗散功率为2W，问每个晶体管的允许功耗是多少？

(3) 当W分别变为$5\mu m$和$0.5\mu m$时，若外延层厚度为相应的W值，重新求解(1)和(2)。

1.6　一般TTL集成电路与集成运算放大器电路在选择外延层电阻率上有何区别？为什么？

第2章　集成电路中的晶体管及其寄生效应

2.1　理想本征集成双极晶体管的埃伯斯-莫尔(EM)模型

集成电路中的元器件都做在同一衬底上，因此，其结构与分立器件有很大的不同。所谓理想本征晶体管，是指在对其进行分析时，不考虑寄生效应。

实际集成电路中的双极晶体管为四层三结结构，如图 2.1 所示，它的各个电极均从上面引出，而且各结的面积不同，所以有一系列的多维效应，但在近似分析双极晶体管的直流特性时，可以简化为一维结构，如图 2.1(a)中虚线部分所示。图 2.1(c)中电流、电压的参考点均为 N 区，端电流按习惯标出，且有如下关系：$I_E = I_B + I_C + I_S$，其中 I_E 的方向与符号中表

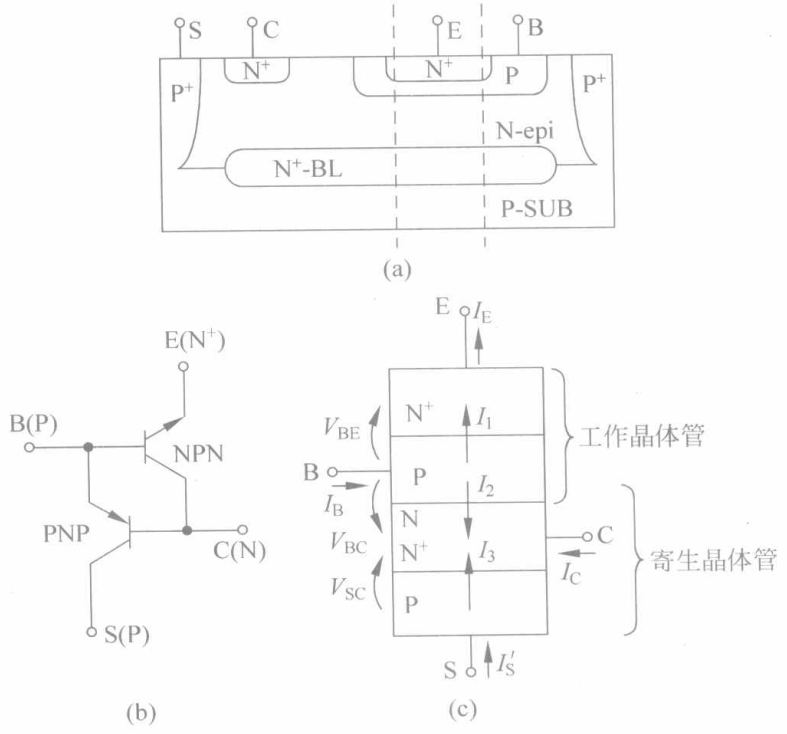


图 2.1　集成电路中的双极晶体管结构

(a) 剖面；(b) 符号表示；(c) 极性规定

示的方向相同。

在图 2.1 中，PNP 管为寄生晶体管，这点与分立晶体管有很大的差别，但此寄生 PNP 管并不是在所有的情况下都起作用的。因为在实际的集成电路中，衬底始终接最负电位，以保证各隔离岛之间的电绝缘，所以寄生 PNP 管的集电结（亦即 NPN 管的 CS 衬底结）总是反偏的，而 PNP 管的发射结（亦即 NPN 管的集电结）的偏置状态可能正偏，也可能反偏。由图 2.2 可见，当 NPN 管工作于饱和区或反向工作区时，其 BC 结都处于正向偏置，亦即此时寄生 PNP 管的发射结处于正向偏置，因而 PNP 管处于正向工作状态，于是有电流流过 CS 结，这将严重影响集成电路的正常工作。

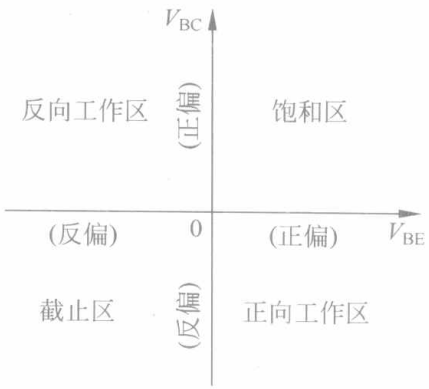


图 2.2　双极晶体管的四种工作状态

在模拟集成电路中，NPN 晶体管一般处于截止区或正向工作区，所以寄生 PNP 管的发射结（亦即 NPN 管的集电结）是反偏状态，$V_{\text{BC-NPN}}=V_{\text{BE-PNP}}<0$，因而寄生 PNP 管截止。而在数字集成电路中，NPN 管经常可能处于饱和或反向工作状态，此时就有 $V_{\text{BE-PNP}}=V_{\text{BC-NPN}}>0$，即寄生 PNP 管处于正向工作区，所以对数字集成电路来说，减小寄生 PNP 管的影响就显得特别重要。

下面用 EM 模型来分析四层结构晶体管的电流电压关系。

根据克希霍夫定律，从图 2.1 可以看出端电流和结电流、结电压有如下关系：

$$\begin{bmatrix} I_{\text{E}} \\ I_{\text{B}} \\ I_{\text{C}} \\ I'_{\text{S}} \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 1 & 1 & 0 \\ 0 & -1 & -1 \\ 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \\ I_3 \end{bmatrix}$$

$$= \begin{bmatrix} 1 & -\alpha_{\text{R}} & 0 \\ 1-\alpha_{\text{F}} & 1-\alpha_{\text{R}} & -\alpha_{\text{SR}} \\ \alpha_{\text{F}} & -(1-\alpha_{\text{SF}}) & -(1-\alpha_{\text{RS}}) \\ 0 & -\alpha_{\text{SF}} & 1 \end{bmatrix} \begin{bmatrix} I_{\text{ES}}(e^{V_{\text{BE}}/V_{\text{t}}}-1) \\ I_{\text{CS}}(e^{V_{\text{BC}}/V_{\text{t}}}-1) \\ I_{\text{SS}}(e^{V_{\text{SC}}/V_{\text{t}}}-1) \end{bmatrix} \tag{2.1}$$

其中 α_{F}、α_{R} 分别是 NPN 管正、反向运用时的共基极短路电流增益；α_{SF}、α_{SR} 分别是 PNP 正、反向运用时的共基极短路电流增益；$V_{\text{t}}=\dfrac{kT}{q}$ 为等效热电压。

式(2.1)就是四层结构晶体管的 EM 模型的数学表达式，或者叫四层三结晶体管的非线性直流模型（因为端电流与端电压成非线性关系）。

如果令 $I_3=0$ 或 $I_{\text{SS}}=0$，就可得出三层二结结构 NPN 晶体管的 EM 方程

$$\begin{bmatrix} I_{\text{E}} \\ I_{\text{B}} \\ I_{\text{C}} \end{bmatrix} = \begin{bmatrix} 1 & -\alpha_{\text{R}} \\ 1-\alpha_{\text{F}} & 1-\alpha_{\text{R}} \\ \alpha_{\text{F}} & -1 \end{bmatrix} \begin{bmatrix} I_{\text{F}} \\ I_{\text{R}} \end{bmatrix} \tag{2.2}$$

式中 $I_F=I_{ES}(e^{V_{BE}/V_t}-1)$，$I_R=I_{CS}(e^{V_{BC}/V_t}-1)$。由式(2.2)，可以画出大家所熟知的三层二结结构 NPN 晶体管的等效电路。

2.2 集成双极晶体管的有源寄生效应

本节主要讨论在各种工作情况下，由隔离结所引入的寄生 PNP 管对集成 NPN 管直流特性的影响。在讨论中，假定隔离结始终处于反偏，并取晶体管的参数如下：

$$\alpha_F = 0.99 \quad I_{ES} = 10^{-16}\,\text{A}$$
$$\alpha_R = 0.20 \quad I_{CS} = 10^{-15}\,\text{A}$$
$$\alpha_{SF} = 0.70 \quad I_{SS} = 10^{-13}\,\text{A}$$
$$\alpha_{SR} = 0.10$$

为便于讨论，首先对 EM 模型作如下简化：

① PN 结正偏工作时，$V_F>0$，$(e^{V_F/V_t}-1)\approx e^{V_F/V_t}$；

PN 结反偏时，$V_R<0$，$(e^{V_R/V_t}-1)\approx -1$。

② 在电流叠加时只计算 e^{V_F/V_t} 项，即可以忽略反偏电流，当全部结都反偏时，只考虑 I_{SS} 项。

③ V_{SC} 总是小于零，所以 $I_{SS}(e^{V_{SC}/V_t}-1)\approx -I_{SS}\approx 0$。

2.2.1 NPN 管工作于正向工作区和截止区的情况

NPN 管工作于正向工作区和截止区时，NPN 管的 BC 结压降 $V_{BC\text{-}NPN}<0$，亦即 PNP 管的 BE 结压降 $V_{BE\text{-}PNP}<0$，因为 PNP 管的 BC 结压降 $V_{BC\text{-}PNP}=V_{SC}<0$，所以寄生 PNP 管截止。此时 $I'_S=-I_{SS}\approx 0$。因此寄生 PNP 管的存在对 NPN 管的电流基本上没有影响，只是增加了 I_B 及 I_C 中的反向漏电，同时增加一项衬底漏电流 I'_S。

在模拟集成电路中，NPN 管一般工作在正向工作区，所以寄生 PNP 管的影响可以忽略。

2.2.2 NPN 管工作于反向工作区的情况

NPN 管工作于反向工作区时各结的电压情况如下：

对于 NPN 管，$V_{BE\text{-}NPN}<0$，$V_{BC\text{-}NPN}>0$；

对于 PNP 管，$V_{BE\text{-}PNP}=V_{BC\text{-}NPN}>0$，$V_{BC\text{-}PNP}=V_{SC}<0$，所以此时寄生 PNP 管工作在正向工作区。

此时 NPN 管的 EM 方程变为

$$\begin{bmatrix} I_E \\ I_B \\ I_C \\ I'_S \end{bmatrix} = \begin{bmatrix} 1 & -\alpha_R & 0 \\ 1-\alpha_F & 1-\alpha_R & -\alpha_{SR} \\ \alpha_F & -(1-\alpha_{SF}) & -(1-\alpha_{SR}) \\ 0 & -\alpha_{SF} & 1 \end{bmatrix} \begin{bmatrix} -I_{ES} \\ I_{CS}(e^{V_{BC}/V_t}-1) \\ -I_{SS} \end{bmatrix}$$

$$\approx \begin{bmatrix} -\alpha_R \\ 1-\alpha_R \\ -(1-\alpha_{SF}) \\ -\alpha_{SF} \end{bmatrix} \begin{bmatrix} 0 \\ I_{CS} e^{V_{BC}/V_t} \\ 0 \end{bmatrix} \tag{2.3}$$

即

$$I_E \approx -\alpha_R I_{CS} e^{V_{BC}/V_t} = -\alpha_R I_R \tag{2.4}$$

$$I_B \approx (1-\alpha_R) I_{CS} e^{V_{BC}/V_t} = (1-\alpha_R) I_R \tag{2.5}$$

$$-I_C \approx (1-\alpha_{SF}) I_{CS} e^{V_{BC}/V_t} = (1-\alpha_{SF}) I_R \tag{2.6}$$

$$I'_S \approx -\alpha_{SF} I_{CS} e^{V_{BC}/V_t} = -\alpha_{SF} I_R \tag{2.7}$$

从式(2.3)～式(2.7)可见，此时寄生 PNP 管对 I_E 及 I_B 基本没有影响，但使反向 NPN 管的“发射极电流”($-I_C$)减少了 $\alpha_{SF} I_R$($\alpha_{SF} I_R$ 等于 I'_S)。这说明寄生 PNP 管导通的结果是，使相当大的一股反向 NPN 管的“发射极电流”作为无用电流 I'_S 而流入衬底。

由式(2.3)～式(2.7)还可见，为了减小寄生 PNP 管的影响(即减小 I'_S)，增加有用电流的比值，就要求减小寄生 PNP 管正向运用时的共基极短路电流增益 α_{SF}。为此可采用掺金工艺和埋层工艺。掺金后因为增加大量复合中心而使少子寿命 τ_P 大大下降；埋层的作用是使寄生 PNP 管的基区宽度 W_B 大大增加，且埋层上扩散在寄生 PNP 管基区形成的减速场，使少子的基区渡越时间 τ_B 增加，两者的作用都是使 α_{SF} 大大下降。在 TTL 电路中，用此法可使 $\alpha_{SF} \leqslant 0.01$。

2.2.3 NPN 管工作于饱和区的情况

数字集成电路中的 NPN 管就会工作在饱和区，此时各结电压情况如下：

$$V_{BE\text{-}NPN} > 0$$

$$V_{BC\text{-}NPN} = V_{BE\text{-}PNP} > 0$$

$$V_{CS} = V_{BC\text{-}PNP} < 0$$

在这种情况下寄生 PNP 管工作在正向工作区，因此 NPN 管的 EM 方程变为

$$\begin{bmatrix} I_E \\ I_B \\ I_C \\ I'_S \end{bmatrix} \approx \begin{bmatrix} 1 & -\alpha_R \\ 1-\alpha_F & 1-\alpha_R \\ \alpha_F & -(-\alpha_{SF}) \\ 0 & -\alpha_{SF} \end{bmatrix} \begin{bmatrix} I_F \\ I_R \\ 0 \end{bmatrix} \tag{2.8}$$

即

$$I_E = I_F - \alpha_R I_R \tag{2.9}$$

$$I_B = (1-\alpha_F) I_F + (1-\alpha_R) I_R \tag{2.10}$$

$$I_C = \alpha_F I_F - (1-\alpha_{SF}) I_R \tag{2.11}$$

$$I'_S = -\alpha_{SF} I_R \tag{2.12}$$

令 $\Delta V \equiv V_{BE} - V_{BC}$，利用晶体管可逆性特性 $\alpha_R I_{CS} = \alpha_F I_{ES}$，可将各有用电流和衬底电流 I'_S 之比表示如下：

$$\frac{I_E}{I'_S} = \frac{\alpha_R}{\alpha_{SF}}\left[1 - \frac{1}{\alpha_F} e^{\Delta V/V_t}\right] \tag{2.13}$$

$$\frac{I_C}{I'_S} = \frac{1}{\alpha_{SF}}[1 - \alpha_R e^{\Delta V/V_t}] - 1 \tag{2.14}$$

$$\frac{I_B}{I'_S} = -\frac{\alpha_R}{\alpha_{SF}}\left[\frac{1}{\beta_R} + \frac{1}{\beta_F} e^{\Delta V/V_t}\right] \tag{2.15}$$

从式(2.8)～式(2.15)可见，要提高有用电流的比值，减少寄生 PNP 管的影响，就要减小 α_{SF} 和增大 ΔV。前面已经介绍，采用掺金工艺及埋层工艺可以减小 α_{SF}；而增大 ΔV，可以采用肖特基二极管(SBD)对 BC 结进行钳位，使 V_{BC} 下降为 0.5V 左右，这样使 I'_S 下降到原来的 1/50，在 STTL 电路中就是用此法来降低 I'_S 的。

2.3 集成双极晶体管的无源寄生效应

2.1 与 2.2 节中介绍的四层三结结构晶体管的 EM 模型中，只是描述了器件的主要过程及有源寄生效应，称为 EM_1 模型。在实际的集成晶体管中还存在着电荷存储效应 C_j，C_D 和从晶体管有效基区到晶体管各引出端之间的欧姆体电阻，它们会对晶体管的工作产生影响，称为无源寄生效应，可以用一些无源元件来等效，如图 2.3 所示。

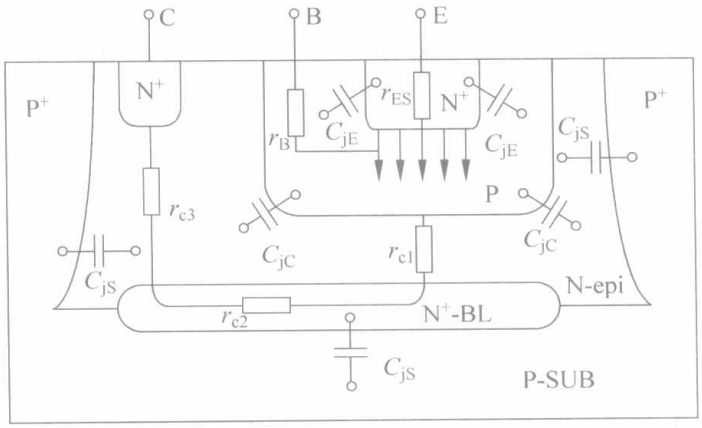


图 2.3 标有无源寄生元件的集成 NPN 晶体管结构图

由 2.2 节的分析可知，因为衬底结始终反偏，在采取各种措施后，可使 $\alpha_{SF} < 0.01$，此时寄生 PNP 管的影响退化成一个势垒电容 C_{jS}，所以集成 NPN 管的等效电路如图 2.4 所示，称为 EM_2 模型。

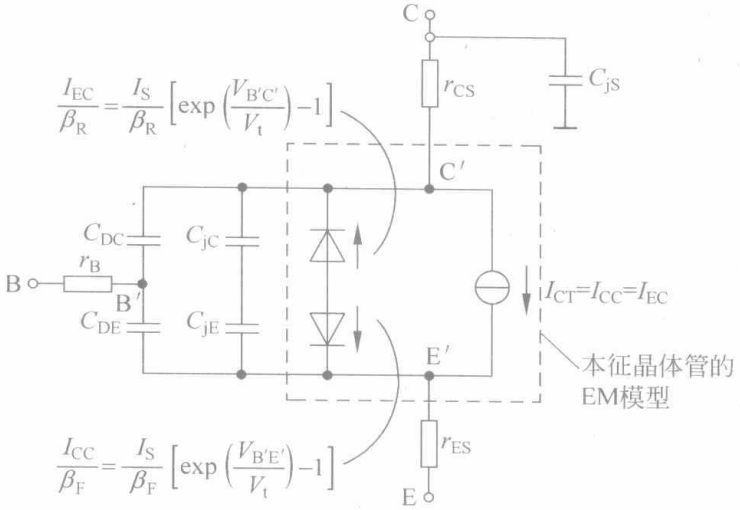


图 2.4　四层三结结构 NPN 管的 EM_2 模型

2.3.1　集成 NPN 晶体管中的寄生电阻

1. 发射极串联电阻 r_{ES}

发射极串联电阻由发射极金属和硅的接触电阻 $r_{E,c}$ 与发射区的体电阻 $r_{E,b}$ 两部分组成，即

$$r_{ES} = r_{E,b} + r_{E,c} .$$

由于发射区为 N^+ 扩散区，其表面掺杂浓度在 $10^{20}\,cm^{-3}$ 以上，所以，发射区的体电阻是很小的，主要考虑接触电阻 $r_{E,c}$，其计算公式为

$$r_{E,c} = \frac{R_C}{S_E}$$

式中：S_E 为发射极接触孔的面积；R_C 为硅与发射极金属的欧姆接触系数，它可以由查表求出，对于 N^+ 硅-铝的接触而言，$R_C \approx (1\sim 9)\times 10^{-6}\,\Omega\cdot cm^2$，具体数值与接触孔表面状况有关。

如果取 $R_C = 6\times 10^{-6}\,\Omega\cdot cm^2$，则当发射区接触孔面积 $S_E = 15\times 10\mu m^2$ 时，$r_{E,c} = 4\Omega$，所以在小电流情况下，r_{ES} 可忽略不计。

2. 集电极串联电阻 r_{CS}

因为集成晶体管的集电极是从表面引出的，所以集成晶体管的集电极串联电阻 r_{CS} 大于分立晶体管的集电极串联电阻。由图 2.3 可见，如果忽略引出端 N^+ 接触区的接触电阻和体电阻，则

$$r_{CS} = r_{C1} + r_{C2} + r_{C3}$$

要精确地计算 r_{CS} 是很困难的，因为集电结的几何形状很复杂；r_{CS} 是一个被 C_{JS} 旁路的分布电阻；在大信号工作情况下发生发射极电流的集边效应，使电流不能均匀地流过集电结，即 r_{CS} 与 I_C 有关；而且由于 V_{BC} 变化所引起的耗尽层宽度的变化，也会使 r_{CS} 发生变化。

下面只是通过大量的近似来粗略估算一下 r_{CS}，以便从中找出减小 r_{CS} 的办法。

(1) r_{C1} 的计算

在进行 r_{C1} 的计算时，假定其图形(见图 2.5)是一个上下底为矩形且相互平行的锥体，其上底为有效集电结面积 $S_{C,eff}$，即 $S_{C,eff}=S_E$(发射结面积)，并作以下近似：

① 上底、下底各为等位面；

② 锥体内的电流只在垂直方向流动；

③ 在上、下面上的电流分布是均匀的。

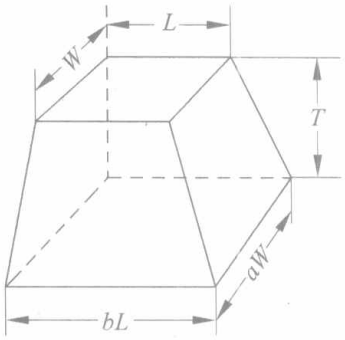


图 2.5 计算 r_{C1} 和 r_{C3} 时所用的模型

这样结构的电阻可用下式求得

$$r_{C1}=\frac{\rho T}{WL}\frac{\ln(a/b)}{a-b} \tag{2.16}$$

式中：ρ 为材料的电阻率；

T 为锥体的高度；

W，L 为顶面矩形的宽和长；

a，b 为底面矩形与顶面矩形相应的宽和长的比值。

在利用此公式时有一个适用的范围：

$$aW \leqslant W+2T, \quad bL \leqslant L+2T$$

因为当 $bL>L+2T$，$aW>W+2T$ 时，不能再认为电流在锥体内是垂直流动的，此时在计算 r_{C1} 时，应该用 $bL=L+2T$，$aW=W+2T$ 来代替实际中的 bL 和 aW。不然，所求得的电阻值会偏低。

平行锥体的厚度 T 可用下式来近似估算：

$$T=T_{epi}-x_{jC}-x_{mC\text{-}epi}-T_{BL\text{-}up}-t_{ox} \tag{2.17}$$

式中：T_{epi} 为外延层的厚度；

x_{jC} 为集电结结深；

$x_{mC\text{-}epi}$ 为集电结耗尽区在外延层一侧的宽度；

$T_{BL\text{-}up}$ 为埋层的上向扩散距离，并假设埋层的侧向扩散距离等于其上向扩散距离；

t_{ox} 为制作过程中各次氧化所消耗的外延层的厚度，在近似估算时可忽略此项(或只计算外延层淀积后第一次热氧化所消耗的外延层厚度)。

下面举例说明用图 2.6(劳伦斯-沃纳曲线)估算扩散结两侧耗尽层宽度的方法。

假定是硅扩散结，原材料的杂质浓度(现为外延层的杂质浓度 N_{epi}) $N_{BC}=4\times10^{16}\,cm^{-3}$，结深 $x_j=2\mu m$，基区扩散的表面浓度 $N_0=6\times10^{18}\,cm^{-3}$，现估算当外加偏压为 -1 伏时，在外延层一侧的耗尽层宽度。具体步骤如下：

第一步，根据 $N_{BC}/N_0\approx10^{-2}\sim10^{-3}$，确定查用图 2.6；

第二步，计算 $V/N_{BC}\approx2.5\times10^{-17}$；

第三步，在图 2.6(b)的 V/N_{BC} 轴上取 2.5×10^{-17} 点的斜线，在 $x_j=2\mu m$ 的曲线上找出

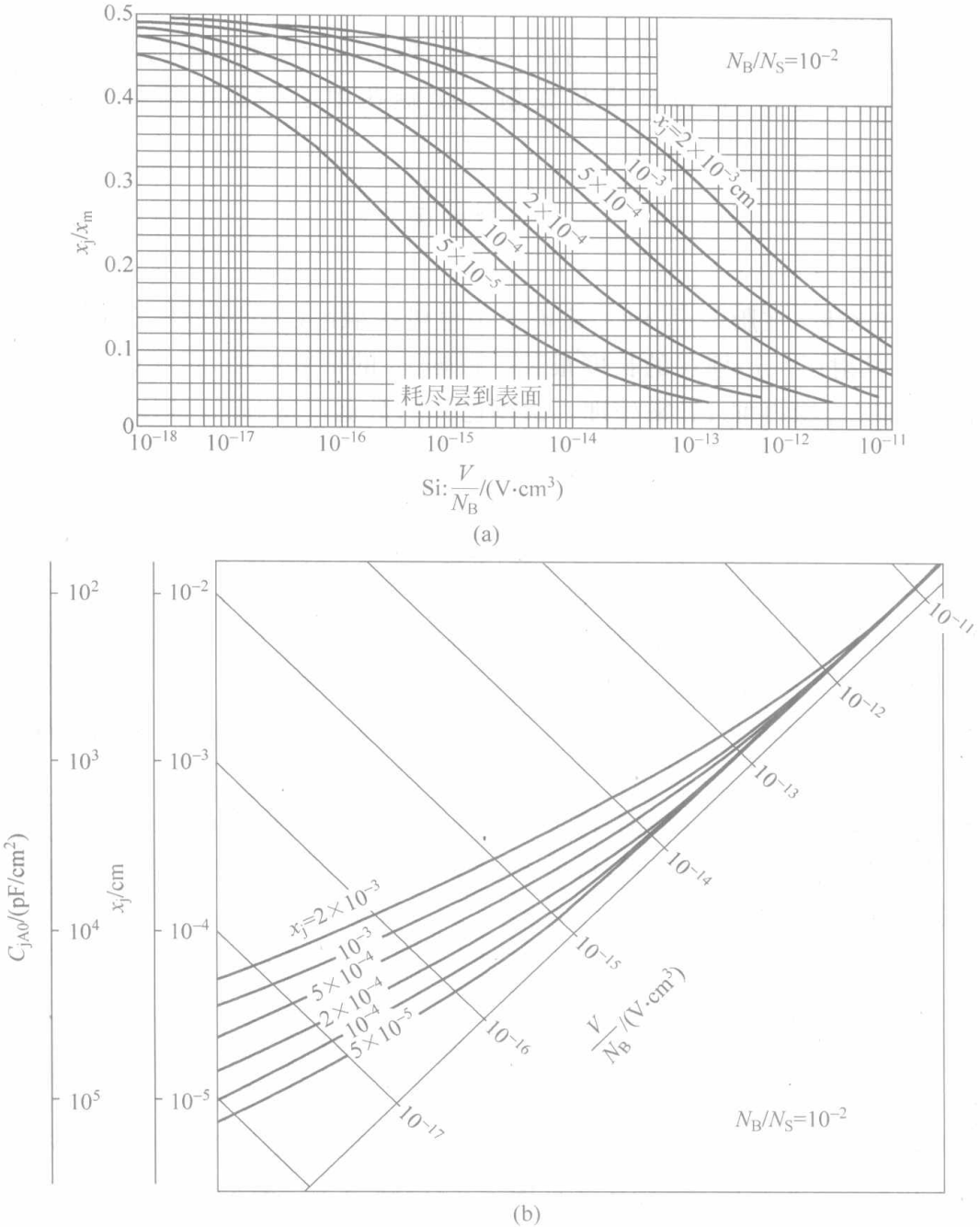


图 2.6　劳伦斯-沃纳曲线举例

两者的交点，再由此点所在的横线在纵轴上查得总的耗尽层的宽度 $x_m \approx 0.42\mu m$；

第四步，在图 2.6(a)的 V/N_{BC} 轴上取 2.5×10^{-17} 点的垂直线，在 $x_j=2\mu m$ 的曲线上找出两者的交点，再由此点所在的横线，在纵轴上查得对应的点 $x_j/x_m=0.48$，其中 x_i 为扩展到扩散层内的耗尽层宽度。于是可得到扩展到外延层一侧的耗尽层宽度 $x_{mC\text{-}expi}=0.42\times(1-0.48)\mu m\approx0.22\mu m$。

(2) r_{C2}的计算

因为电流由集电结垂直下来后转角流入埋层，所以取拐角的电阻为1/2的薄层电阻值，因而在计算 r_{C2} 的长度时，可以计算从发射区接触孔中心到集电极接触孔中心的长度 $L_{E\text{-}C}$，即

$$r_{C2} = R_{S\text{-}BL}\frac{L_{E\text{-}C}}{W_{BL}}$$

(3) r_{C3}的计算

r_{C3}也是一个锥体，在版图设计时，掩模上集电极接触区（N^+区）的三边与埋层的三边是重合的，只是在发射区一边埋层的长度很长。根据 r_{C1} 的估算方法，对于这一边的长度，是以集电极 N^+ 扩散层边缘再加 $1T$ 来处理。根据已知的数据可得到 r_{C3} 锥体的高度 T 为

$$T = T_{epi} - x_{JE} - T_{BL\text{-}up}$$

所以

$$r_{C3} = \frac{\rho T}{WL}\frac{\ln(a/b)}{a-b}$$

要说明的是在以上的计算中忽略了以下几点：

① 实际电流是三维流动的，所以 r_C 的实际值小于计算值；

② 在实际运用中 $V_{BC}<-1V$，当 $|V_{BC}|$ 增加时导致 $x_{mC\text{-}epi}$ 增加，于是锥体高度减小，使 r_{C1} 减小，结果使 r_{CS} 减小；

③ 在饱和工作区时，$V_{BC}>0$，有空穴注入到发射区下面的外延层中，产生电导调制效应，使 r_{C1} 下降；在深饱和、大注入时，可使 r_{C1} 下降很多，以致 r_{C1} 可以忽略不计，即饱和时的集电极串联电阻 $r_{CS,S}$ 近似为

$$r_{CS,S} \approx r_{C2} + r_{C3}$$

(4) 减小 r_{CS} 的方法

从以上的讨论可见，在 r_{CS} 中起主要作用的是 r_{C2} 和 r_{C3}，为此可采用以下办法来减小 r_{CS}。

① 在工艺设计上，可采用加埋层的方法以减小 r_{C2}，在满足工作电压的要求情况下减小 ρ_{epi} 和 T_{epi}，采用深 N^+ 集电极接触扩散（见图2.7）以减小 r_{C3}，但要增加一块掩模版，并在基区扩散前增加一次 N^+ 深扩散。

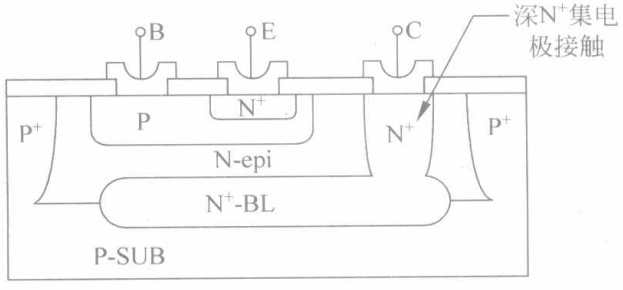


图2.7　带有深 N^+ 集电极接触的晶体管

② 在版图设计上，电极顺序采用 BEC 排列（见图 2.8）来减小 $L_{E\text{-}C}$，以减小 r_{C2}，采用双集电极或马蹄形集电极图形来减小 r_{C2}，但芯片面积及寄生电容增大了。

3. 基区电阻 r_B

集成晶体管和分立晶体管一样，从基极接触孔到有效基区之间存在相当大的串联电阻，由于集成晶体管的各电极都由表面引出，所以其基极电流平行于发射结和集电结之间，是横向流动的。由于 r_B 的存在，在大注入情况下会引起发射极电流的集边效应，而且影响模拟电路中的高频增益和噪声性能。

基区电阻 r_B 由三部分组成（见图 2.8），即

$$r_B = r_{B1} + r_{B2} + r_{B3}$$

其中，r_{B1} 为发射区扩散层下面的那部分基区（称内基区）的电阻，r_{B2} 为发射区扩散层边缘到基极接触孔边缘间的外基区的电阻，r_{B3} 包括电极金属和硅的接触电阻以及基极接触孔下实际流过基极电流的那部分基区的电阻。

（1）r_{B1} 的计算

要精确计算 r_{B1} 是比较困难的，因为晶体管的基区宽度很小，又是晶体管的有源区，所以有效基区扩展效应、基区电导调制效应、发射极电流集边效应、磷扩散发射区时的基区下陷效应等，都会影响 r_{B1}。下面假设为小注入情况，且基极电流为线性分布（见图 2.9），用平均功率法来粗略估算 r_{B1}。在以上的假设下，可以求得

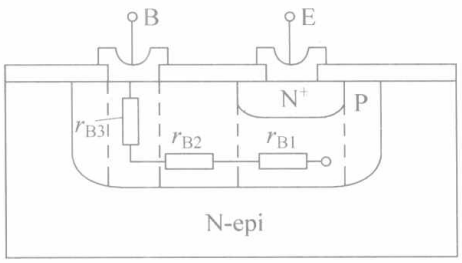


图 2.8　集成 NPN 管基区电阻的组成

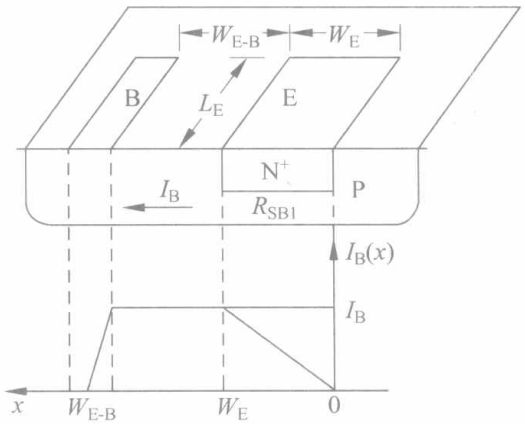


图 2.9　计算 r_B 所用的模型

$$I_B^2 r_{B1} = \int_0^{W_E} \left(\frac{I_B}{W_E}x\right)^2 \bar{\rho}\,\frac{dx}{L_E W_B} \tag{2.18}$$

所以

$$r_{B1} = \frac{W_E}{3L_E}R_{SB1} \tag{2.19}$$

式中：W_E，L_E 为发射区的宽度和长度；

$R_{SB1} = \bar{\rho}/W_B$，称为内基区的薄层电阻，它可以通过查图 2.11 的欧文曲线求得。

下边举例说明 r_{B1} 的计算步骤。

假定已知衬底杂质浓度 $N_0=10^{16}\,\mathrm{cm}^{-3}$，$W_E=20\mu\mathrm{m}$，$L_E=25\mu\mathrm{m}$，$x_{jC}=2.1\mu\mathrm{m}$，$x_{jE}=1.4\mu\mathrm{m}$，$R_{SB}=200\Omega/\square$，基区杂质浓度分布为高斯分布（注意：因为基区扩散后还进行发射区扩散，所以基区的杂质浓度已不完全是高斯分布）。

第一步，由衬底杂质浓度确定查欧文（Irvin）曲线族中的 $N_0=10^{16}\,\mathrm{cm}^{-3}$、P 型扩散层的高斯分布曲线（见图 2.10）。

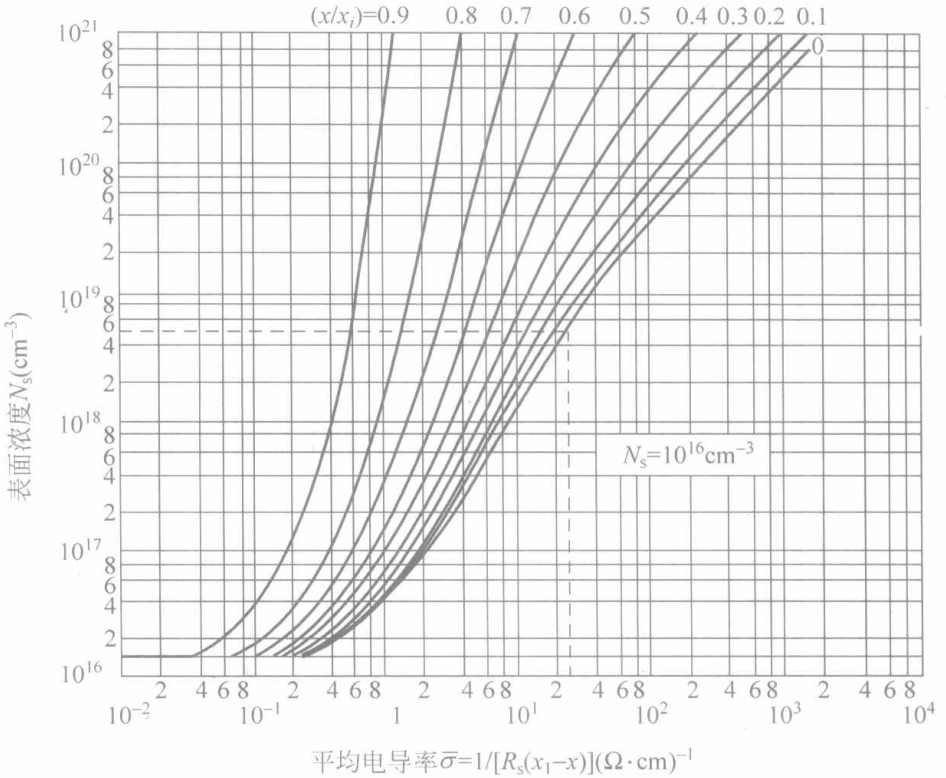


图 2.10　欧文（Irvin）曲线[硅中 P 型高斯分布扩散层平均电导率]

第二步，由 $\bar{\sigma}=\dfrac{1}{R_{SB}\cdot x_{jC}}\approx 24(\Omega\cdot\mathrm{cm})^{-1}$ 根据欧文曲线查得基区硼扩散层的表面浓度 N_S。在图 2.10 中以 x/x_j 为参变量共有十条曲线，这里 x_j 表示扩散 PN 结到表面的距离，x 表示次表面到扩散表面的距离。对于扩散层本身来说，次表面就是扩散表面，即 $x=0$。所以查扩散层表面浓度时应采用 $x/x_j=0$ 的那条曲线，由图中横坐标 $\sigma=38.5(\Omega\cdot\mathrm{cm})^{-1}$ 的地方作垂直线，与 $x/x_j=0$ 曲线的交点即可得到表面浓度 $N_S=5\times10^{18}\,\mathrm{cm}^{-3}$。

第三步：由已知的 N_S 和 x_{jE}/x_{jC} 求 R_{SB1}。方法是由上面查得的 N_S 作水平线，与 $x/x_j=x_{jE}/x_{jC}=0.67$ 那条曲线的交点处往下作垂线，与横轴的交点即是 x_{jE}/x_{jC} 处的扩散层平均电导 $\bar{\sigma}=2.8(\Omega\cdot\mathrm{cm})^{-1}$，进而求得 R_{SB1}。

第四步：由式(2.19)及已知的 W_E、L_E 求 r_{B1}。

（2）r_{B2}的计算

在不考虑发射区的横向扩散及集电结、发射结的耗尽层扩展的影响时，可以用一般计算薄层电阻的公式，即

$$r_{B2} = R_{SB}\frac{W_{E\text{-}B}}{L_E} \tag{2.20}$$

式中：$W_{E\text{-}B}$为发射区掩模孔边线与基极接触掩模孔边线之间的距离；

L_E为发射区掩模孔和基极接触掩模孔的平均长度；

R_{SB}为基区扩散层的薄层电阻。

（3）r_{B3}的计算

因为外基区表面的杂质浓度很高，且发射区掩模孔和基极接触掩模孔之间的距离$W_{E\text{-}B} \gg x_{jE}$，所以基极电流主要流经外基区的表面，因而$r_{B3}$中体电阻的影响很小，$r_{B3}$主要是电极金属与基区的接触电阻$r_{B,C}$，它可由经验公式求得。一般单基极条晶体管的$r_{B3}$在10～20Ω，远小于$r_{B1}$，$r_{B2}$，通常忽略不计。

由以上的分析可以看出：

① R_{SB1}的计算是很困难的，因为$R_{SB1}=\bar{\rho}/W_B$，而基区宽度W_B的影响因素很多，很难计算，若用查欧文曲线的方法来求R_{SB1}误差也较大，所以r_B的误差很大。

② 在发射极电流$I_E>1$mA时，发射极电流会发生集边效应（见图2.11），当电流较大时可使左侧的分布二极管截止，此时$r_{B1}\approx 0$，所以$r_B \approx r_{B2}+r_{B3}$，即只有靠近基区引线孔的发射区区域有效，称为有效发射区周长。一个典型的模拟集成NPN管的r_B与I_C的关系曲线如图2.12所示，所以在工作点设计时可以取较大的I_C，以降低r_B；而在版图设计上，可用双基极条或梳状电极以减小r_B。

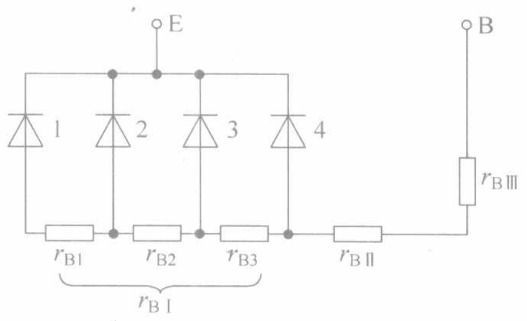


图2.11　发射极电流集边效应示意图

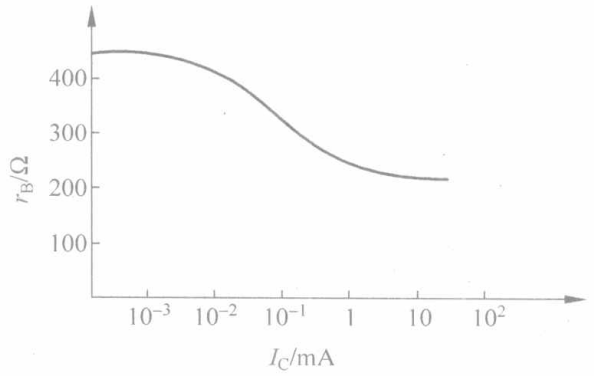


图2.12　典型的模拟集成NPN管的r_B-I_C曲线

2.3.2　集成NPN晶体管中的寄生电容

集成晶体管中的寄生电容会使管子的高频性能和开关性能变坏。寄生电容可分成以下三类：

(1) 与 PN 结有关的耗尽层势垒电容 C_j。

(2) 与可动载流子在中性区的存储电荷有关的扩散电容 C_D。对于集成晶体管而言，除了 EB 结、BC 结电容之外，还多了一个 C_S 结电容。

(3) 电极引线的延伸电极电容 C_{pad}，一般情况下 C_{pad} 很小，可忽略不计。

1. PN 结势垒电容 C_j

由于扩散结的净杂质分布复杂，不能简单地用线性缓变结来计算扩散结的势垒电容，这时可以利用劳伦斯-沃纳曲线(图 2.6)，根据扩散结的具体情况，直接从这些曲线簇上查出有关扩散结的单位面积结电容 C_{jA0}。因为劳伦斯-沃纳曲线是在耗尽近似和恒定衬底浓度的条件下获得的，所以一般只能用来较精确地计算反偏集电结和隔离结(衬底结)势垒电容，而不能直接用来计算发射结电容和正偏集电结电容。

梅耶(C. S. Meyer)等针对典型的集成电路工艺，计算了各种结的零偏单位面积结电容(见表 2.1)，可用来快速计算各类集成电路 PN 结势垒电容。

表 2.1 PN 结隔离 IC 典型的零偏单位面积结电容 C_{jA0} 单位：$10^{-4}\,pF/\mu m^2$

扩散结 \ 外延层电阻率/Ω·cm		0.1	0.5	1.2
发射结	侧壁	10	10	10
	底部	6.0	4.5	3.5
集电结		3.5	2.0	1.5
隔离(衬底)结	侧壁	2.5	1.5	1.0
	底部	1.0	1.0	1.0

注：计算表中数值时的条件为：发射区薄层电阻 2～3Ω/□，基区薄层电阻 200Ω/□，衬底电阻率 10Ω·cm，发射结结深 2.3μm，集电结结深 2.7μm，衬底结结深 12.5μm。

图 2.6 中，N_B 为衬底材料的杂质浓度(在这里为外延层的杂质浓度)；N_S 为扩散层的表面浓度；V 为加在 PN 结上的电压；N_B/N_S 的范围是 $3\times10^{-3}\sim3\times10^{-2}$。

2. 扩散电容 C_D

扩散电容反映晶体管内可动少子存储电荷与所加偏压的关系，在 PN 结反偏时，少子是耗尽的，所以 C_D 可不予考虑，而只需考虑正偏时的 C_D。这样，在晶体管工作于正向工作区时，只需考虑 C_{DE}；在晶体管工作于反向工作区时，只需要考虑 C_{DC}；而在晶体管工作于饱和区时，由于此时 V_{BE}，V_{BC} 均大于零，所以 C_{DE}，C_{DC} 均需考虑，但这时假定 C_{DE}，C_{DC} 是相互独立的，即假定 Q_{DE}，Q_{DC} 分别为由正偏 V_{BE}，V_{BC} 各自所引起的晶体管内总的可动载流子储存电荷，则有

$$C_{DE}=\frac{Q_{DE}}{V_{BE}}=\tau_F\frac{I_{CC}}{V_{BE}} \tag{2.21}$$

$$C_{DC}=\frac{Q_{DC}}{V_{BC}}=\tau_R\frac{I_{EC}}{V_{BC}} \tag{2.22}$$

式中：τ_F 为晶体管总的正向渡越时间，典型值约为 0.3ns；

τ_R 为晶体管总的反向渡越时间，典型值为(1～20)ns；

$I_{CC}=I_S(e^{V_{BE}/V_t}-1)$；

$I_{EC}=I_S(e^{V_{BC}/V_t}-1)$；

I_S为晶体管的饱和电流。

在小信号分析时，可将式(2.21)和式(2.22)线性化为

$$C_{DE,小信号}=\left.\frac{dQ_{DE}}{dV_{BE}}\right|_{V_{BC}=0}=g_{mF}\tau_F \tag{2.23}$$

式中，$g_{mF}=\left.\frac{dI_{CC}}{dV_{BE}}\right|_{V_{BC}=0}=\frac{I_{CC}}{V_t}$，称为晶体管的正向跨导。

同理

$$C_{DC,小信号}=\left.\frac{dQ_{DC}}{dV_{BC}}\right|_{V_{BE}=0}=g_{mR}\tau_R \tag{2.24}$$

式中，$g_{mR}=\frac{I_{EC}}{V_t}$，称为晶体管的反向跨导。

在集成晶体管中，当 V_{BC}正偏时，其集电结的扩散电容 C_{DC}是较大的，这将影响数字集成电路的速度。为了减小 C_{DC}的影响，要设法减小集电结正偏时的可动少子储存电荷，可采用低电阻率的薄外延层，或减小管芯面积，或将晶体管控制在浅饱和(STTL)状态，或采用集电区掺金，增加复合中心的方法以降低少子寿命，或者采用防止集电结正偏的电路结构(ECL)等方法。

2.4 集成电路中的 PNP 管

双极集成电路中的基本器件是 NPN 管，但在模拟电路中也往往需要 PNP 管，如运算放大器的输入级、输出级的有源负载等都经常使用 PNP 管。因为集成电路的工艺主要是针对大量应用的 NPN 晶体管设计的，因此在一般情况下，PNP 管都是在与 NPN 管制造工艺兼容的情况下制造的，这样制得的 PNP 管必然 β 小、f_T 低。虽然 PNP 管的单管性能不如 NPN 管，但在集成电路中由于使用了 PNP 管，而使电路的性能得到了很大的改善；而且横向 PNP 管的问世，也促使了 I^2L 电路的实现。

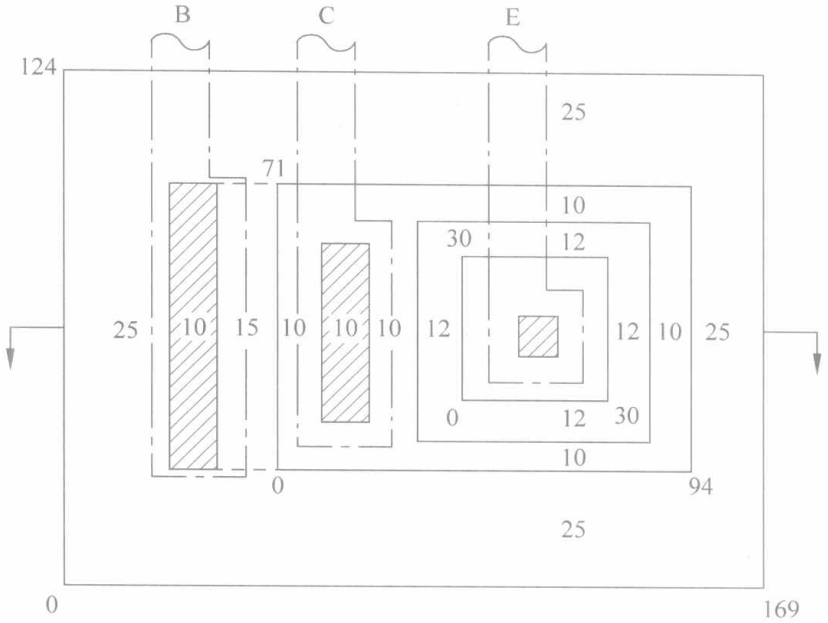
在集成电路中常用的 PNP 管主要有两大类：横向 PNP 管和衬底 PNP 管。

2.4.1 横向 PNP 管

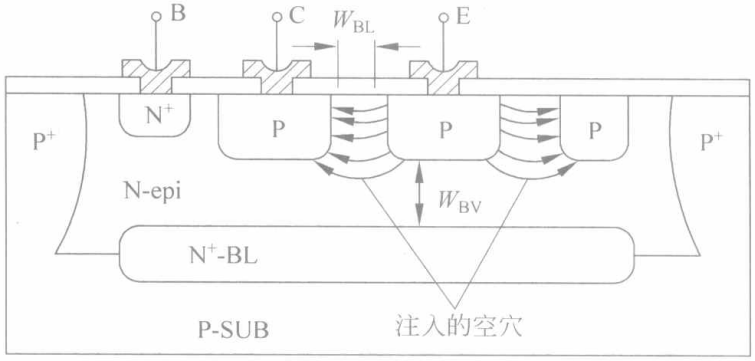
1. 横向 PNP 管的结构、特性及其寄生 PNP 管

典型的横向 PNP 管的结构如图 2.13 所示，其制作工艺与 NPN 管制作工艺完全兼容，

在进行 NPN 管基区扩散的同时形成了 PNP 管的发射区和集电区。



(a)



(b)

图 2.13　横向 PNP 管的结构

(a) 工艺复合图；(b) 横截面图

由图 2.13 可见，横向 PNP 管有以下特点：

① BV_{EBO}高，这主要是由于 x_{jC}深、ρ_{epi}高之故；

② β小，这是由于工艺限制，基区宽度 W_{BL}不可能太小，又加上有纵向寄生 PNP 的作用；

③ 频率响应差；

④ 临界电流 I_{Cr}小。

下面具体分析横向 PNP 管 β小 f_T 差、I_{Cr}小的原因及为提高 β，f_T 和 I_{Cr}采取的措施。

1）横向 PNP 管的直流电流放大倍数 β_F

一般模拟集成电路中的 NPN 管的 $\beta_F=100\sim500$，而横向 PNP 管的 β_F 为 10～50，这主要是由以下两个原因造成的。

（1）存在纵向 PNP 的影响

横向 PNP 管有两个寄生 PNP 管（如图 2.13 所示），其一由 C，N-epi 及 P-SUB 组成，其二由 E，N-epi 及 P-SUB 组成。横向 PNP 管的等效电路如图 2.14(a)所示。因为一般情况下 PNP 管工作于正向工作区，所以横向 PNP 管的 BC 结始终处于反偏，而集成电路中衬底 S 总接最负电位，所以由横向 PNP 的集电区 C 与外延层 N-epi 及 P 型衬底形成的寄生 PNP 管总是截止的，其影响相当于一个反偏的结电容，如图 2.14(b)所示。而横向 PNP 管的发射区与外延层、P 型衬底形成的寄生 PNP 管则始终是处于正向工作区，这将降低横向 PNP 管的电流增益。因为只有从发射区侧面注入的空穴才对横向 PNP 管的电流增益有贡献，而由发射区底面注入的空穴只对纵向寄生 PNP 管的 β 有贡献。

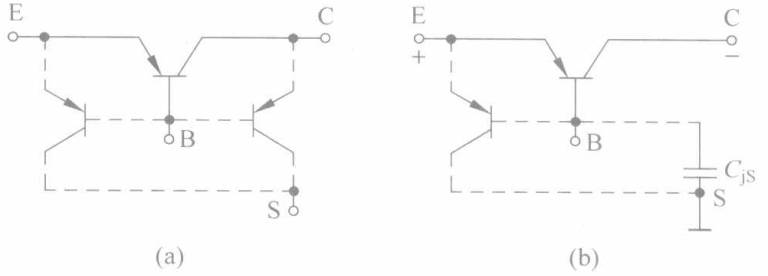


图 2.14　横向 PNP 管中的寄生晶体管

（a）两个寄生 PNP 管；（b）集电极反偏

为了减小寄生 PNP 管的影响，提高横向空穴注入的比例，增大横向 PNP 管的 β_F，可以从版图和工艺上采取以下措施。

① 在图形设计上减少发射区面积与周长之比。这个设计原则与高增益的 NPN 管设计刚好相反，这是由于两者结构不同之故。NPN 管为纵向工作模式，它要求发射区面积与周长之比大，是为了减少表面效应所引起的基极电流之增加；而横向 PNP 管是横向工作模式，只有从发射区侧面注入的载流子才对横向 PNP 管的增益有效，而发射区底面注入的载流子则对寄生的纵向 PNP 管的 β 有贡献。为了提高横向注入的比例，所以要求侧面积增加，底面积减小，也就是使发射区的底面积与周长（即侧面积）之比减小，从而使有效增益增加。

最合理的图形是窄条形，因为在相同发射区面积的情况下，窄条形发射区有较小的面积周长比，而且条越窄效果越好。考虑到最小可开孔，所以一般取正方形；工作电流较大时，则采用长方形。为了减小表面复合的影响和获得均匀的表面横向基区宽度，把图形的四角改为圆角，有时甚至采用圆形发射极图形。

另外，为了使集电极尽可能多地收集到从发射区侧向注入的空穴，在设计横向 PNP 管

时，应该将集电区包围发射区，如图 2.13 所示。

② 在工艺上可采用增大结深及采用埋层工艺等办法。

增大结深 x_{jC}，可使横向 PNP 管的发射区侧面积即周长×x_{jC} 增加，但这需考虑到与集成电路中 NPN 管的工艺相容问题。

采用埋层工艺可减小纵向寄生 PNP 管的影响。因为增加埋层后使纵向寄生 PNP 管的基区宽度增大了；而且埋层减小了寄生 PNP 管的基区电阻，使其注入效率降低；同时埋层 N^+-BL 上扩散形成了对空穴的速减场。这些因素都使寄生 PNP 管的 β_F 下降。

(2) 横向 PNP 管本身结构上的限制

① 其横向平均基区宽度不可能做得太小。图 2.15 是横向基区部分的结构图，由图可知，横向 PNP 管的最小横向基区宽度 $W_{BL,min}$ 不可能设计得很小。

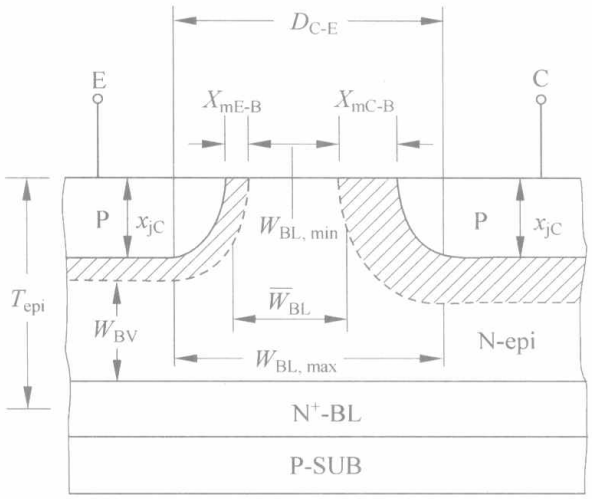


图 2.15　横向 PNP 管的横向基区宽度 W_{BL} 和纵向基区宽度 W_{BV}

由图可见，由于侧向扩散，最小横向基区宽度在横向 PNP 管的表面附近，而且

$$W_{BL,min} = D_{C\text{-}E} - 2 \times 0.8x_{jC} - x_m \tag{2.25}$$

式中：$D_{C\text{-}E}$ 为发射区和集电区扩散孔掩模间的最小间距；

x_{jC} 为发射区和集电区扩散结深(即 NPN 管基区扩散结深)；

$x_m = (x_{mE\text{-}B} + x_{mC\text{-}B})_{max}$，为发射结和集电结的耗尽层在基区一侧之和的最大值。

下面来估算一下 $W_{BL,min}$ 的大小。为保证 CE 结不穿通，$D_{C\text{-}E}$ 应为

$$D_{C\text{-}E} = 2 \times 0.8x_{jC} + (x_{mE\text{-}B} + x_{mC\text{-}B})_{max} + \Delta X + G_{min} \tag{2.26}$$

式中：ΔX 为光刻等工艺引入的线宽不确定度；

G_{min} 为最坏情况下的最小间距；

x_{jC}、$x_{mE\text{-}B}$、$x_{mC\text{-}B}$ 见式(2.25)的说明。

其中 ΔX 由工艺精度而定，x_{jC} 由工艺和器件设计决定，G_{min} 也是一确定的值，它们都与工作电压无关，现在来考虑 x_m 的大小。

$x_m=(x_{mE\text{-}B}+x_{mC\text{-}B})_{max}$，由半导体器件原理知，当晶体管的发射结空间电荷区和集电结空间电荷区相互碰上时，即为 EC 结穿通，其穿通电压可表示为

$$V_{PT}=\frac{qN_bW_{BL}}{2\varepsilon_{Si}\varepsilon_0} \tag{2.27}$$

式中：N_b 为基区杂质浓度(对于横向 PNP 管，即为外延层杂质浓度 N_{epi})；

W_{BL}为不考虑耗尽层时的横向 PNP 管的横向基区宽度；

$\varepsilon_{Si}=11.7$，为硅的相对介电常数。

由式(2.27)可求得最大耗尽层的总厚度为

$$x_m=W_{BL}=\sqrt{\frac{2\varepsilon_{Si}\varepsilon_0V_{C\text{-}Emax}}{qN_b}} \tag{2.28}$$

在进行 $D_{C\text{-}E}$的设计时，还必须考虑电源电压的波动，N_b(即 N_{epi})及 x_{jC}的控制精度等因素。

例如，设电源电压波动为±20%，N_b 控制精度为±25%，x_{jC}的控制精度为±15%，则此时 x_m 的误差 Δx_m 为

$$\Delta x_m=\pm x_m\left(\sqrt{\frac{1.20}{0.75}}-1\right)\approx\pm 0.27x_m$$

此时为防止 CE 结穿通所必须保证的安全余量为

$$\Delta M=0.15\times 2x_{jC}+0.27x_m+\Delta X+G_{min}$$

所以实际 $D_{C\text{-}E}$的值为

$$D_{C\text{-}E}=2\times 0.8x_{jC}+x_m+\Delta M \tag{2.29}$$

对于图 2.13 的横向 PNP 管，其 $x_{jC}=3.25\mu m$，$\rho_{epi}=1\Omega\cdot cm$，$V_{C\text{-}Emax}=20V$，假设 $\Delta X=1.6\mu m$，$G_{min}=0.8\mu m$，查劳伦斯-沃纳曲线可得 $x_{mE\text{-}B}\approx 0.2\mu m$，$x_{mC\text{-}B}\approx 2.1\mu m$，则

$$\Delta M=4.2\mu m$$

$$D_{C\text{-}E}=11.7\mu m$$

这时，上表面附近最小横向基区宽度的典型值为

$$W_{BL,min}=D_{C\text{-}E}-2\times 0.8x_{jC}-x_m\approx 4.2\mu m$$

由图 2.15 可见，横向 PNP 管的横向基区宽度从上至下是不均匀的，$W_{BL,max}\gg W_{BL,min}$，一般取有效平均横向基区宽度$\overline{W_{BL}}$为

$$\overline{W_{BL}}=W_{BL,min}+1\mu m=5.2\mu m$$

此数值比一般的 NPN 管的基区宽度几乎大一个数量级。

② 发射结的注入效率低。

由半导体器件原理知，均匀基区 PNP 管的发射结注入效率 γ 为

$$\gamma=\frac{1}{1+\dfrac{\rho_EW_B}{\rho_BL_{nE}}} \tag{2.30}$$

式中：ρ_E、ρ_B 分别为发射区和基区的电阻率；

W_B 为基区宽度；

L_{nE}为电子在发射区内的扩散长度。

当 $W_E < L_{nE}$时，则

$$\gamma = \frac{1}{1+\frac{\rho_E}{\rho_B}\cdot\frac{W_B}{W_E}} = \frac{1}{1+\frac{R_{SE}}{R_{SB}}} \tag{2.31}$$

由式(2.31)可见：ρ_E/ρ_B 越大，γ 越小；W_B 越小，则 γ 越大。因为横向 PNP 管的 ρ_E/ρ_B 等于 NPN 管的 ρ_C/ρ_{epi}较大，几乎比一般 NPN 管大二个数量级；而它的横向基区宽度又比一般的 NPN 管大一个数量级，所以 γ 很小。

③ 表面复合影响大。

因为横向 PNP 管的表面积较大，而且横向基区宽度在表面处最小，所以注入基区表面的空穴浓度较高，从而使基区表面复合效应更为显著。为了减小表面复合的影响，可采用发射极大面积铝覆盖的结构，如图 2.16 所示。当 EB 结正偏时，在基区表面形成了指向体内的电场，使少子空穴离开表面而向体内弯曲，减少了表面复合，但增加了寄生电容。下面来估算一下横向 PNP 管的 β_F 值，先不考虑表面复合和垂直的寄生 PNP 管的影响，且设为一维均匀基区模型。由晶体管原理知

$$\frac{1}{\beta_F} = \frac{R_{SE}}{R_{SB}} + \frac{\overline{W_{BL}^2}}{2L_{pB}^2}$$

式中：R_{SE}为横向 PNP 管的发射区的薄层电阻(它等于 NPN 管的基区薄层电阻)；

R_{SB}为横向 PNP 管的基区的薄层电阻$\left(\text{它等于外延层的薄层电阻 } R_{Sepi}=\frac{\rho_{epi}}{T_{epi}-T_{BL\text{-}up}}\right)$；

L_{pB}为基区中空穴的扩散长度，$L_{pB}=\sqrt{D_p\tau_p}$；

D_p 为空穴扩散系数，τ_p 为体内少子寿命。

设 $\rho_{epi}=1\Omega\cdot\text{cm}$，$T_{epi}=10\mu\text{m}$，$T_{BL\text{-}up}=2.5\mu\text{m}$，$R_{SB\text{-}NPN}=100\Omega/\square$，$\overline{W_{BL}}=5.5\mu\text{m}$(此时 $D_p=11\text{cm}^2/\text{s}$，$\tau_p=3\times10^{-6}\text{s}$，所以 $L_{pB}\approx57\mu\text{m}$，考虑到表面复合，取 $L_{pB}=30\mu\text{m}$)，则

$$\beta_F \approx 11$$

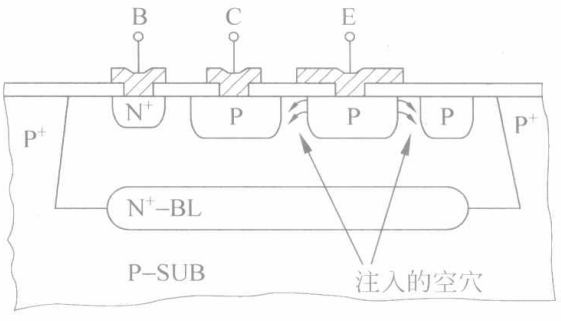


图 2.16　横向 PNP 管发射极大面积铝覆盖结构

2）横向 PNP 管的特征频率 f_T

横向 PNP 管的 f_T 较小，一般为(1～5)MHz，比模拟集成电路中的 NPN 管几乎小两个数量级。横向 PNP 管 f_T 小的原因如下：

① 横向 PNP 管的有效平均基区宽度 $\overline{W}_{BL}$ 大；

② 埋层的抑制作用，使折回集电极的少子路程增加；

③ 空穴的扩散系数只有电子扩散系数的 1/3。

以上三个原因使横向 PNP 管的基区渡越时间较长，基区存储电荷较多而使 f_T 下降。

此外，横向 PNP 管在采用共发射极接法时其衬底结电容 C_{jS} 和发射结电容 C_{jE} 是并联的，也会引起 f_T 下降。

为使 f_T 提高可采取以下措施：

① 增加结深 x_{jC}；

② 减小 L_E，即只要能满足电流容量的要求，发射区应做成最小几何尺寸；

③ 提高工艺精度以降低 $\overline{W}_{BL}$；

④ 在与 NPN 管制造工艺兼容的前提下，降低外延层掺杂浓度，提高横向 PNP 管的发射区(也即 NPN 管的基区)掺杂浓度 $N_{E\text{-}PNP}$。

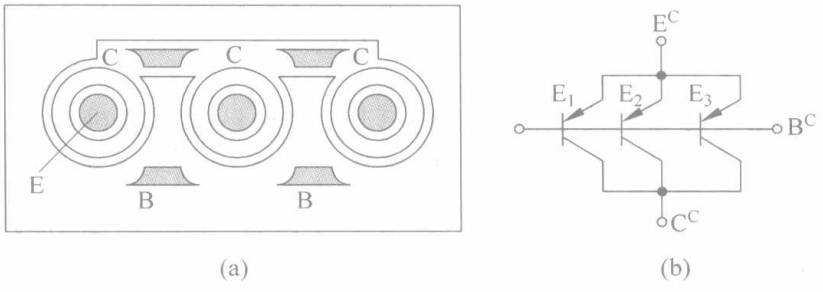
3）横向 PNP 管开始发生大注入时的临界电流 I_{Cr}

在横向 PNP 管中，$\rho_B > \rho_C$，且为均匀基区，由晶体管原理知

$$I_{Cr} = \frac{qA_{EL}N_B D_{PB}}{\overline{W}_{BL}}$$

式中 D_{PB} 为基区中空穴的扩散系数。由于横向 PNP 管的 A_{EL} 小，$N_B = N_{epi}$ 低，$\overline{W}_{BL}$ 大，所以其临界电流 I_{Cr} 比 NPN 管小很多。横向 PNP 管的 β_F 在 $I_C = 100\mu A$ 时就开始下降，而且外延层电阻率越高，I_{Cr} 就越小。

在有些模拟集成电路中，常要求横向 PNP 管在较大的集电极电流(例如几毫安)下仍有较高的增益，所以提高横向 PNP 管大电流下的增益特性十分重要。一个较好的办法是将多个同样尺寸的横向 PNP 管并联使用(如图 2.17 所示)，这样既可保持原来横向 PNP 管较小的面积周长比，又因增加了发射区周长而可承受较大的电流，使电流特性得到改善。



(a)　　(b)

图 2.17　多个 PNP 管并联以提高 I_{Cr}

(a) 复合版图；(b) 等效电路

为了进一步提高横向 PNP 管的大电流特性，还可以用 P^+ 深扩散来制作横向 PNP 管的发射区和集电区。因为这种结构的横向 PNP 管的发射区掺杂浓度增加，所以有较好的发射极发射效率；此外，由于结深较深（约为 5μm，而标准的横向 PNP 管的发射结、集电结的结深约 3.5μm），所以其集电区薄层电阻 R_{SE} 下降，使 β_F 提高。但它必须增加一次浓硼扩散，工艺较麻烦。

2. 多集电极横向 PNP 管

这种结构的横向 PNP 管在模拟集成电路中使用较多，这是因为横向 PNP 管结构提供了一个按对应于发射区侧面的有效集电区侧面积来决定集电极电流分配比的方法，如图 2.18 所示。由于各集电区以及发射区的结深都是 x_{jC}，所以只要各集电区和发射区的间距 $D_{C\text{-}E}$ 和结上的反向偏置 V_{BC} 相等，就可以使各集电极的电流正比于所对应的有效集电区侧面积，即

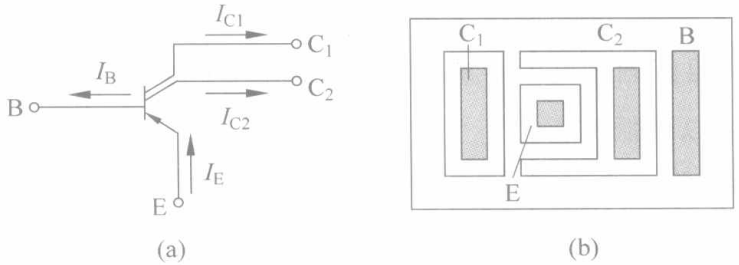


图 2.18　多集电极横向 PNP 管

(a) 电路符号；(b) 版图

$$I_{C1} = \beta_F I_B \frac{A_{C1}}{A_C} \tag{2.32}$$

$$I_{C2} = \beta_F I_B \frac{A_{C2}}{A_C} \tag{2.33}$$

式中 A_{C1}，A_{C2} 分别为两个集电区的有效侧面积，而 $A_C = A_{C1} + A_{C2}$；β_F 为把两个集电极接在一起时组成的横向 PNP 管的直流电流增益，有

$$\beta_F = \frac{I_{C1} + I_{C2}}{I_B}$$

由式(2.32)和式(2.33)可以得到

$$\frac{I_{C1}}{I_{C2}} = \frac{A_{C1}}{A_{C2}} = \frac{L_{E1} x_{jC}}{L_{E2} x_{jC}} = \frac{L_{E1}}{L_{E2}} \tag{2.34}$$

式中 L_{E1}，L_{E2} 为两个集电区所对应的有效发射区周长，它是可以精确地加以控制的，这就给集成电路的版图设计带来了方便，所以在模拟集成电路中常用多集电极横向 PNP 管。以上的分析是假设各集电结上的偏压相等，如果偏压不等，则由于各集电结的耗尽层宽度不同，而使各集电区和发射区的间距 $D_{C\text{-}E}$ 不同，这将导致式(2.34)两边稍有不同。

3. 大电流增益 β_F^C 的复合 PNP 管

在某些应用中，要求 PNP 管的电流增益很大，此时可用复合 PNP 管。复合 PNP 管的

组成如图 2.19 所示。由图可见，复合 PNP 管的全部偏压的极性与 PNP 管相同，其$\beta_F^C \approx \beta_{F\text{-}PNP}\beta_{F\text{-}NPN} > \beta_{F\text{-}NPN}$（详见 12.1 节的介绍）。

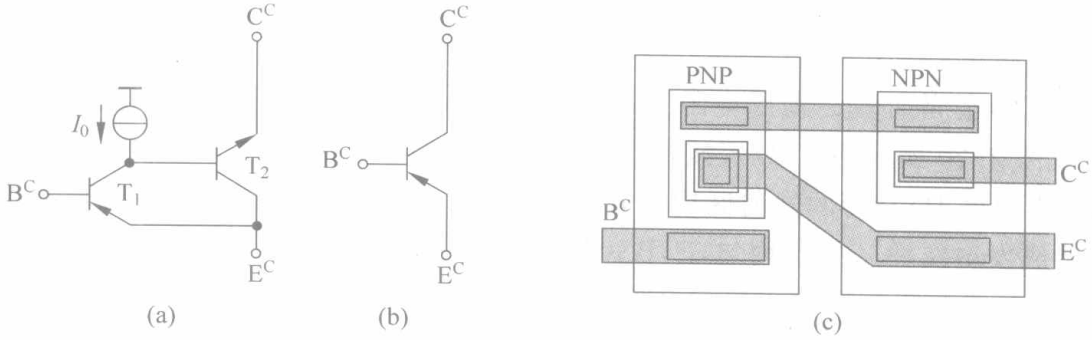


图 2.19　复合 PNP 管的电路接法和等效符号

（a）电路接法；（b）等效电路；（c）版图示意图

为使复合管的两个晶体管都工作在正向工作区，复合管的集电极电位 V_C^C 至少比其基极电位 V_B^C 低两个 V_D。复合管的电流增益 β_F^C 比单个横向 PNP 管的电流增益 $\beta_{F\text{-}PNP}$ 增大了许多，但其特征频率 f_T^C 则无变化，$f_T^C \approx f_{T\text{-}PNP}$，而复合管的面积大于单个横向 PNP 管。

2.4.2　衬底 PNP 管

由上面的分析可知，横向 PNP 管的 β_F，f_T，I_{Cr} 都比较小，只能用于小电流的情况。如果用图 2.20 所示的衬底 PNP 管，则可在较大的电流下工作。

衬底 PNP 管的制作工艺与 NPN 管的制作工艺完全兼容，在进行 NPN 管基区扩散的同时形成了衬底 PNP 管的发射区，其集电区则是整个电路的公共衬底，所以只有利用 PN 结隔离工艺，才能制造衬底 PNP 管。

1. 衬底 PNP 管的特点

由图 2.20 可见，衬底 PNP 管有以下特点：

（1）衬底 PNP 管的集电区是整个电路的公共衬底，直流接最负电位，交流是接地的，所以使用范围很有限，只能用做集电极接最负电位的射极跟随器。

（2）其晶体管作用发生在纵向，所以又称纵向 PNP 晶体管，因为各结面较平坦，发射区面积可以做得很大，所以工作电流比横向 PNP 管大；并可用增大发射区面积或多个发射极并联使用的办法来增大临界电流 I_{Cr}。

（3）因为衬底作为集电区，所以不存在有源寄生效应，故可不用埋层。

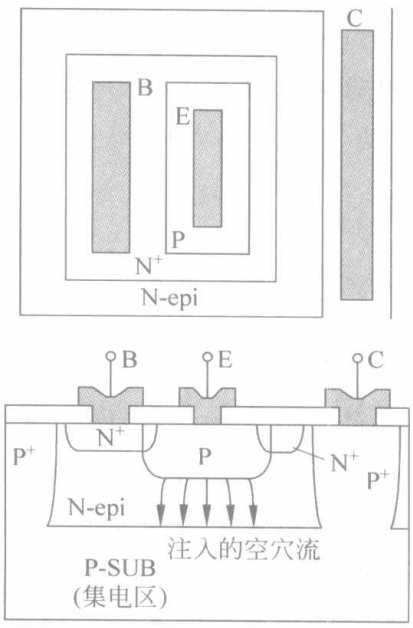


图 2.20　衬底 PNP 管的结构和工艺复合图

(4) 基区电阻，特别是外基区电阻 r_{B2} 较大。因为其基区为外延层，而一般外延层电阻率 ρ_{epi} 较大，典型值 $\rho_{epi}=1\Omega\cdot cm$，若外延层厚度 $T_{epi}=10\mu m$，则外基区的薄层电阻 $R_{SB-外}$ 为

$$R_{SB-外}=\frac{\rho_{epi}}{T_{epi}}=1k\Omega/\square$$

比一般的 NPN 管的外基区薄层电阻 $R_{SB-NPN}=100\sim200\Omega/\square$ 大很多。为了减小外基区电阻 r_{B2}，可以如图 2.20 所示将 E,B 短接，这时 $r_{B2}=0$；E,B 短接还有两个附带的好处：

① 因为衬底 PNP 管的发射区周长较长，加之 ρ_{epi} 较高，所以基极电位将随基极位置而异，从而造成发射结注入的不均匀，E,B 短接后可减小自偏置效应，改善电流特性。

② E,B 短接有助于减少表面复合的影响，所以提高了 β_F。

(5) 衬底 PNP 管的集电极串联电阻 r_{CS} 和集电结电容较大。为了减小 r_{CS}，一般将集电极接触窗口放在与衬底 PNP 管紧挨着的隔离槽上，这样可以避免当 I_C 较大时在衬底产生较大的压降，导致电路的其他部分的衬底外延层结变成正偏而破坏电路的正常工作。

2. 衬底 PNP 管的 β_F 和 f_T

衬底 PNP 管由于没有寄生 PNP 管，所以 β_F 和 f_T 都比横向 PNP 管大，其 β_F 可达 30～50，而 f_T 可达 10MHz，但比一般 NPN 管仍然小很多。其 β_F 和 f_T 不大的主要原因与横向 PNP 管一样也是它的有效基区宽度 W_{BV} 和反映注入比的 R_{SE}/R_{SB} 都大。

由图 2.20 可见，衬底 PNP 管的有效基区宽度 W_{BV} 为

$$W_{BV}=T_{epi}-x_{jC}-x_{mEB}-x_{mCB} \tag{2.35}$$

因为模拟集成电路中大量应用的是 NPN 管，故一般模拟集成电路的工艺参数设计为 $T_{epi}=10\sim15\mu m$，硼扩散结深 $x_{jC}\approx3\mu m$。因其工作电压较高，故集电结耗尽层宽度较大且主要扩展在衬底一边，因此一般衬底 PNP 管的 W_{BV} 在 4～8μm。

因为 W_{BV} 大，所以有效基区薄层电阻 $R_{SB-PNP}=\rho_{epi}/W_{BV}$ 就比一般的 NPN 管小；而其发射区的薄层电阻 $R_{SE-PNP}(=R_{SB-NPN})=100\sim200\Omega/\square$，比一般 NPN 管的 R_{SE}（约 $5\Omega/\square$）大得多，所以

$$\left.\frac{R_{SE}}{R_{SB}}\right|_{PNP}\gg\left.\frac{R_{SE}}{R_{SB}}\right|_{NPN}$$

导致 $\gamma_{PNP}\ll\gamma_{NPN}$。

2.4.3 自由集电极纵向 PNP 管

衬底 PNP 管由于其集电极固定接电路的最负电位，因而限制了它的应用。自由集电极纵向 PNP 管其晶体管作用也发生在纵向，但其集电极可以接任意电位。下面介绍与对通隔离兼容的自由集电极纵向 PNP 管，其剖面图如图 2.21 所示。它共有三次 P 型杂质的扩散：P-BL 下隔离扩散；P^+ 上隔离扩散，并作为深 P^+ 集电极；P 型发射区扩散。由于硼的扩散系数比锑的扩散系数大一个数量级以上，在外延及上隔离扩散过程中 P-BL 埋层的上推距离大于 N^+-BL 上推的距离，于是在 P 发射区下形成 P 型集电区。利用此工艺，可以做到

$W_{BV}\approx 2\mu m$，使 $\beta_F=100\sim500$，$f_T\approx 50MHz$。

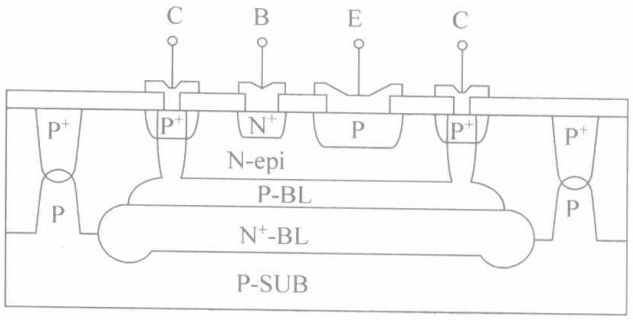


图 2.21　与对通隔离工艺兼容的自由集电极纵向 PNP 管的横截面图

此结构的缺点如下：

① 因为有效基区宽度 W_{BV} 由外延层厚度 T_{epi}、结深 x_{jC} 和埋层上推距离 T_{BL-up} 决定，所以控制精度较差，对外延层厚度控制较严；

② 工艺步骤较多；

③ 版图尺寸增大，影响成品率。

2.5　集成二极管

2.5.1　一般集成二极管

在集成电路中的二极管，多数是通过对集成晶体管的不同接法而形成的，所以不增加新的工序，且可灵活地采用不同的接法得到电参数不同的二极管，以满足集成电路的不同要求。在集成电路中也可以利用单独的一个硼扩散结形成二极管。各种集成二极管的特性比较如表 2.2 所示。二极管接法的选择由电路对正向压降、动态电阻 r_d、电容、存储时间 t_s 和击穿电压的不同要求来决定，因为只要工艺掌握得好，六种形式二极管的漏电流相差不多。最常用的有两种：

表 2.2　六种集成二极管特性典型值

特性参数 \ 连接方式		$V_{BC}=0$	$V_{CE}=0$	$V_{BE}=0$	$I_C=0$	$I_E=0$	单独 BC 结
恢复时间		短	最长	长	长	较长	长
正向压降	小电流	V_{BEF}	V_{BCF}	V_{BCF}	V_{BEF}	V_{BCF}	V_{BCF}
	大电流	小	中	中	大	中	中
击穿电压/V		6～9	6～9	>20	6～9	>20	>20
结电容 C_j		C_E	C_E+C_C	C_C	C_E	C_C	C_C

续表

特性参数 \ 连接方式	$V_{BC}=0$	$V_{CE}=0$	$V_{BE}=0$	$I_C=0$	$I_E=0$	单独 BC 结
寄生端电容 C_P	C_{CS}	C_{CS}	C_{CS}	$\frac{C_C C_{CS}}{C_C+C_{CS}}$	C_{CS}	C_{CS}
寄生 PNP 管	无	有	有	有	有	有
特点与应用	t_s小，r_d小，无寄生 PNP，最常用	t_s最长，作为电荷储存管	击穿电压高	C_P小，V_F大，电平位移用	t_s长，击穿电压高	面积小，C_C，C_{CS}小，耐压高，常用

① BC 短接二极管，因为没有寄生 PNP 效应，且存储时间最短，正向压降低，故一般 DTL 电路的输入端的门二极管都采用这种接法；

② 单独 BC 结二极管，因为它不需要发射结，所以面积可以做得很小，正向压降也低，且击穿电压高。

2.5.2 集成齐纳二极管和次表面齐纳管

1. 集成齐纳二极管

集成电路中的齐纳二极管一般是反向工作的 BC 短接二极管，因此与制作一般 NPN 管的工艺兼容。利用一般工艺可获得的 $V_Z=BV_{EBO}$为 6～9V。这种结构的齐纳二极管有以下一些缺点：

① 具有较大的正温度系数，一般 $dV_Z/dT=2\sim4mV/℃$，所以热稳定性差。

② 内阻较大，其内阻 $R_Z=R_\Omega+r_d$，一般情况下动态电阻 r_d 较小，主要是欧姆电阻 R_Ω，为 40～100Ω。由于内阻较大，因而其两端的电压 V_Z 随电源电压和负载电流的变化也大。

③ V_Z 的离散性大，由于 V_Z 由多次扩散决定，所以 V_Z 值的精确控制较困难，一般 NPN 管的 BV_{EBO}的容差在±200mV。

④ 输出噪声电压较大。因为击穿主要发生在 Si 表面，所以受表面的影响大。

2. 次表面齐纳管

一般的齐纳管由于击穿发生在表面，因而输出噪声电压较大，次表面齐纳管是设法把击穿由表面引入体内。可以用扩散法和离子注入法来形成次表面齐纳管。

用扩散法形成的次表面齐纳管的结构如图 2.22 所示，它是在 N^+ 发射区内加一道深 P^+ 扩散，使击穿发生在 N^+ 与 P^+ 的接触圈上（称次表面），所以噪声低、稳定性高，此时 $V_Z\approx6.3V$。但扩散法工艺不易精确控制，所以 V_Z 的容差仍在±100mV 之内。

离子注入法掺杂可以精确控制掺杂的浓度和深度，利用离子注入法来制造次表面齐纳管，可望得到较精确的 V_Z 值。离子注入次表面齐纳管的结构如图 2.23 所示，它是在 P 型基区扩散和 N^+ 发射区扩散后，增加一次硼离子注入而成。离子注入掺杂分布的峰值在表

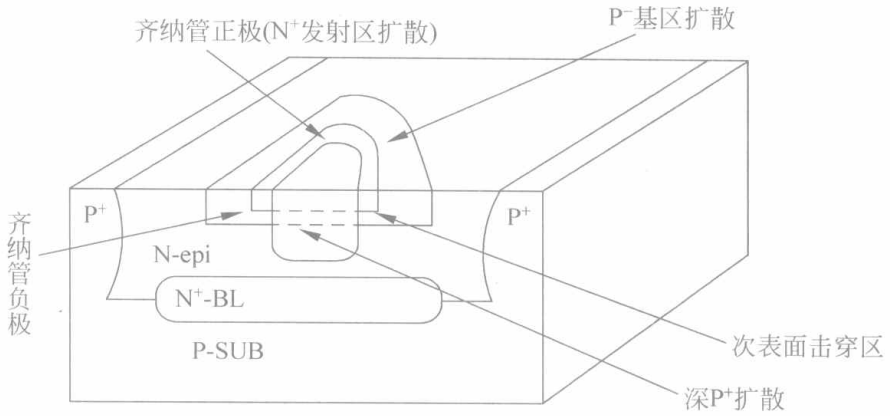


图 2.22　扩散法形成的次表面齐纳管结构图

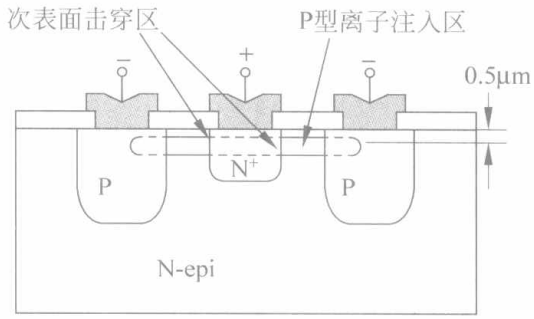


图 2.23　离子注入次表面齐纳管结构示意图

面下 0.5μm 左右，击穿发生在离子注入区和 N^+ 区交界的圆环上，击穿电压 $V_Z \approx 6.17V$，标准容差小于 20mV。

2.6　肖特基势垒二极管(SBD)和肖特基钳位晶体管(SCT)

2.6.1　肖特基势垒二极管

由半导体物理的知识可知，铝和 N 型硅接触形成的肖特基势垒具有类似于 PN 结的整流特性，其 V-I 关系为

$$I = I_{DS}[\exp(V/V_t) - 1] \tag{2.36}$$

式中的 I_{DS} 为反向饱和电流，可表示为

$$I_{DS} = R^* \cdot S \cdot T^2 \exp(-\varphi_B/V_t) \tag{2.37}$$

式中：R^* 为有效理查森常数，室温下 N-Si 的 $R^* \approx 112A/cm^2 \cdot K^2$，P-Si 的 $R^* \approx 32A/cm^2 \cdot K^2$；

T 为用绝对温度(K)表示的结温；

φ_B 为金属与半导体之间的接触势垒高度，数值因金属与半导体的不同而异；

S 为 SBD 的面积。

SBD 的等效电路和实际 SBD 的正向伏安特性如图 2.24 所示。由图 2.24 可以看出 SBD 和一般集成二极管的差别如下：

① SBD 的反向饱和电流 I_{DS} 大，约为 2×10^{-11} A，而一般 NPN 管的 $I_{ES}\approx10^{-16}$ A，$I_{CS}\approx10^{-15}$ A，$I_{SS}\approx10^{-13}$ A。

② SBD 的正向导通压降 V_{th} 小，比 PN 结的 V_{th} 小 0.1～0.2V。

此外，它们的正向电压温度系数也不同，SBD 的 $\partial V_F/\partial T\approx-1.4$mV/℃，而一般 PN 结的 $\partial V_F/\partial T\approx-(1.6\sim2.0)$mV/℃。

另外，在小注入时，SBD 是多子导电器件，所以没有 PN 结中的少子存储问题，从而使得当外加电压改变时，其响应速度快。

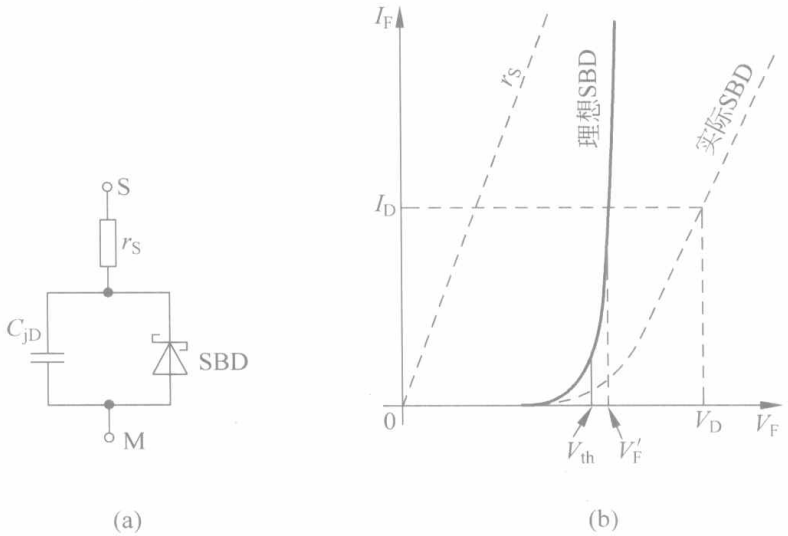


图 2.24　SBD 的等效电路及伏安特性

(a) SBD 的等效电路；(b) 实际 SBD、理想 SBD 和 r_S 的正向伏安特性

图 2.24 中的 r_S 为 SBD 的串联体电阻，集成电路中的 SBD 一般是由金属布线与外延层接触形成的，由于外延层的 N_{epi} 较低，所以串联体电阻 r_S 较大，并有一深入到外延层内部的耗尽层电容 C_{jD}。这样，SBD 两端实际的直流电压为

$$V_{MS}(I_F)=V_{DF}(I_F)+I_Fr_S\approx V_{th}+I_Fr_S>V_F \tag{2.38}$$

2.6.2　肖特基钳位晶体管

1. SCT 的结构和特点

在 TTL 电路中，开关管对 I_B 的要求是矛盾的。在导通时，要求导通快，所以要求 I_B 大，因此基区存储电荷增大；而在由导通变为截止时，要求存储电荷 Q_{DC} 小，以加快速度。若用 SCT 代替一般的 NPN 管可以较好地解决此矛盾。SCT 的典型结构如图 2.25 所示，N

型外延层作为 SBD 的阴极，电路互连用的铝膜作为 SBD 的阳极，所以其制作工艺完全和 TTL 工艺兼容。由图可知，SBD 可以使晶体管的 V_{BC} 钳位在 SBD 的导通电压上，避免了晶体管进入深饱和状态，使存储电荷下降，电路速度加快。

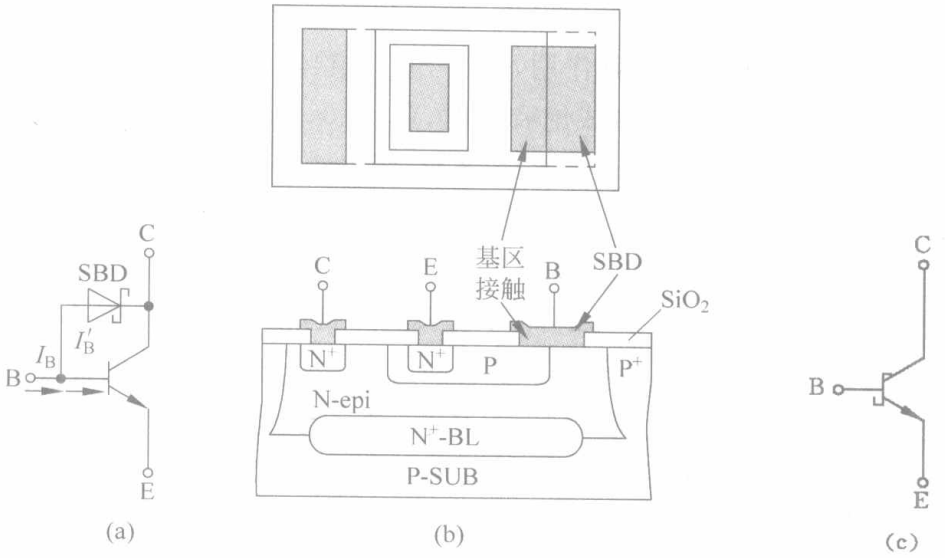


图 2.25　肖特基钳位晶体管(SCT)典型结构图

(a) SBD 钳位晶体管；(b) SCT 的平面结构和剖面；(c) SCT 的电路符号

2. SCT 的等效电路及工作特点

SCT 的等效电路如图 2.26 所示，由图可分析得到如下结论：

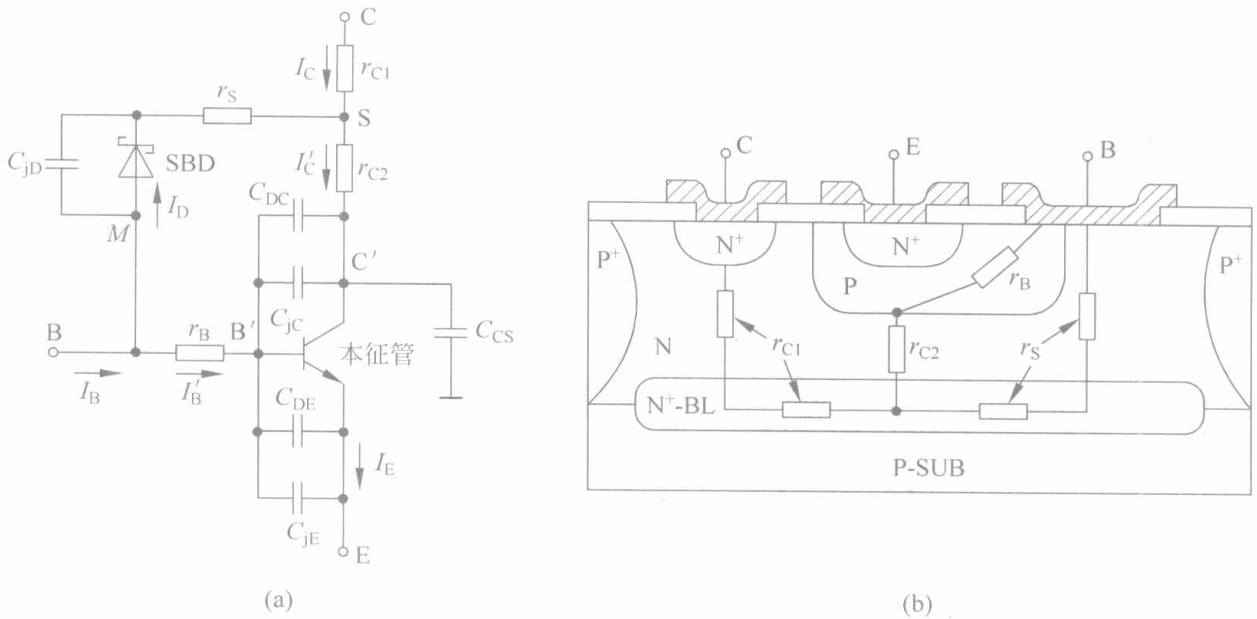


图 2.26　SCT 的等效电路及寄生电阻在 SCT 结构中的位置

(a) SCT 的等效电路；(b) 各寄生电阻在 SCT 结构中的位置

(1) 当 SCT 工作于正向工作区或截止时，有

$$\begin{cases} V_{BE} > 0 \\ V_{BC} < 0 \end{cases} \quad \text{或} \quad \begin{cases} V_{BE} < 0 \\ V_{BC} < 0 \end{cases}$$

SBD 处于反向偏置状态，可以忽略其作用，此时 SCT 相当于一般的 NPN 管。

(2) 当 SCT 工作于反向工作区或饱和区时，$V_{BC}>0$，此时又可分为两种情况：

① V_{BC}小于 SBD 的导通压降，SBD 仍未导通，所以 $I'_B=I_B$。

② V_{BC}大于 SBD 的导通压降，于是 SBD 导通，I_B 被分流，晶体管的 V_{BC}被钳位在 0.45V，阻止了 NPN 管的集电结进入导通状态，使它不会进入深饱和，因而饱和时的超量少子存储电荷大大减小，使 SCT 的存储时间 t_S 比不带 SBD 的同样晶体管小一个数量级，所以传输延迟时间 t_{pd}大大下降，从而大大提高了电路速度。如果用 SCT 代替 TTL 电路中可能进入深饱和或反向工作的各普通 NPN 管，可使电路延迟时间下降到 2～4ns，使电路的延时功耗积下降一半左右。所以当延时功耗积一定时，用 SCT 代替 TTL 中的晶体管可以设计两种电路：一种是保持原 TTL 电路的功耗而使传输延迟时间下降，这就是高速电路(STTL)；另一种是保持原 TTL 电路的传输延迟时间不变而使电路的功耗下降，这就是中速低功耗电路(LSTTL)。

用 SCT 代替 TTL 电路中的普通晶体管也带来了一些问题，如晶体管的饱和压降上升，反向漏电增大，且工艺要求也提高了。如对 Si 表面的处理和对金属化工艺的要求是很高的，且重复性和可靠性较差。

2.6.3 SBD 和 SCT 的设计

对 SBD 和 SCT 的设计中最主要的是对 SBD 的 V_{MS}以及 SBD 的面积和击穿电压的设计，分别介绍如下。

1. 对 V_{MS}的考虑

对 SCT，既要存储时间 t_S小，又要饱和压降 V_{CES}小，这两者是矛盾的。因为要使 t_S小，就要求 V_{MS}小；而要使 V_{CES}小，就希望 V_{MS}大，最好接近 0.6V。所以对电路中的各个 SCT 要根据它们在电路中的作用分别加以考虑：对速度和饱和压降 V_{CES}两项性能都有要求的 SCT(如输出级)，可选 $V_{MS}=0.5\sim0.55$V；对只要求速度而对 V_{CES}无严格要求的管子(如中间级)，可选 $V_{MS}=0.4\sim0.5$V。

2. I_D和 r_S的设计(实际是 SBD 面积的设计)

由前面的分析可知

$$V_{MS}=V_F(I_D)+I_Dr_S$$

当金属材料选定后，φ_B 已确定，所以 V_{MS}主要由流过 SBD 的电流 I_D和 SBD 的串联体电阻 r_S决定。由等效电路图 2.26 可见

$$I_D = I_B - I'_B \approx I_B - \frac{I_C}{\beta}$$

而 I_B 和 I_C 是由电路设计决定的，r_S 则由 SBD 的面积 A_{SBD} 和形状决定。A_{SBD} 增加，使 r_S 减小，同时使 I_{DS}，I_D 和 C_{jD} 增大，从而影响 V_{MS}。所以 SBD 和 SCT 的设计实际是在一定的 I_D 下，求得恰当的 SBD 的面积和形状，来满足对 V_{MS} 的要求。

3. SBD 的结构和击穿电压

SBD 的击穿电压大小与 SBD 的结构有很大关系。图 2.27 给出了三种 SBD 的结构，图 2.27(a)为常用的金属覆盖结构，由于金属层下的 SiO_2 中有正电荷聚集，使该处之耗尽层减薄，边缘效应增强，导致击穿电压下降、漏电增大。对于铝-N 型硅，反向击穿电压 $BV \approx 10V$。图 2.27(b)中采用了 P^+ 扩散保护环结构，使电场集中的情况得到缓和，BV 基本上由 N-Si的掺杂浓度决定，其 $BV \geqslant 25V$，但面积和寄生电容都增大了。图 2.27(c)是把金属接触孔周围的 SiO_2 减薄，使边缘电场拉平以提高 BV，但这种结构需要增加薄氧工艺。在进行电路设计时，可根据耐压的要求选用相应的结构。

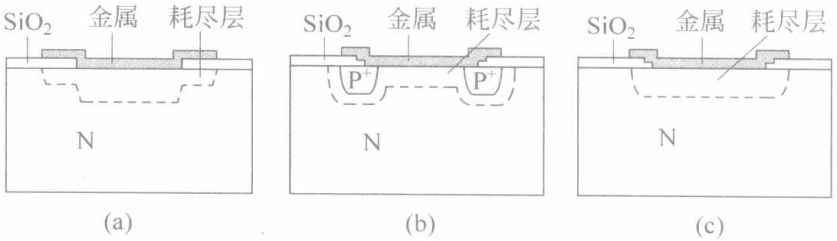


图 2.27　常用的 SBD 结构和反偏时耗尽层的扩展情况

2.7　MOS 集成电路中的有源寄生效应

所有 MOS 集成电路中都存在一些不希望有的寄生双极型晶体管和寄生 MOS 管，若这些寄生晶体管导通，就会引起不少麻烦。下面分别讨论这些寄生晶体管的结构、导通条件及防止寄生效应的办法。

2.7.1　场区寄生 MOSFET

在 MOS 集成电路中，当一条铝线跨接两个相邻的扩散区时(见图 2.28(a))，就形成了一个以 A，B 为源、漏，以 C 为栅的场区寄生 MOSFET。由于扩散区 A，B 和铝线 C 上的电压是相互独立变化的，当铝线 C 上的电压使铝线下的衬底反型形成沟道时，就会导致 A，B 间有电流流通，而使电路失效或参数变坏。为了防止场区寄生 MOSFET 的导通，必须提高其开启电压(称场开启电压)。

在硅栅 MOS 电路中，若多晶硅连线设计不当，或由于光刻对准偏差，使多晶硅跨接两个扩散区，而形成以扩散区为源、漏，以多晶硅为栅的另一种场区寄生 MOSFET，如

图 2.28(b)所示。由于铝线下的场氧化层要比多晶硅下的场氧化层厚(因为在多晶硅光刻后还要生长一层氧化层),所以以多晶硅为栅的场区寄生 MOSFET 更不能忽视。

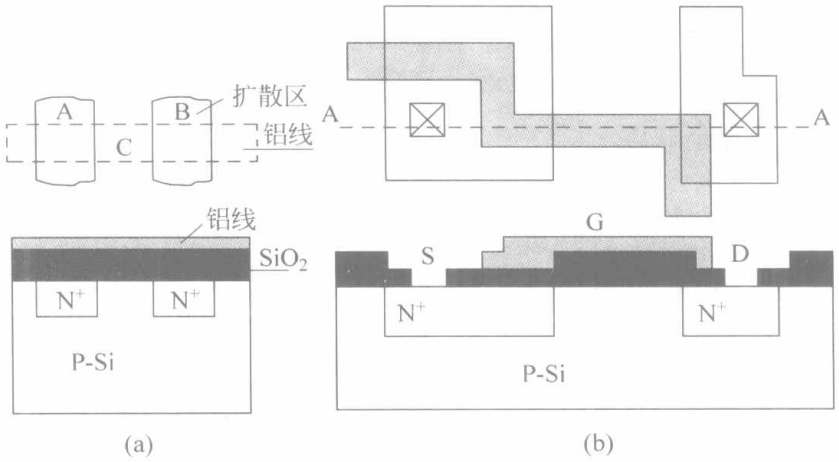


图 2.28　场区寄生 MOSFET

(a) 场区寄生 MOSFET 之一；(b) 场区寄生 MOSFET 之二

提高场开启电压的办法通常有以下两种：

(1) 加厚场氧化层的初始厚度，并严格控制随后加工中的腐蚀量。但不能加厚太多，因为场氧化层太厚对后续工艺如刻孔、布线等会有影响，采用等平面工艺可以改善这些影响。

(2) 在场区注入(或扩散)与衬底同型的杂质，以提高衬底表面浓度，但掺入的杂质的量要适当。在满足场开启要求的前提下，尽量减少掺杂的量，以防止寄生电容的增加或击穿电压的下降。

2.7.2　寄生双极型晶体管

在 MOS 集成电路中有两类寄生双极型晶体管，一类是以正常的 MOSFET 的源、漏和衬底为 E,C,B 的寄生三极管，如图 2.29(a)所示；另一类则是由场区 MOSFET 的源、漏和衬底形成的寄生三极管，如图 2.29(b)所示。无论哪类寄生三极管，只要有效基区宽度足够窄，且又有一个 PN 结正偏，此时，即使相应的 MOSFET 未导通，也可能由于寄生三极管的导通或衬底注入而产生寄生电流，导致电路性能的衰退或电路失效。如在图 2.29(a)中，若 N^+ 源极电压比 P 型衬底还要低，就会有电子注入到衬底，当有效基区(即 MOSFET 的有效沟道长度)足够窄，且漏端的电压高于衬底时，这些电子就被 N^+ 漏区收集，于是寄生 NPN 管导通。在动态 NMOS 电路中，这种寄生 NPN 管会使存储在图 2.30 所示电路 B 点上的正电荷泄漏掉，引起电路参数退化或电路失效。

防止这种寄生效应的办法如下：

① 寄生双极型晶体管的“基区宽度”不要太小，但这由电路设计规则决定。

② 使 P 型衬底保持在负电位或零电位。

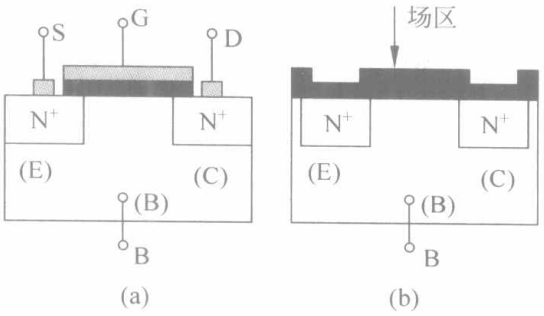


图 2.29　MOS 电路中的寄生双极型晶体管

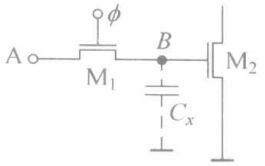


图 2.30　动态 MOS 电路原理图

2.7.3　寄生 PNPN 效应

在 CMOS 电路中，上述寄生双极型晶体管可能产生更严重的后果。从图 2.31 可以看到，在 P 阱 CMOS 电路中，以 N 型衬底为基区，P^+ 源区或漏区为发射区，P 阱为集电区形成一个 PNP 寄生三极管；而以 P 阱为基区，N^+ 源区或漏区为发射区，N 型衬底为集电区又形成另一个寄生 NPN 三极管。图中的 R_S、R_W 分别为衬底和阱的电阻。因此 CMOS 电路不可避免地构成了 PNPN 可控硅(SCR)结构。

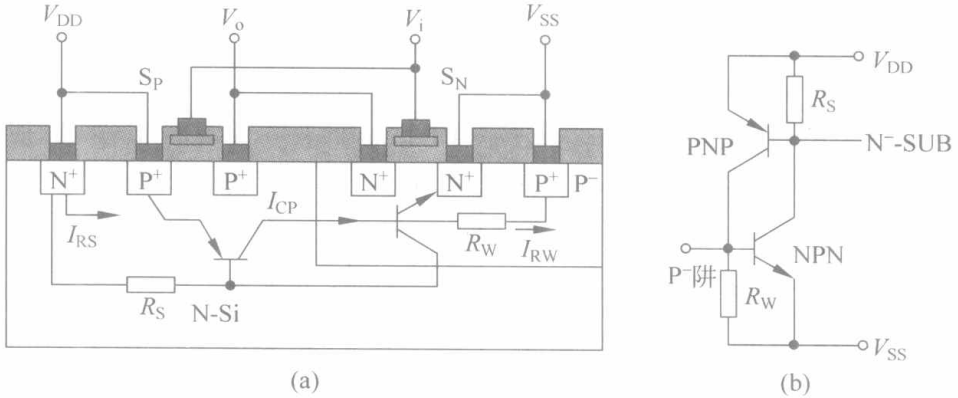


图 2.31　CMOS 电路中的寄生 PNPN 效应

当 CMOS 集成电路接通电源后，在一定的外界因素的触发下，会出现如图 2.32 所示的负阻电流特性，它和 PNPN 器件的闸流特性很相似。这种现象被称为 PNPN 效应或“Latch-up”效应(译作“闸流效应”或“自锁效应”或“闩锁效应”)，它不仅会造成电路功能混乱，而且往往会引起电路损坏。自锁往往发生在芯片中某一局部区域，有两种不同的情况：一种是自锁只发生在外围与输入/输出有关的地方，另一种是自锁可能发生在芯片的任何地方(如辐射引起的自锁)，在使用中遇到更多的是前一种情况。

下面讨论自锁产生的条件及防止自锁的办法。

1. 自锁产生的条件

在通常情况下，V_{DD} 与 V_{SS} 之间有一个反偏的阱-衬底结隔离，只有一个很小的二极管漏

电流在其间流过。但在一定的外界因素触发下(如大的电源脉冲干扰或输入脉冲干扰,特别是在γ射线瞬时辐照下),V_{DD}和V_{SS}之间会感生一个横向电流I_{RS},而使P沟道MOSFET源区P^+周围的N衬底电位低于P^+源区,当这个电位差达到一定程度后(>0.7V),会导致P^+-衬底结正偏,少数载流子空穴从P^+源区注入衬底。如果P^+源区接近P^-阱,则一部分空穴被衬底反偏结收集,寄生的横向PNP管导通;同样,阱内的横向电流I_{RW}会使寄生的纵向NPN管导通。由图2.31(b)可见,当这两个寄生三极管都导通时,就形成一个正反馈闭合回路,此时即使外界的触发因素消失,在V_{DD}和V_{SS}之间也有电流流动,这就是所谓的"自锁现象"。如果电源能提供足够大的电流,则由于自锁效应,电路将最终因电流过大而烧毁。

下面导出产生自锁的条件。

简化的PNPN结构等效电路如图2.33所示,设外界触发电流I_g使T_1发射极正偏,则由等效电路可知

$$I_g = I_{RW} + I_{B1}$$
$$I_{C1} = \beta_1 I_{B1}$$
$$I_{C1} = I_{RS} + I_{B2}$$
$$I_{C2} = \beta_2 I_{B2}$$

所以

$$I_{C2} = \beta_2(I_{C1} - I_{RS}) = \beta_2[(I_g - I_{RW})\beta_1 - I_{RS}]$$

式中I_{RW},I_{RS}较小,所以$I_{C2} \approx \beta_1\beta_2 I_g$。

若$\beta_1\beta_2 > 1$,则I_g的反馈量$I_{C2} > I_g$。这样,两个寄生三极管同时工作,形成正反馈回路,加深了寄生可控硅导通,最终因电流过大而烧毁管芯。

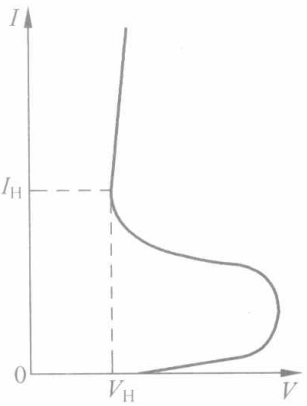


图2.32 CMOS IC中的负阻电流特性

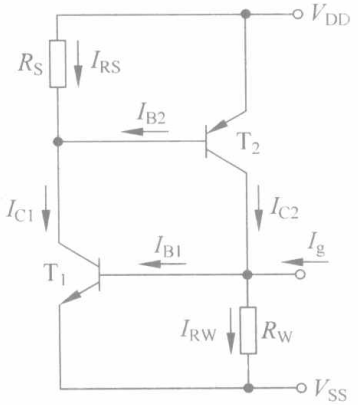


图2.33 简化的PNPN结构等效电路

由以上的分析可见,产生自锁的基本条件有三个:

(1) 外界因素使两个寄生三极管的EB结处于正向偏置;

(2) 两个寄生三极管的电流放大倍数$\beta_{NPN}\beta_{PNP} > 1$;

(3) 电源所提供的最大电流大于寄生可控硅导通所需要的维持电流I_H(见图2.32)。

2. 消除自锁现象的几项措施

由以上分析可知，只要产生自锁现象的三个基本条件的全部或其中一两个条件不具备，电路就不会发生自锁。所以我们可以从版图设计、工艺、测试、应用等方面采取措施，来消除自锁的发生。

(1) 消除自锁现象的版图设计

由产生自锁的基本条件可知，减小电阻 R_S 和 R_W，降低寄生三极管的电流放大倍数 β_{NPN}，β_{PNP}，可有效地提高抗自锁的能力。为此，在版图设计时采用隔离环、伪收集极，加多电源接触孔和地接触孔的数目，加粗电源线和地线，对电源接触孔和地接触孔进行合理的布局等，以减小有害的电位梯度(详见 21.1 节“可靠性设计”)。

(2) 消除自锁现象的工艺考虑

在工艺制作中，为了有效地降低 β_{NPN} 和 β_{PNP}，提高抗自锁的能力，要注意扩散浓度的控制。对于横向寄生 PNP 管，保护环是其基区的一部分，施以重掺杂可降低 PNP 管的 β_{PNP}；对于纵向寄生 NPN 管，工艺上降低其 β_{NPN} 有效的办法是采用深阱扩散，来增加基区宽度。此外，为了降低 R_W，可采用倒转阱结构，即阱的纵向杂质分布与一般扩散法相反，高浓度区在阱底；为了降低 R_S，可采用 N^+-Si 上外延 N^- 作为衬底，实验证明用此衬底制作的 CMOS 电路具有很高的抗自锁能力。如果采用图 2.34 所示的外延埋层 CMOS 电路(EBLCMOS IC)，由于衬底材料浓度很高，使寄生 PNP 管的横向电阻 R_S 下降；又因为阱下加入 P^+ 埋层，使阱的横向电阻 R_W 和电流放大倍数 β_{NPN} 大大下降，从而大大提高了电路的抗自锁的能力。

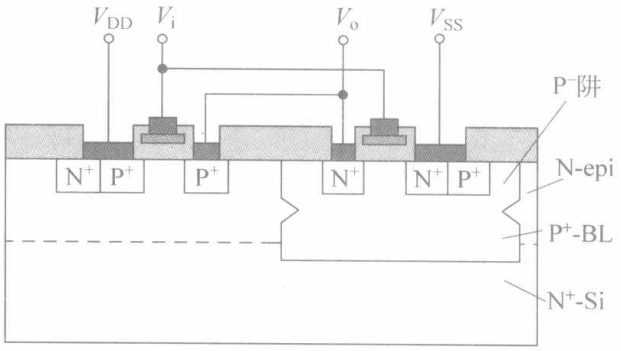


图 2.34　外延埋层 CMOS 反相器剖面图

(3) 其他措施

在测试、应用中要注意以下问题，以防止 CMOS 电路自锁现象的发生。

① 要特别注意电源跳动，防止电感元件的反向电动势或电网噪声窜入 CMOS 电路的电源，引起 CMOS 电路瞬时击穿而触发自锁效应。因此在电源线较长的地方，要注意电源退耦，此外还要注意对电火花钳位。

② 防止寄生三极管的 EB 结正偏。输入信号不得超过电源电压($V_{DD} \geqslant V_i \geqslant V_{SS}$)，如果

超出这个范围，应加限流电阻。因为输入信号一旦超过电源电压，就可能使寄生晶体管的EB结正偏，从而使寄生可控硅触发导致自锁。

此外，输出端不宜接大电容，一般应小于0.01μF。

③ 电源限流。CMOS电路的功耗很低，所以在设计CMOS系统的电源时，系统实际需要多少电流，就供给它多少电流，电源的输出电流能力不要太大。由图2.32寄生可控硅的击穿特性中可以看出，如果电源电流小于可控硅的维持电流 I_H，那么即使寄生可控硅有触发的机会，也不能维持自锁。

2.8 集成电路中的MOS晶体管模型

集成电路中的MOS晶体管与分立器件MOS晶体管在结构上大体相同(但CMOS集成电路中的某一种做在阱中的MOS晶体管的结构与分立器件MOS晶件管不同)，只是在分立器件MOS晶体管中，一般把源端与地(对于NMOS管)或 V_{DD}(对于PMOS管)相连，所以不存在衬偏效应，源端和漏端也不能互换；另外，CMOS集成电路中做在阱中的MOS晶体管由于比一般MOS管(指阱外MOS管)多了一层，因而寄生效应增加，但在MOS管的特性分析上仍可用一般MOS管的模型。

为了正确进行MOS集成电路的设计，需要了解MOS晶体管的模型。因为MOS晶体管的模型及所取模型参数的精度，将直接影响对MOS电路分析和设计的正确性。在通用的电路模拟程序SPICEⅡ中主要有以下三级MOS晶体管模型。

2.8.1 MOS1模型

MOS1是平方律模型，它是MOS晶体管的一级模型，适用于精度要求不很高和沟道长度较长的MOS晶体管。MOS1模型如图2.35所示。

在线性区，$V_{GS}-V_{TE}>V_{DS}$，电流方程为

$$I_{DS}=\frac{W}{L}\mu_N C_{ox}\left[(V_{GS}-V_{TE})V_{DS}-\frac{V_{DS}^2}{2}\right] \tag{2.39}$$

定义MOS晶体管的本征跨导参数 K_P

$$K_P\equiv\mu_N C_{ox} \tag{2.40}$$

所以

$$I_{DS}=\frac{W}{L}K_P\left[(V_{GS}-V_{TE})V_{DS}-\frac{V_{DS}^2}{2}\right] \tag{2.41}$$

在饱和区，$0<V_{GS}-V_{TE}\leqslant V_{DS}$，电流方程为

$$I_{DS}=\frac{1}{2}\frac{W}{L}K_P(V_{GS}-V_{TE})^2 \tag{2.42}$$

式中：W/L 为MOS晶体管的宽长比；

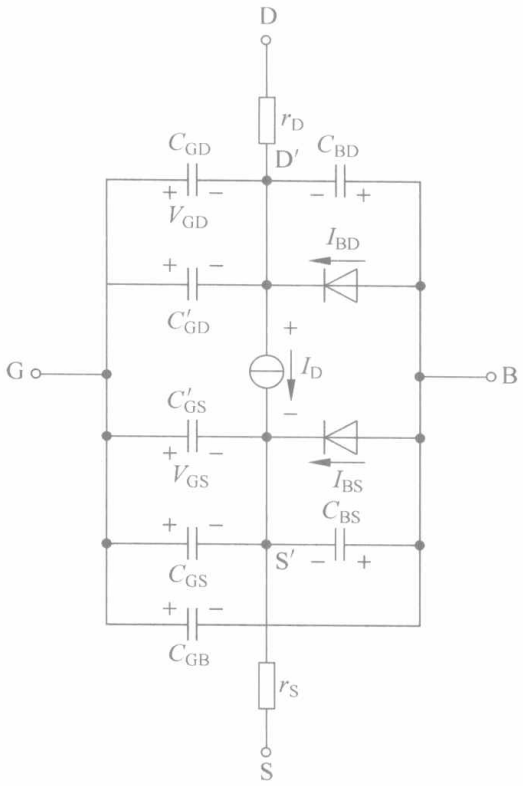


图 2.35　MOS 管的 MOS1 模型

μ_N 为沟道中载流子的有效迁移率；

C_{ox}为单位面积栅电容；

V_{GS}为栅源电压；

V_{TE}为增强型 MOS 晶体管的开启电压。

N 沟道增强型 MOS 晶体管的开启电压 V_{TE}为

$$V_{TE} = V_{TE0} + \gamma\left[\sqrt{-2\varphi_F - V_{BS}} - \sqrt{-2\varphi_F}\right] \tag{2.43}$$

式中 V_{TE0}为零衬偏($V_{BS}=0$)时的开启电压，根据定义是使表面势变化 $2\varphi_F$所需的栅电压，所以

$$V_{TE0} = V_{FB} - 2\varphi_F + \frac{\sqrt{2q\varepsilon_{Si}\varepsilon_0 N_B \mid 2\varphi_F \mid}}{C_{ox}} \tag{2.44}$$

此外，γ 为衬调系数，且

$$\gamma = \frac{1}{C_{ox}}\sqrt{2q\varepsilon_{Si}\varepsilon_0 N_B} \tag{2.45}$$

φ_F为体内费米势，且

$$\varphi_F = -\frac{kT}{q}\ln\left(\frac{N_B}{n_i}\right) \tag{2.46}$$

V_{FB}为平带电压，且

$$V_{FB} = \varphi_{MS} - \frac{Q_{SS}}{C_{ox}} \tag{2.47}$$

φ_{MS}为金属-半导体接触电位差，Q_{SS}为表面态密度(施主态为正值，受主态为负值)，N_B为衬底杂质浓度。

实际上当$V_{GS}-V_{TE}=V_{DS}$时，沟道在漏端处夹断，此时若V_{DS}继续增加，则漏端处的耗尽区展宽，使有效沟道长度缩短，从而导致I_{DS}上升，这种现象称为沟道长度调制效应。在SPICE Ⅱ程序的MOS晶体管模型中，引入沟道长度调制系数λ来描述这一效应。

定义沟道长度调制系数

$$\lambda \equiv \frac{\Delta L}{L V_{DS}} \tag{2.48}$$

式中，ΔL为夹断区长度。

由式(2.48)可以看出，沟道长度调制系数λ的物理意义为单位漏极电压引起的沟道长度的相对变化率。在考虑了沟道长度调制效应后，MOS晶体管特性公式中的宽长比W/L应改写成$\frac{W}{L-\Delta L}$，于是饱和区沟道电流I_{DS}的表达式(2.42)应改写成

$$I_{DS} = \frac{K_P}{2}\frac{W}{L}(V_{GS}-V_{TE})^2(1+\lambda V_{DS}) \tag{2.49}$$

从上述的讨论可知，一级MOS晶体管直流模型(MOS1模型)有以下5个模型参数：

① 强反型时的表面势垒高度φ_B(PHI)；

② 本征跨导K_P(KP)；

③ 衬底零偏置时源处的开启电压V_{T0}(VT0)；

④ 衬调系数γ(GAMMA)；

⑤ 沟道长度调制系数λ(LAMBDA)。

在本征跨导KP中并未包括MOS晶体管的宽长比W/L，在SPICE Ⅱ程序中，把MOS晶体管的宽度和长度放在器件描述语句中加以说明，这样可以减少模型参数的个数。

2.8.2 MOS2模型

MOS2模型是基于几何图形的分析模型，它是MOS晶体管的二级模型。当MOS晶体管的几何尺寸减小时(如当MOS晶体管的沟道长度L小于5μm时)，MOS1模型与实际的偏差不可忽视，沟道越短，两者之间的偏差越大，此时必须考虑器件的二级效应。MOS2模型考虑了以下几种二级效应对MOS器件性能的影响：①沟道长度L对开启电压V_T的影响；②漏栅静电反馈效应对V_T的影响；③沟道宽度对V_T的影响；④表面电场对载流子迁移率的影响；⑤沟道长度调制效应；⑥载流子漂移速度限制而引起的电流饱和效应；⑦弱反型导电(详见主要参考文献[9,17])。

2.8.3 MOS3模型

MOS3模型是一个半经验模型，主要是为了适应小尺寸MOS器件计算的需要而提出

的模型公式，适应于 $L\leqslant 2\mu m$，$W\leqslant 2\mu m$ 的小尺寸器件。此模型公式既能较精确地描述MOS器件中的各种二级效应，又能节省计算时间，但其表达方式是采用半经验的公式。此半经验模型在SPICEⅡ中称为三级模型。

在半经验模型中，开启电压由下式表示：

$$V_T(Y)=V_{FB}+\varphi_B-\sigma V_{DS}+\gamma F_S\sqrt{\varphi_B-V_{BS}+V(Y)}+F_N[\varphi_B-V_{BS}+V(Y)] \tag{2.50}$$

式中：V_{FB}考虑了功函数差和表面态电荷的影响；

φ_B考虑了强反型时表面势垒高度的影响；

σ 为静电反馈系数，用以考虑漏极感应使表面势垒高度降低的效应，即静电反馈效应；

F_S 为短沟道系数，用以考虑短沟道效应；

F_N 为窄沟道系数，用以考虑窄沟道效应；

$V_T(Y)$为沟道各点相对于源的电位，在源端 $Y=0$，$V_T(Y)=0$。

复习思考题

2.1 利用EM模型证明：

(1) $V_{BE}=V_t\ln\left[1-\dfrac{I_E-\alpha_R I_C}{I_{E0}}\right]$

(2) $V_{BC}=V_t\ln\left[1-\dfrac{I_C-\alpha_F I_E}{I_{C0}}\right]$

2.2 利用截锥体电阻公式，计算TTL“与非”门输出管的 r_{CS}，其图形如图题2.2所示。假定：$x_{jC}=3.0\mu m$，$x_{jE}=2.5\mu m$，$\rho_{epi}=0.5\Omega\cdot cm$，$T_{epi}=12\mu m$，$T_{BL\text{-}up}=4\mu m$，$R_{S\text{-}BL}=20\Omega/\square$，$V_{BC}=-1V$。

2.3 伴随一个横向PNP器件产生两个寄生的PNP晶体管，试问当横向PNP器件在4种可能的偏置情况下，哪一种偏置会使得寄生晶体管的影响最大？

2.4 试画一个双集电极、双基极接触肖特基二极管钳位晶体管的工艺复合图和横截面图。

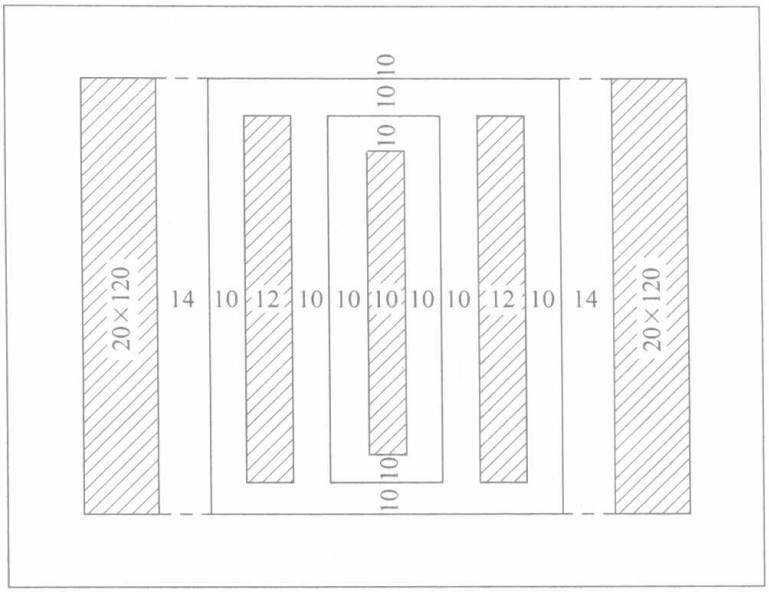
2.5 用电路形式画出TTL电路中二极管的5种基本连接方式。哪一种连接方式的速度最快，哪一种连接方式的耐压最高，为什么？

2.6 试用四层结构模型表示横向PNP管。

2.7 试分析CMOS电路产生Latch-up效应的原因，通常使用哪些方法来防止或抑制Latch-up效应？

2.8 试设计一个单基极、单发射极和单集电极的输出晶体管，要求其在20mA的电流负载下，$V_{OL}\leqslant 0.4V$，请在坐标纸上放大500倍画出其版图。给出设计条件如下：

(1) 各引线孔宽为 $10\mu m$，最小套准间距 $D_A=8\mu m$，$D_{E\text{-}B孔}=D_{C\text{-}B}=10\mu m$，$D_{C\text{-}I}=D_{B\text{-}I}=$



图题 2.2

20μm，隔离槽宽 $d_1=14\mu m$（这些都是最小尺寸）；

（2）单位发射区有效周长最大工作电流 $\alpha=0.16mA/\mu m$；

（3）电极排列顺序 B,E,C；

（4）$R_{S\text{-}BL}=20\Omega/\square$，$\rho_{epi}=0.3\Omega\cdot cm$；

（5）$T_1=T_{epi}-T_{BL\text{-}up}-x_{jC}-x_{mC\text{-}epi}=3\mu m$，$T_2=T_{epi}-T_{BL\text{-}up}-x_{jE}=4\mu m$。

第3章 集成电路中的无源元件

集成电路中常用的无源元件是电阻、电容，它们的制作工艺与NPN管(或MOS管)兼容。集成电阻、电容的最大优点是元件间的匹配及温度跟踪较好，所以在电路设计时应充分利用此特点，使电路性能不是依赖于单个元件的特性，而是与元件的比值有关。

集成电阻器和电容器的缺点如下：

(1) 精度低(±20%)，绝对误差大；

(2) 温度系数较大；

(3) 可制作的范围有限，不能太大，又不能太小；

(4) 占用的芯片面积大，成本高。所以在集成电路中应多用有源元件，少用无源元件。

本章将介绍在集成电路中常用的各类电阻器和电容器，讨论它们的结构、性能、寄生效应和设计。本章最后介绍集成电路的内部连线。

3.1 集成电阻器

在双极集成电路中用得最多的是基区扩散电阻，其薄层电阻 $R_{SB}=100\sim200\Omega/\square$，阻值范围在50Ω～50kΩ，电阻精度 $\Delta R/R\leqslant\pm20\%$，温度系数 $\frac{1}{R(T_0)}\frac{\partial R}{\partial T}=2000\times10^{-6}/℃$（$T_0$ 为参考温度）。

此外，还有以下几类电阻：

(1) 低阻类电阻，如发射区扩散电阻(薄层电阻 $R_{SE}\approx5\Omega/\square$)，隐埋层电阻(薄层电阻 $R_{S\text{-}BL}\approx20\Omega/\square$)；

(2) 高阻类电阻，如基区沟道电阻(薄层电阻 $R_{SBI}=5\sim15k\Omega/\square$)，外延层电阻(薄层电阻 $R_{S\text{-}epi}=2k\Omega/\square$)；

(3) 高精度电阻，如离子注入电阻(薄层电阻 $R_{SI}=0.1\sim20k\Omega/\square$，常用范围为1～4kΩ/□)，薄膜电阻(薄层电阻 $R_{SF}=10\sim400\Omega/\square$)。

在MOS集成电路中除了扩散电阻外，还有多晶硅电阻和MOSFET形成的电阻。

下面分别对这些电阻加以介绍。

3.1.1 基区扩散电阻

1. 基区扩散电阻的结构和设计

这类电阻器是利用集成晶体管的基区扩散层制成的，其典型结构如图 3.1 所示。图中 N 型外延层接电路的最高电位，或接至电阻器两端中电位较高的一端。因为衬底接电路的最负电位，这样，R^+ 与另一 R^- 之间就形成了一个独立的电阻器。

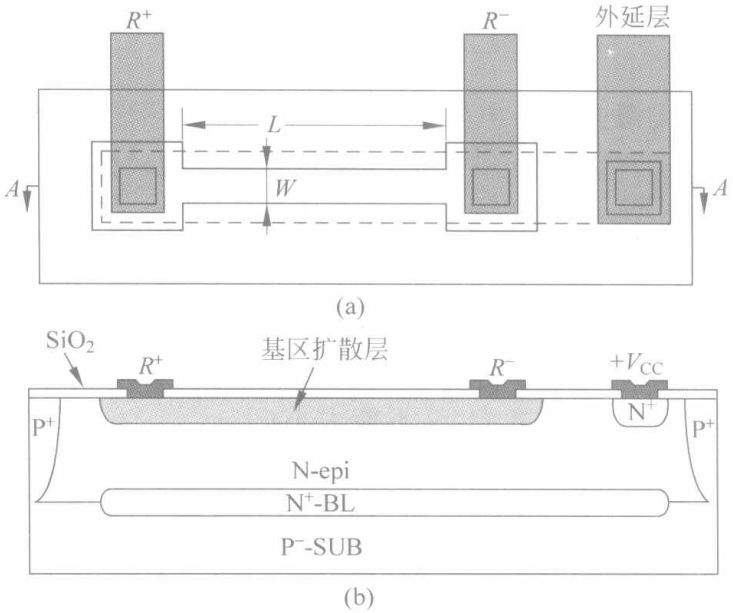


图 3.1 基区扩散电阻结构示意图

(a) 工艺复合图；(b) AA 横截面图

这类电阻器的阻值粗略估算为

$$R \approx R_S \frac{L}{W} \tag{3.1}$$

式中，R_S 为基区扩散层的薄层电阻，L，W 分别为电阻器的宽度和长度。因为基区扩散层的薄层电阻由 NPN 管的设计决定，所以基区扩散电阻的设计，就是在一定的薄层电阻 R_S 下，根据 R 的阻值及精度要求来确定电阻的几何图形(W，L)或“方数(L/W)”与“条宽 W”。

式(3.1)是一个长方形导电薄层的电阻计算公式，实际的基区扩散电阻的图形并不是这么简单，而是有引出端，大电阻还有拐角，基区杂质的横向扩散会引起电阻条宽的增大等，因此要根据实际情况加以修改。

(1) 端头修正

因为在端头处电力线弯曲，而且从引线孔流入的电流，绝大部分是从引线孔正对着电阻条的一边流入的，从引线孔侧面和背面流入的电流极少，因此在应用式(3.1)计算端头处的电阻值时需要引进一些修正，称之为端头修正。端头修正常常采用经验的办法，并引入端头修正因子 k_1 表示整个端头对总电阻方数的贡献。图 3.2 给出了不同电阻条宽和端头形状

的端头修正因子。$k_1=0.5$ 方，表示整个端头对总电阻的贡献相当于 0.5 方，对于大电阻 $L\gg W$，端头修正因子 k_1 可忽略不计。

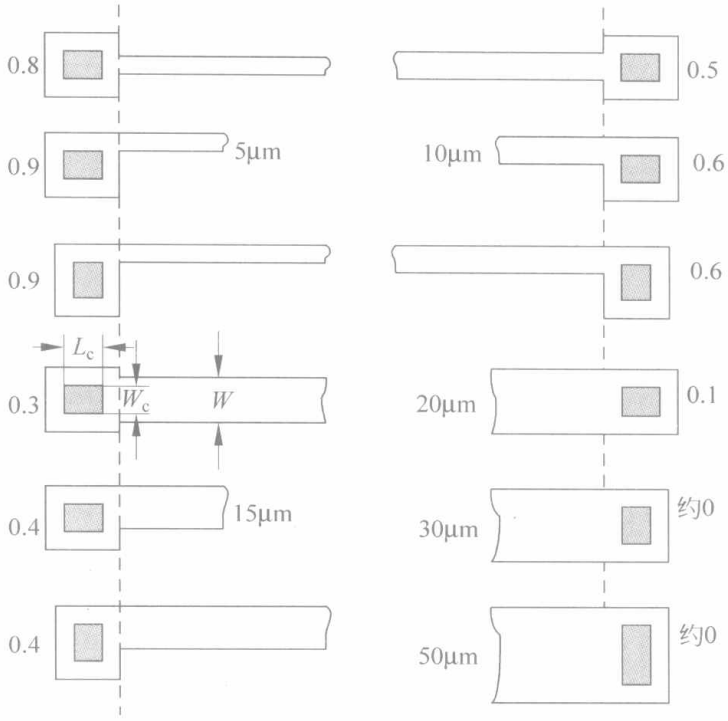


图 3.2　不同电阻条宽和端头形状的端头修正因子

(2) 拐角修正因子

对于一些大电阻，为了充分利用芯片面积或布图方便，常常将它们设计成图 3.3 所示的折叠形式，但在其拐角处电力线是不均匀的。实测表明，对于图 3.3 所示的直角弯头，每个拐角对电阻的贡献相当于 0.5 方，即拐角修正因子 $k_2=0.5$ 方。

(3) 横向扩散修正因子

横向扩散修正因子 m 主要考虑以下两个因素：

① 由于存在横向扩散，所以基区扩散电阻的实际横截面如图 3.4 所示，在表面处最宽，表面处基区扩散宽度 W_S 为

$$W_S \approx W + 2\times 0.8x_{jC}$$

而其侧向扩散区近似为以 x_{jC} 为半径的圆柱体的 1/4。

② 杂质浓度在横向扩散区表面与扩散窗口正下方的表面区域不同，其浓度由扩散窗口处的 $N_S(\approx 6\times 10^{18}\,\mathrm{cm}^{-3})$ 逐步降低到外延层的杂质浓度 $N_{epi}(10^{15}\sim 10^{16}\,\mathrm{cm}^{-3})$。如果假定横向扩散区的纵向杂质分布与扩散窗口正下方相同，则对于基区扩散电阻，其有效宽度 W_{eff} 可表示为

$$W_{eff} = W + 0.55x_{jC} \tag{3.2}$$

即横向扩散修正因子 $m=0.55$。

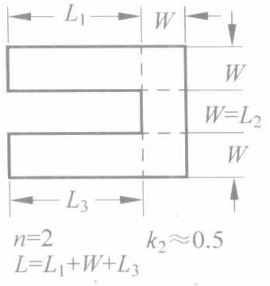


图 3.3　拐角修正

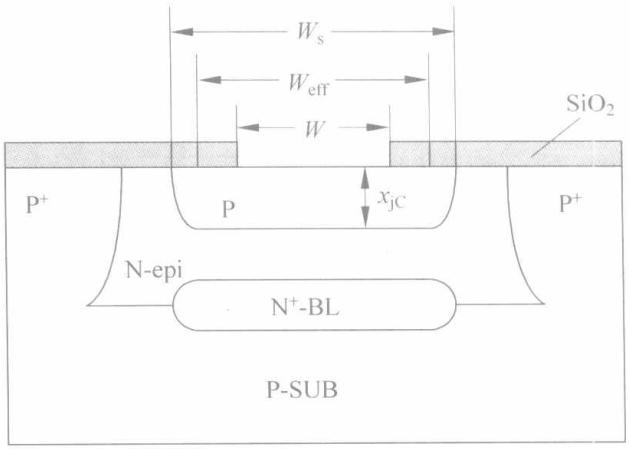


图 3.4　基区扩散电阻的横截面

在考虑了端头、拐角及横向扩散三项修正后，基区扩散电阻的计算公式为

$$R \approx R_S\left(\frac{L}{W+0.55x_{jC}}+2k_1+nk_2\right) \tag{3.3}$$

当 $L \gg W$ 时，可不考虑 k_1；当 $W \gg x_{jC}$ 时，可不考虑横向扩散修正因子 m。此时

$$R \approx R_S\left(\frac{L}{W}+0.5n\right) \tag{3.4}$$

式中，n 为拐角数目。

(4) 薄层电阻值 R_S 的修正

一般情况下，基区薄层电阻值 R_S 是在硼再分布以后测量的，以检测扩散工艺的质量。但是，基区扩散后还有多道高温处理工序(如氧化、扩磷等)，所以杂质会进一步往里推进，同时表面的硅会进一步氧化，所以做成管子后，实际的基区薄层电阻值 R_{Sa}，比原来测量的 R_S 高，经验公式为

$$R_{Sa} = K_a R_S \tag{3.5}$$

式中，K_a 为一常数，可由实验来确定，一般在 1.06～1.25 之间。

2. 基区扩散电阻最小条宽 $W_{R,min}$ 的设计

基区扩散电阻图形的设计，实际上是在已知电阻值 R 和工艺参数(基区扩散薄层电阻 R_S、结深 x_{jC})的条件下，设计电阻的最小条宽和形状。

基区扩散电阻最小条宽的设计受到三个限制：由设计规则决定的最小扩散条宽 W_{min}，由工艺水平和电阻精度决定的最小电阻条宽 $W_{R,min}$ 和由流经电阻的最大电流所决定的 $W_{R,min}$。在设计电阻最小条宽 $W_{R,min}$ 时，应取三者中最大的一种。下面分别对它们作简单的介绍。

(1) 设计规则决定的最小扩散条宽 W_{min}

设计规则是从工艺中提取的、为保证一定成品率而规定的一组最小尺寸，这些规则主要考虑了制版、光刻等工艺可实现的最小线条宽度、最小图形间距、最小可开孔、最小套刻精度

等。所以在设计扩散电阻的最小扩散条宽时，必须符合设计规则。

(2) 工艺水平和电阻精度要求所决定的最小电阻条宽 $W_{R,\min}$

在制造基区扩散电阻的工艺过程中，会引入随机误差，可由式(3.1)

$$R \approx R_S \frac{L}{W}$$

进行估算。根据误差理论，有

$$\frac{\Delta R}{R} \approx \frac{\Delta R_S}{R_S} + \frac{\Delta L}{L} + \frac{\Delta W}{W} \tag{3.6}$$

在目前的工艺条件下，$(\Delta R_S/R_S)$可控制在$\pm(5\sim10)\%$以内，ΔW，ΔL 主要来自制版、光刻的随机误差。在实际工艺中一般 $\Delta L=\Delta W$，对于大阻值电阻，$L\gg W$，所以可忽略 $\Delta L/L$，于是有

$$\frac{\Delta R}{R} \approx \frac{\Delta R_S}{R_S} + \frac{\Delta W}{W} \tag{3.7}$$

式(3.7)表明，电阻值的精度要求$(\Delta R/R)$和工艺控制水平(ΔW)，对扩散电阻的最小条宽 $W_{R,\min}$提出了要求。例如，假设工艺控制水平可使$|\Delta W|=1\mu m$，要求由线宽变化(ΔW)所引入的电阻相对误差$|\eta|\leqslant10\%$，则要求电阻的最小条宽 $W_{R,\min}$为

$$W_{R,\min} = \frac{|\Delta W|}{|\eta|} \geqslant 10\mu m$$

如果电阻精度要求不高，$|\eta|=20\%$，而$|\Delta W|$仍为 $1\mu m$，则由线宽变化所要求的电阻最小条宽就可降为 $5\mu m$。

由以上的讨论可见，要提高电阻值的精度，可选取较大的电阻条宽 W，但为保证一定的电阻值，电阻的长度 L 必然增加，导致芯片面积和寄生电容增加，所以对电阻精度的要求应折中考虑。

虽然扩散电阻的相对误差$(\Delta R/R)$较大，一般在$\pm(10\sim20)\%$，但在采取一定措施后，可使电阻间的匹配误差较小。根据误差理论，电阻 R_1 和 R_2 的匹配误差可表示为

$$\begin{aligned}\frac{\Delta(R_1/R_2)}{(R_1/R_2)} &\approx \frac{\Delta R_1}{R_1} - \frac{\Delta R_2}{R_2} \\ &\approx \left(\frac{\Delta R_{S1}}{R_{S1}} + \frac{\Delta W_1}{W_1}\right) - \left(\frac{\Delta R_{S2}}{R_{S2}} + \frac{\Delta W_2}{W_2}\right)\end{aligned} \tag{3.8}$$

如果我们将要求匹配误差很小的有关电阻做在同一个隔离岛上，相互紧挨着，并使它们的条宽相等、方向相同，甚至做成一个扩散条，而在中间做引出端将它们分为两个电阻(如图 3.5 所示)。由于在一般情况下相邻两电阻的薄层电阻的变化$(\Delta R_S/R_S)$和线宽变化(ΔW)是相等的，即

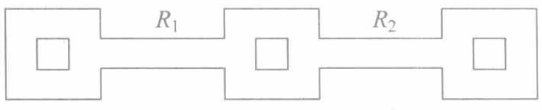


图 3.5 要求匹配的电阻图形结构

$$(\Delta R_{S1}/R_{S1}) \approx (\Delta R_{S2}/R_{S2}), \quad \Delta W_1 \approx \Delta W_2$$

所以

$$\frac{\Delta(R_1/R_2)}{R_1/R_2} \approx \Delta W\left(\frac{1}{W_1}-\frac{1}{W_2}\right) \tag{3.9}$$

当 $W_1=W_2$ 时，两电阻比的精度可做得很高，最小可达±0.2%以内。

(3) 流经电阻的最大电流决定的 $W_{R,min}$

扩散电阻与分立电阻一样，也有功耗的限制。对于扁平封装或 TO 型封装的集成电路，在室温下要求电阻的单位面积最大功耗为

$$P_{A,max} \leqslant 5\times10^{-6}\,W/\mu m^2 \tag{3.10}$$

电阻单位面积的功耗为

$$P_A=\frac{I^2R}{WL}=\frac{I^2R_S}{W^2} \tag{3.11}$$

即 $P_{A,max}$ 对电阻的最小条宽 $W_{R,min}$ 和单位电阻条宽可流过的最大电流 $I_{R,max}$ 有一个限制。由式(3.11)可得电阻最小条宽

$$W_{R,min}=I_{max}\sqrt{\frac{R_S}{P_{A,max}}} \tag{3.12}$$

式中：$W_{R,min}$ 的单位为 μm；R_S 的单位为 Ω/□；I 的单位为 mA；$P_{A,max}$ 的单位为 $10^{-6}W/\mu m^2$。

例如，若 $R_S=200\Omega/\square$，$I_{max}=4mA$，则由 P_{Amax} 限制所决定的最小电阻条宽 $W_{R,min}$ 为

$$W_{R,min}=4\sqrt{\frac{200}{5}}\approx26\mu m$$

所以单位电阻条宽可流过的最大电流 $I_{R,max}$ 为

$$I_{R,max}=\frac{I_{max}}{W_{R,min}}=\sqrt{\frac{P_{Amax}}{R_S}}=\sqrt{\frac{5\times10^{-6}(W/\mu m)}{R_S(\Omega/\square)}}\,(mA/\mu m)$$

对于不同的 R_S，单位电阻条宽可流过的最大电流 $I_{R,max}$ 是不同的，对应于一些典型 R_S 值的 $I_{R,max}$ 如表 3.1 所示。

表 3.1　单位电阻条宽的最大工作电流

$R_S/(\Omega/\square)$	5	10	100	200
$I_{R,max}$	1.0	0.71	0.22	0.16

假如 R_S 为固定值，设 $R_S=200\Omega/\square$，则由流经电阻的最大电流所决定的电阻最小条宽 $W_{R,min}$，如表 3.2 所示。

表 3.2　对应于 I_{max} 的电阻最小条宽 $W_{R,min}$

I_{max}(mA)	1	2	4	5
$W_{R,min}$(μm)	6.32	13	25.3	32

以上分析了对电阻最小条宽的三种限制，在设计扩散电阻的最小条宽时，应取其中最大的一个。

3. 基区扩散电阻的温度系数 TCR

温度系数 TCR 表示温度每升高一度所引起的电阻值的变化量，即

$$\mathrm{TCR}=\frac{1}{R(T_0)}\cdot\frac{\partial R(T_0)}{\partial T}$$

式中，$R(T_0)$为参考温度 T_0 时的电阻值。所以，在温度 T 时的电阻阻值为

$$R(T)\approx R(T_0)\cdot(1+\mathrm{TCR}\cdot\Delta T)$$

式中，$\Delta T=T-T_0$。

对于基区扩散电阻来说，其阻值可近似表示为

$$R\approx R_S\frac{L}{W}\approx\frac{\rho_B}{x_{jC}}\cdot\frac{L}{W}\approx\frac{1}{q\overline{\mu_p}\,\overline{N_B}x_{jC}}\cdot\frac{L}{W}\tag{3.13}$$

其中：ρ_B 为基区平均电阻率；

$\overline{N_B}$为基区平均杂质浓度；

$\overline{\mu_p}$为基区中空穴的平均迁移率；

x_{jC}为基区扩散的结深。

由式(3.13)可见，电阻 R 与温度的关系，主要由$\overline{\mu_p}$与温度的关系决定。由半导体物理知，μ_p 随温度的上升而下降，其关系为 $\mu_p\propto T^{-2.7}$，变化曲线如图 3.6 所示，由图可见，$\overline{N_B}$越低，μ_p 随温度的升高就减小得越快。因此，基区扩散电阻的 TCR 随温度的上升和$\overline{N_B}$的下降(即扩散层 R_S 的增加)而增大，典型的基区扩散电阻 TCR～R_S 关系如图 3.7 和表 3.3 所示。

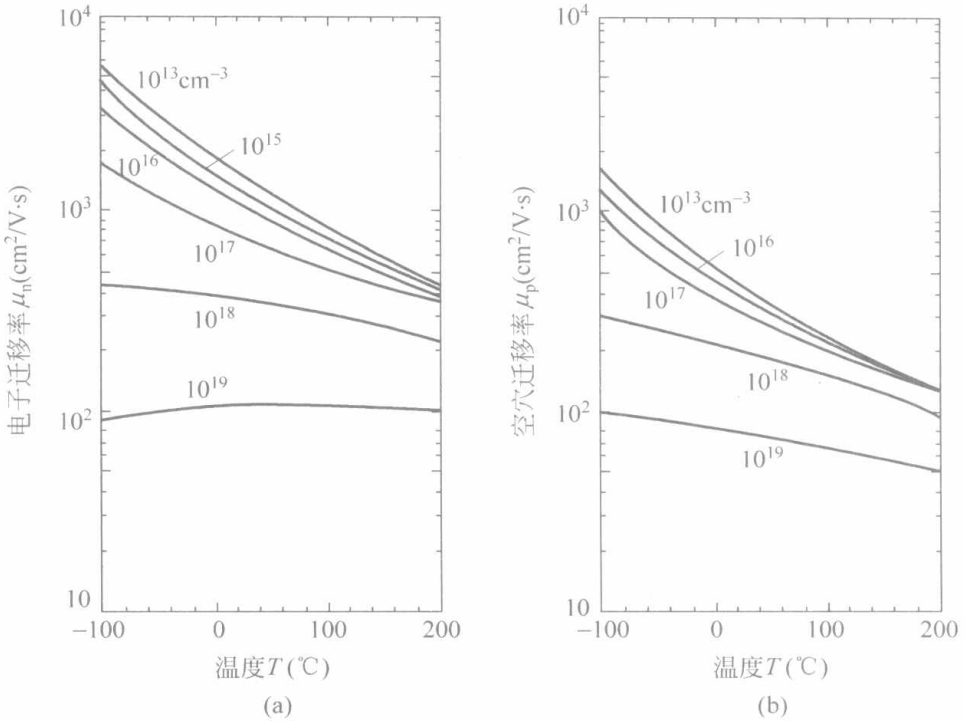


图 3.6　Si 中载流子的迁移率和温度的关系

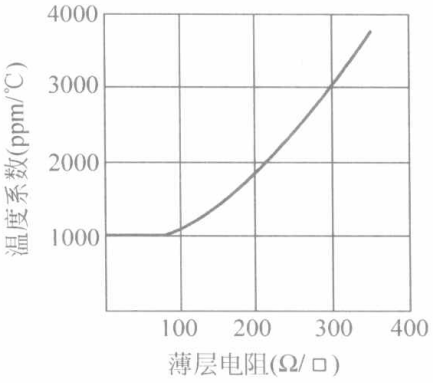


图 3.7　典型的基区扩散电阻 TCR～R_S 关系曲线

表 3.3　基区扩散电阻 TCR～R_S 关系

R_S(Ω/□)	300	200	100	50
TCR(ppc・O)	2800	1900	1500	1000

4. 基区扩散电阻的等效电路和偏置效应

(1) 等效电路

由图 3.1 基区扩散电阻的剖面可见，它存在结电容，且是一个分布电容，同时存在寄生 PNP 管，所以一般的基区扩散电阻的等效电路如图 3.8(a)所示。因为在集成电路中，P 型衬底总是接电路最低电位，而电阻所在的隔离岛总是接电路的最高电位，所以寄生 PNP 管

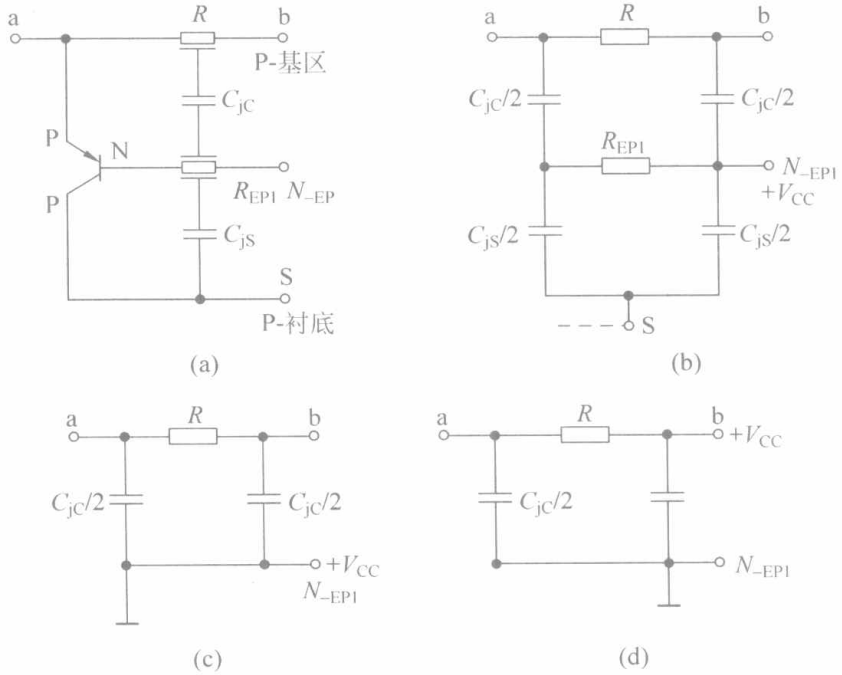


图 3.8　基区扩散电阻的等效电路

(a) 一般等效电路；(b) 中阻值等效电路；(c) 略去 C_{jS}的等效电路；(d) 一端与外延层短接时

的两个结都反偏，因此寄生 PNP 管截止，可不予考虑。当用集总参数来表示两个反偏 PN 结时，等效电路图 3.8(a)可简化成图 3.8(b)。因为 R_{epi}（外延层和隐埋层电阻）一般为几十欧，所以对于中、大阻值的基区扩散电阻，R_{epi} 可以略去；又因为反偏衬底结电容 C_{jS} 很大，在高频时可略去其作用，所以等效电路又可简化成图 3.8(c)。若电阻的一端与电源 V^+ 和外延层相接时，由于 CB 短接时的结电容很小，所以可只考虑未短接一边的电容，此时等效电路可简化成图 3.8(d)。

(2) 偏置效应

影响基区扩散电阻性能的偏压有两种：电阻两端所加的外加电压和 P 型电阻层与外延层之间的反偏压。在一般情况下，电阻上偏压的变化对电阻阻值的影响较小，可不予考虑，但对寄生电容的影响较大。因为当电阻上的偏压变化时，PN 结的耗尽层宽度发生变化，但由于耗尽区分布在远离表面处的区域，该处的杂质浓度较低，所以当耗尽层宽度 d 变化时，对电阻层总的杂质浓度的影响不大，所以电阻阻值基本不变；但结电容 C_{jC} 的大小和耗尽层宽度 d 成反比，所以电阻上偏压的变化，对结电容的影响较大。因此，在设计高频电路时，应尽可能避免大电阻，电阻条也不能取得太宽，以减少电阻上偏压变化对电路性能的影响。

此外，从图 3.8(d)等效电路可以看到，由于电容 C_{jC} 的一端接地，所以对信号的短路能力很强，如果在它接地之前先经过一个电阻，就可以减小电容旁路信号的作用。如果设计成如图 3.9 所示的结构，把基区扩散电阻所在的隔离岛，经过一个电阻 R_1 再接电源 V_{CC}，R_1 单独占用一个隔离岛，此岛交流接地，则此时基区扩散电阻 R 的寄生电容 C_{jC} 对高频信号的旁路作用可大大减弱。而 R_1 对 R 的影响只是一个次级效应，可忽略不计。这种结构对整个电路所增加的面积并不太多，因为对 R_1 的精度要求不高，所以尺寸可取得较小，所以，所增加的 R_1 用的隔离岛的面积并不大。

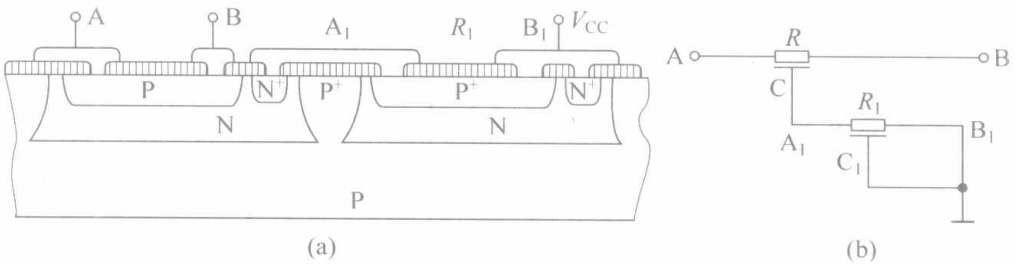


图 3.9　减小电容旁路作用的结构

(a) 剖面图；(b) 等效电路

3.1.2　其他常用的集成电阻器

1. 发射区(磷)扩散电阻

由于发射区扩散层的薄层电阻较小，其 $R_{SE}=2\sim10\Omega/\square$，所以只能作为小电阻。

发射区扩散电阻可以有两种结构。一种是直接在外延层上扩散 N^+ 层来形成，如图 3.10 所示。这类电阻需要一个单独的隔离区，由于外延层的电阻率远高于 N^+ 扩散层，所以外延层电阻对发射区扩散电阻的旁路作用可忽略不计。这种结构的发射区扩散电阻不存在寄生效应，所以不需要隐埋层。另一种发射区扩散电阻的结构如图 3.11 所示，这类发射区扩散电阻可与其他电阻做在一个隔离岛上，但发射区扩散电阻要做在一个单独的 P 型扩散区中，并如图中所示，要使三个 PN 结都处于反偏。由于这种结构有寄生 PNP 效应，所以需要隐埋层。

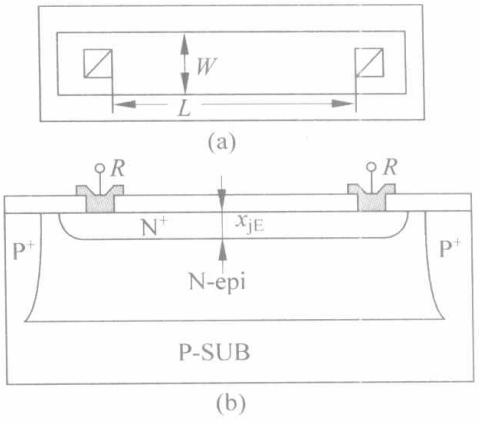


图 3.10　发射区扩散电阻结构图

(a) 顶视图；(b) 横截面图

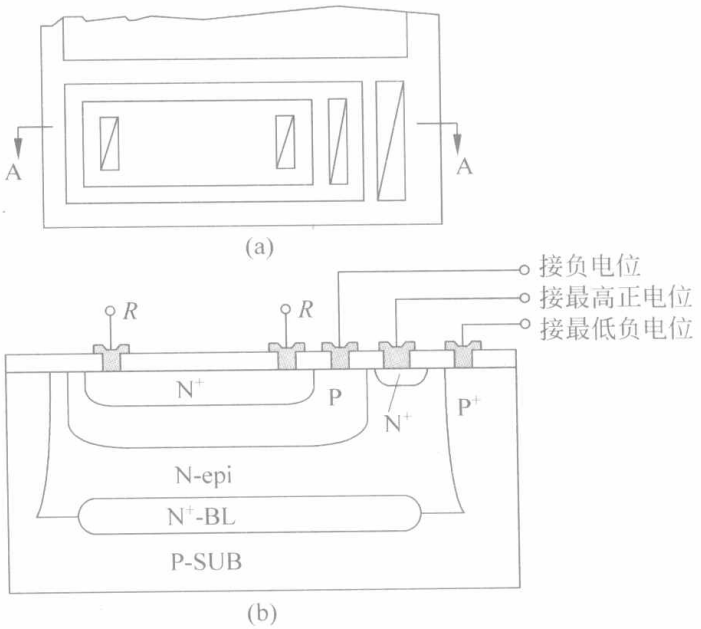


图 3.11　和其他电阻共用一个隔离区的发射区扩散电阻

(a) 顶视图；(b) AA 横截面图

发射区扩散电阻主要用来作小阻值电阻和在连线交叉时作“磷桥”用(如图 3.12 所示)，其电阻值的计算方法和基区扩散电阻类似。

2. 隐埋层电阻

隐埋层的薄层电阻 $R_{S\text{-}BL}=20\Omega/\square$，比较小，所以可用来做小电阻。特别便于做与晶体管集电极相连的小电阻，其结构如图 3.13 所示。这时整个电阻 R 为

$$R = R_1 + R_2 + R_3$$

其中 R_2 就是隐埋层电阻，其计算方法与计算集电极串联电阻的方法相同。

由于影响隐埋层电阻的工艺因素太多，且不易精确控制，所以隐埋层电阻的精度较差。

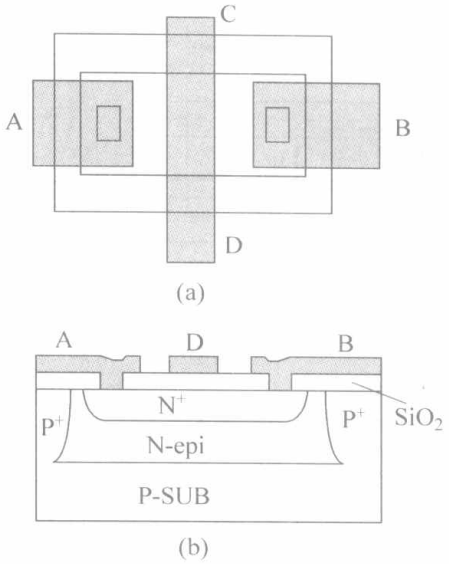


图 3.12　发射区扩散电阻作“磷桥”

(a) 顶视图；(b) 横截面图

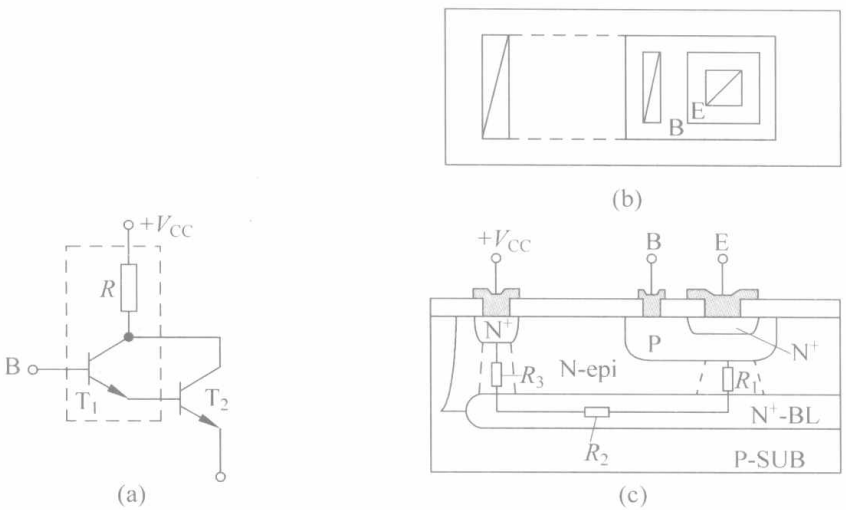


图 3.13　隐埋层电阻的结构和应用

3. 基区沟道电阻

基区沟道电阻的结构如图 3.14 所示，它是在基区扩散层上再覆盖一层发射区扩散层，利用两次扩散所形成的相当于晶体管基区的部分作为电阻器的，所以称为基区沟道电阻。其特点如下：

① 薄层电阻 R_S 较大，所以可以用小面积制作大阻值的电阻。基区沟道电阻的薄层电阻 R_S 为 NPN 晶体管的有效基区的薄层电阻 R_{SB1}，且

$$R_{SB1}=\frac{\rho_b}{W_B}=\left[\frac{\bar{\rho}}{x_{jC}-(x_{jE}+x_{mE\text{-}B}+x_{mC\text{-}B})}\right]\approx\frac{\bar{\rho}}{x_{jC}-x_{jE}}$$

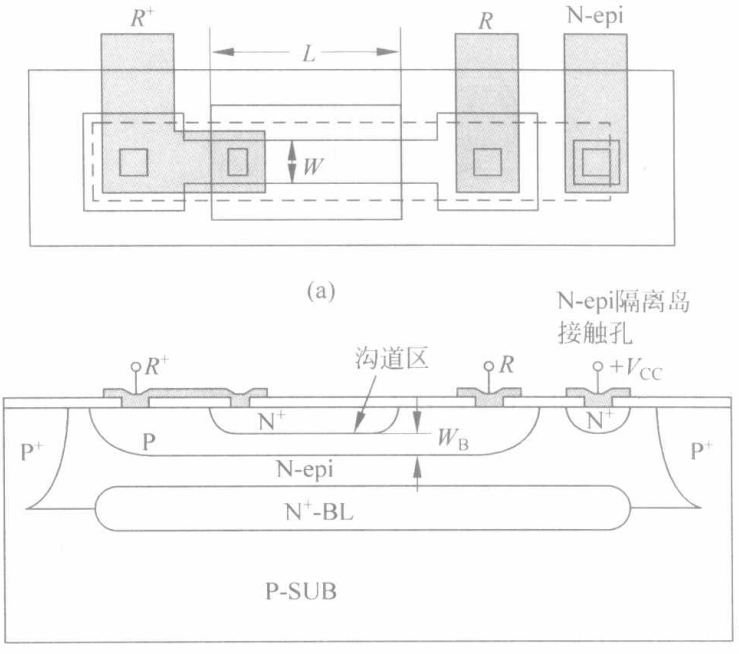


图 3.14　基区沟道电阻结构示意图

(a) 工艺复合图；(b) 横截面图

式中：$\bar{\rho}$ 为有效基区内的平均电阻率，其数值较高；

W_B 为晶体管有效基区宽度，一般小于 $1\mu m$；

$x_{mE\text{-}B}$ 为发射结耗尽层在基区一侧的宽度；

$x_{mC\text{-}B}$ 为集电结耗层在基区一侧的宽度。

一般 R_{SBI} 可达 5～15kΩ/□，所以可做的阻值范围为几十千欧到几兆欧。

② 电阻 R 是电阻两端外加电压的函数，其伏安特性如图 3.15 所示。由图可见：

当 V_R 很小时，R 约为一固定值；$V_R \geqslant BV_{EBO}$ 时，$R=0$，R^+ 和 R^- 短接；中间一段，两边的耗尽区相连，$R \to \infty$。

③ 由于特点②，所以基区沟道电阻只能用于小电流、小电压情况，多数用做基区偏置电阻或泄放电阻。

④ 基区沟道电阻的精度很低，因为它没有独立控制因素，而完全由 NPN 管的基区宽度 W_B 决定，其电阻值的相对误差 $\Delta R/R=\pm(50\sim100)\%$。

⑤ 由于有大面积的 N^+P 结，所以寄生电容较大；又因为其薄层电阻 R_{SBI} 较大，所以基区沟道电阻的温度系数较大，为(0.3～0.5)%/℃。

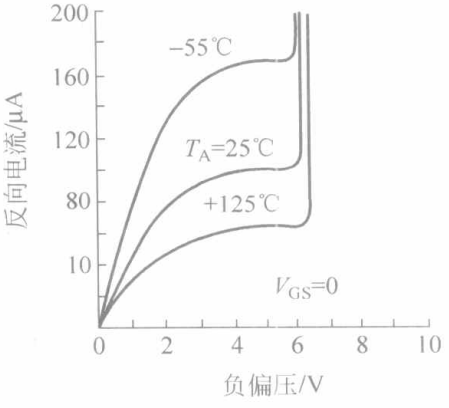


图 3.15　基区沟道电阻的伏安特性

基区沟道电阻的阻值计算仍可利用

$$R \approx R_S \frac{L}{W}$$

式中 L 为 N^+ 扩散区的长度。在 N^+ 扩散区覆盖外的 P 区的薄层电阻 R_{SB} 很小，这部分 P 区的阻值比基区沟道电阻小 1～2 个数量级，故可忽略不计。

4. 外延层电阻(体电阻)

外延层电阻的结构如图 3.16 所示，它是直接利用外延层做成的电阻，两端的 N^+ 扩散区是电极的接触区，故又称为“体电阻”。由图可见，它不存在寄生 PNP 效应，故不需要隐埋层。

此类电阻有以下特点：

(1) 外延层的薄层电阻较大($R_S = \rho_{epi}/T_{epi}$)，所以可以作为高值电阻。

(2) 可承受较高的电压，因为其击穿电压为隔离结击穿电压，所以 BV_{CSO} 较高。

(3) 在阻值设计时，要注意横向修正，即电阻宽度 W 应是扣除隔离结横向扩散后电阻区的实际宽度，如图 3.17 所示的那样。

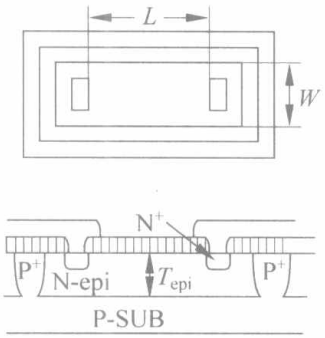


图 3.16　外延层电阻结构图

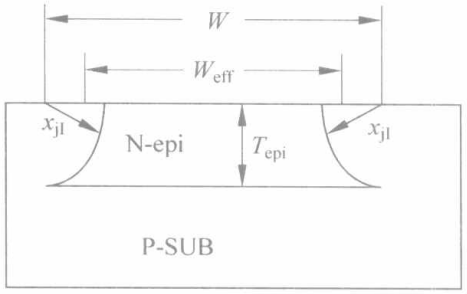


图 3.17　外延层电阻的横截面

假设横向扩散量$\approx x_{jl} \approx T_{epi}$($x_{jl}$为隔离结扩散结深)，隔离结结面为 1/4 圆柱面，则

$$R \approx R_S \frac{L}{W - 1.57x_{jl}} \tag{3.14}$$

(4) 电阻的相对误差 $\Delta R/R$ 大，为±(30～50)%，这是因为电阻值的控制主要是通过外延工艺(决定 ρ_{epi} 和 T_{epi})和隔离扩散工艺(决定 x_{jl})来进行的，这两道工艺本身就较难控制，况且后续工艺对外延层电阻阻值的影响也较大。

(5) 电阻的温度系数 TCR 较大，且 TCR 与外延层杂质浓度 N_{epi} 有关，其关系如表 3.4 所示。

表 3.4　电阻的温度系数 TCR 与外延层杂质浓度 N_{epi} 的关系

N_{epi}/cm^{-3}	10^{15}	10^{16}	10^{17}
TCR/(10^{-6}/℃)	8000	4000	3500

如果在外延层上再覆盖一层 P 型扩散层，就可做成更高阻值的电阻，即外延层沟道电阻（如图 3.18 所示），其结构与基区沟道电阻类似。此时其阻值 R 为

$$R \approx R'_{\mathrm{S}} \frac{L'}{W} = \frac{\rho_{\mathrm{epi}}}{T_{\mathrm{epi}} - x_{\mathrm{jC}}} \frac{L'}{W} \tag{3.15}$$

式中：R'_{S}为沟道区薄层电阻；L'为 P 型扩散区长度；W 为外延层宽度。

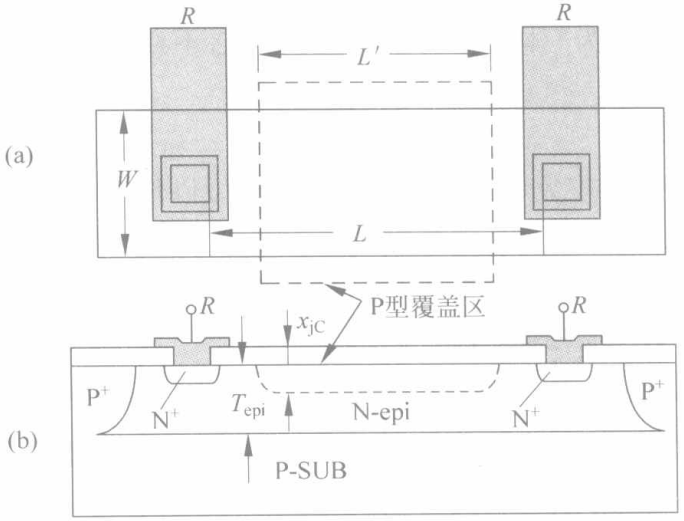


图 3.18　外延层沟道电阻结构

（a）工艺复合图；（b）横截面图

5. 硼离子注入电阻

硼离子注入电阻的结构如图 3.19 所示，它是在外延层上注入硼离子形成电阻区，在电阻区的两端进行 P 型杂质扩散，以获得欧姆接触，作为电阻的引出端。

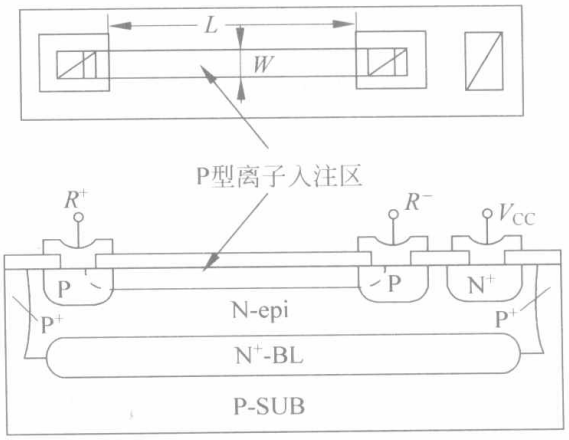


图 3.19　硼离子注入电阻结构示意图

硼离子注入电阻具有以下一些特点：

（1）薄层电阻 R_{S} 的可控范围较大，为 0.1～20kΩ/□，所以可以做的阻值范围较大。由

于 R_S 可由注入条件精确控制，因此电阻的精度较高，常用来做大阻值的高精密电阻。

(2) 由于离子注入工艺横向扩散较小，离子注入电阻的实际尺寸 W，L 可由注入掩模窗口精确确定。

(3) 电阻的温度系数 TCR 与退火条件及 R_S 等有关，所以可以控制，当在注硼区再注入氩离子时，其温度系数可降至 $100\times10^{-6}/℃$ 以下。

离子注入电阻的缺点是由于注入结深 x_j 较小(0.1～0.8μm)，所以注入层的厚度受耗尽层的影响较大，导致电阻的阻值随电阻两端电压的提高而增大。

3.1.3 MOS 集成电路中常用的电阻

1. 多晶硅电阻

在硅栅 MOS 电路中常用多晶硅电阻，其结构如图 3.20 所示(图中打斜线的部分为氧化层)。这类电阻的阻值为

$$R = R_{S,\text{poly-Si}}\frac{L_{\text{eff}}}{W} = R_{S,\text{poly-Si}}\frac{L-2L_D}{W} \tag{3.16}$$

式中，L_D 为源、漏扩散时向电阻区的横向扩散量。用扩散掺杂法制作的这类电阻精度不高，主要用来作为存储器存储单元的负载电阻，它要求高的阻值，但允许阻值有较大的偏差；若用离子注入掺杂工艺，则电阻的精度可以提高。

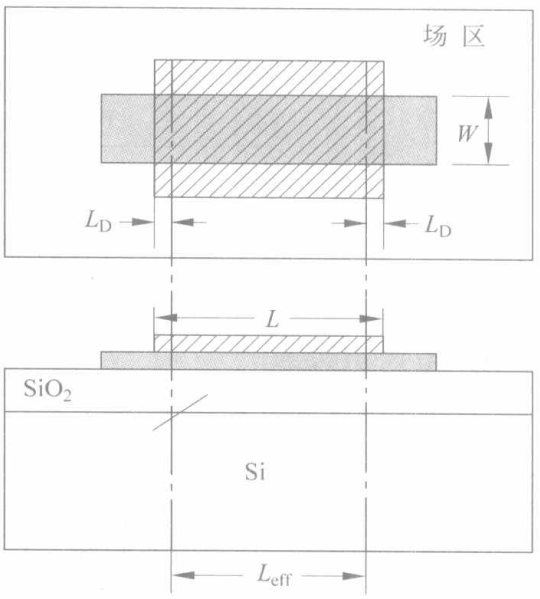


图 3.20 多晶硅电阻

2. 用 MOS 管形成电阻

在 MOS 电路中经常使用 MOS 管形成的电阻，它所占的芯片面积要比其他电阻小很多，但它是一个非线性电阻。由 MOSFET 的特性知，它的非饱和区大信号沟道电阻为

$$R_C = \frac{\partial V_{DS}}{\partial I_{DS}} = [2k(V_{GS}-V_T)-V_{DS}]^{-1}$$

在 V_{DS} 很小时，可得到

$$R_C = [2k(V_{GS}-V_T)]^{-1}$$

3.2 集成电容器

在集成电路设计中应尽量避免使用电容器，因为集成电容器的单位面积电容量 C_A 比较小，而电容量 $C=A\cdot C_A$，所以为达到一定的电容量，就要有较大的面积 A。例如，做一个 30pF 的 MOS 电容，要占 $0.1mm^2$ 的芯片面积，而一个最小面积晶体管(加上隔离框)所占的芯片面积约为 $0.01mm^2$，更何况一个 MOS 管所占的芯片面积更小。

3.2.1 双极集成电路中常用的集成电容器

在双极集成电路中，常使用的集成电容器有反偏 PN 结电容器和 MOS 电容器。

1. 反偏 PN 结电容器

PN 结电容器的制作工艺完全和 NPN 管工艺兼容，但其电容值做不大。如第 2 章表 2.1 所示，发射结的零偏单位面积电容 C_{jA0} 大，但击穿电压低，为 6～9V。集电结的零偏单位面积电容 C_{jA0} 小，但其击穿电压高，大于 20V。

如要提高 PN 结零偏单位面积电容 C_{jA0}，可采用如图 3.21 所示的发射区扩散层-隔离扩散层-隐埋层结构，这种结构的电容器实际是两个电容并联，所以零偏单位面积电容 C_{jA0} 大，但由于存在 P^+N^+ 结，所以击穿电压只有 4～5V。另外，由于隔离（衬底）结的面积较大，所以 C_{jS} 也较大，为了减小 C_{jS} 的影响，应降低所使用结上的反偏压，使结电容提高，并尽量提高衬底结的反偏，以提高 C/C_{jS} 的值。

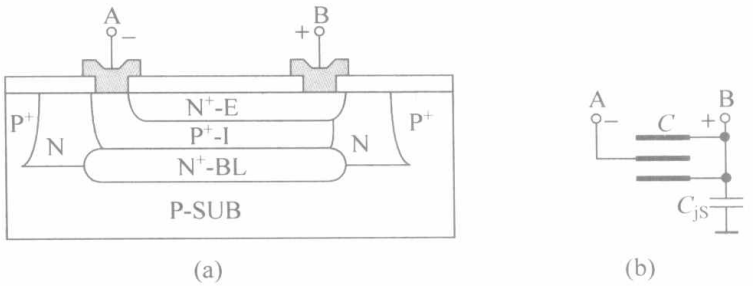


图 3.21　发射区扩散层-隔离扩散层-隐埋层 PN 结电容结构

（a）横截面图；（b）等效电路

2. MOS 电容器

（1）MOS 电容器的结构

双极集成电路中常用的 MOS 电容器结构如图 3.22 所示。它的下电极为 N^+ 发射区扩散层，上电极为铝膜，中间介质为薄 SiO_2，厚度大于 1000Å，所以这层介质对工艺的要求较高，一般需要用额外的工艺来制作，其他工艺与 NPN 管兼容。

由半导体物理知，在一般情况下 MOS 电容器的电容值 C_{MOS} 和电容器两端的电压 V_{MS} 以及下电极掺杂浓度有关。

实验表明，当下电极用 N^+ 发射区扩散层，且掺杂浓度 $N\approx10^{20}/cm^3$ 时，只要氧化层厚度 $t_{ox}>0.1\mu m$，就可以认为这类电容器的电容值 C_{MOS} 与工作电压及信号频率无关。所以

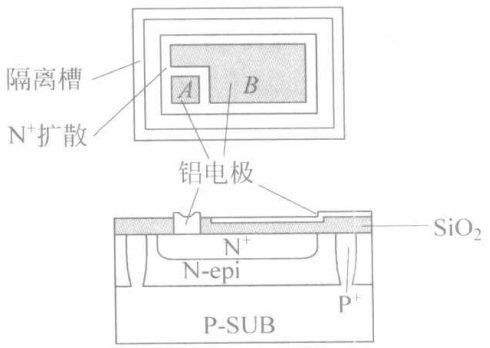


图 3.22　MOS 电容器结构

$$C_{MOS} \approx C_{ox} = \frac{\varepsilon_{SiO_2}\varepsilon_0}{t_{ox}}A \tag{3.17}$$

(2) MOS 电容器的特点

① 单位面积的电容值 C_A 较小($C_A = 3.1 \sim 6.2 \times 10^{-4}\,pF/\mu m^2$),所以占用的芯片面积较大。例如,在氧化层厚度 $t_{ox} = 0.1\mu m$ 时,$C_A \approx 3.45 \times 10^{-4}\,pF/\mu m^2$,所以做一个 30pF 的电容,其占用的芯片面积为 $A = C/C_A \approx 0.1mm^2$。

② 击穿电压较高,$BV > 50V$。其 $BV = E_B t_{ox}$,其中 E_B 为 SiO_2 的击穿电场强度,为 $(5 \sim 10) \times 10^6\,V/cm$。所以,在 $t_{ox} = 0.1\mu m$ 时,$BV = 50 \sim 100V$(因氧化层质量而异)。

③ 温度系数 TCR 小,$TCR \approx 20 \times 10^{-6}/℃$。这是因为温度的变化只对耗尽层电容 C_d 有影响,而 C_d 在总的 MOS 电容中所占的比例太小。

④ 当下电极用 N^+ 发射区扩散层时,MOS 电容的电容值基本上与电压大小及电压极性无关。

⑤ 单个 MOS 电容的误差 $\Delta C/C$ 较大,为 $\pm 20\%$;但两个 MOS 电容间的匹配误差可小于 $\pm 10\%$。

⑥ MOS 电容有较大的寄生电容 C_{jS},所以其 C_{MOS}/C_{jS} 较小。增加衬底的反向偏压可提高此比值。

(3) MOS 电容器的等效电路

MOS 电容器的等效电路如图 3.23 所示,其中 R 主要是下电极 N^+ 发射区扩散层的电阻。为了提高 MOS 电容器的 Q 值,必须减小 R 值,通常把 MOS 电容器设计成方形,以减小 R 的"方数"(L/W),使电阻 R 的阻值下降。

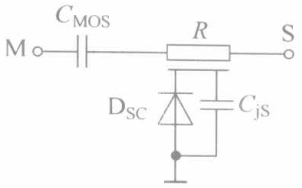


图 3.23 MOS 电容器的等效电路

3.2.2 MOS 集成电路中常用的 MOS 电容器

1. 感应沟道的单层多晶硅 MOS 电容器

此电容器结构如图 3.24(a)所示(图中打斜线的"C"区为 MOS 电容器),它是以栅氧化层作为介质,多晶硅为上电极,衬底为下电极。通常"C"区下衬底的表面感应沟道,与扩散区 S 相连。这个电容的电容值是电容两端所加电压的函数,是个非线性电容,常用在自举电路中,如图 3.24(b)所示。

2. 双层多晶硅 MOS 电容器

双层多晶硅 MOS 电容器的结构如图 3.25 所示,它做在场氧化层上,电容的上下电极(掺杂多晶硅)通过场氧化层与其他元件及衬底隔开,所以是一个寄生参量很小的、以薄氧化层为介质的固定电容。只要能精确控制所生长的氧化层介质的质量和厚度,就可得到精确的电容值,其电容值的大小为

$$C = \frac{\varepsilon_{ox}\varepsilon_0}{t_{ox}}WL \tag{3.18}$$

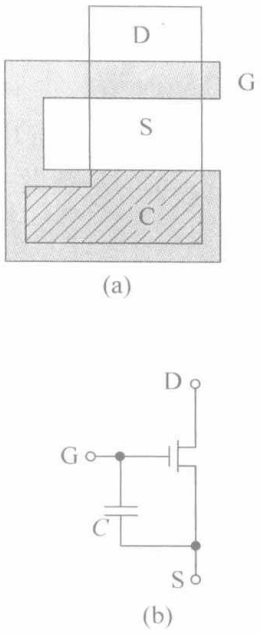


图 3.24　感应沟道的单层多晶硅 MOS 电容器结构

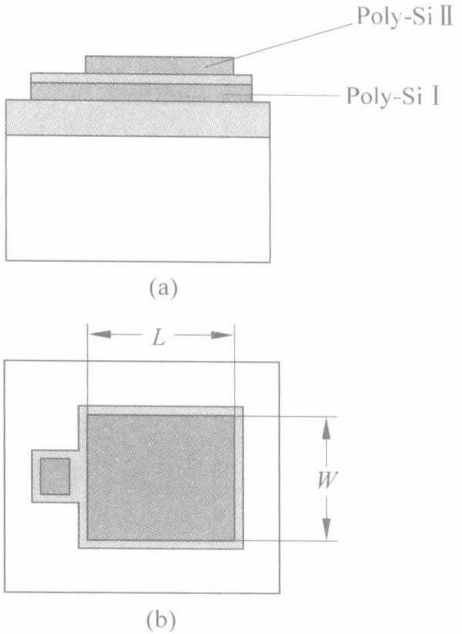


图 3.25　双层多晶硅 MOS 电容器结构

3.3　互连(内连线)

广义讲,连线也是一种"元件"。在进行电路计算机辅助设计时,应当相应地引入连线电阻元件,并根据具体情况,考虑其寄生电容的影响。

集成电路的内连线有铝连线、扩散区连线、多晶硅连线、铜连线、交叉连线,应根据电路的要求,在不同的地方采用不同的连线。

3.3.1　铝连线

铝连线主要用于传输大电流密度的地方。由于铝具有导电性能好,与硅和 SiO_2 黏附性好,能与硅形成良好的欧姆接触,易于加工,合金温度低等优点,所以一般集成电路都选用铝膜作为内连线。

在设计互连线的铝条图形时,除了考虑连通电路和设计规则规定的最小尺寸(包括最小铝条宽度和铝条间距,与电极孔的最小覆盖等)限制外,还应注意以下几个问题。

1. 长引线的电阻

在一般情况下铝互连线的电阻是很小的。但当铝膜太薄或铝连线太长、宽度太窄时,铝连线的电阻不可忽视。

在设计铝连线的厚度 t_{Al}、宽度 W 时,还应考虑铝膜在 SiO_2 层台阶处会变薄,在后续工序中可能划伤,所以只要电路性能允许,总是取较大的 W。一般情况下铝膜的厚度

$t_{Al}=(1.2\pm0.2)\mu m$，铝膜太厚，在光刻时侧向腐蚀严重，导致铝连线宽度 W 下降太多。

2. 大电流密度的限制

电流太大会引起铝膜结球，即使电流不太大，长时间较大电流通过铝条，会产生铝的“电迁移”现象，即铝离子从负电极向正电极方向移动。结果在铝连线一端产生晶须，另一端则产生空洞，严重时甚至断路。美国军用标准规定，流经纯铝膜的电流密度为

$$J \leqslant 2\times10^5 A/cm^2 = 2mA/\mu m^2 \tag{3.19}$$

因而在设计流经大电流的地线和电源线时，一定要保证铝条有足够的宽度。用 Al-Si-Cu 合金代替纯铝作为互连线，可以改善电迁移现象；增大铝晶粒的颗粒，或在铝膜上覆盖一层玻璃钝化层，可使铝膜的寿命延长。

3. Si-Al 互熔问题

在高温下，Al，Si 会形成 Al-Si 共熔体，在共熔点温度(577℃)下，1μm 厚的铝膜可“吃掉”(熔去)0.12μm 的硅层，而使很薄的双极晶体管的发射区扩散层和 MOS 管的源、漏扩散层变得更薄。另一方面，Al-Si 共熔体中析出的 Si 原子，会向附近的纯铝中扩散，所以在小接触孔附近有大块的铝条的情况下，虽然合金温度不太高，也会从接触孔边缘开始把 PN 结熔穿。所以对于浅结、小接触孔、大而厚的铝膜，要特别注意选择适当的合金温度和时间，一般取 450～500℃，20～30min。另外一个解决办法，是在铝中掺硅，对于结深小于 1μm 的器件，应采用含硅量的重量百分比为 1.2%～2%的 Al-Si 合金作为互连材料，以减少“吃硅”现象，且 Al-Si 合金的硬度比纯铝高，可减少划伤。但硅的含量不能太大，当 Si 的含量超过 2%时，在加温的过程中，硅可能在界面析出，使接触电阻增加，甚至发生脱键现象。

3.3.2 扩散区连线

在双极集成电路中，因为基区扩散层的薄层电阻较大($R_S=100\sim200\Omega/\square$)，一般不用基区扩散层作为内部连线。而在 MOS 集成电路中，源、漏扩散区的薄层电阻 $R_S=10\sim30\Omega/\square$，有时可用这层扩散层作为内连线。一般是将相应的 MOS 管的源或漏区加以延伸而成，但它将增加 PN 结电容，所以只在不得已时才使用这层连线。

3.3.3 多晶硅连线

当前很多 MOS 集成电路采用多晶硅栅工艺，这层多晶硅同时可用做传输小电流的连线。在 MOS 集成电路中，从前级输出到下级输入栅之间的连线，一般只流过瞬态电流，用多晶硅作为此连线是很合适的。掺杂多晶硅的薄层电阻 $R_S=15\sim50\Omega/\square$，所以当器件尺寸进一步缩小时，多晶硅连线电阻太大，此时可用 Ti，W，Mo 的硅化物作为连线。

3.3.4 铜连线

由于铝的电阻率还不是太低，当芯片集成度提高时，引线长度随之增加，此时引线长度的电阻已不可忽略；加之铝的电迁移现象及硅铝共熔问题等，对超大规模集成电路可靠性

的影响日益显著，于是开发了铜连线技术。

铜的电阻率比铝低，且抗电迁移的能力很强，作为模集成电路引线的主要问题是对硅的沾污、与硅和二氧化硅的黏附性不好和加工困难，所以一直未被用做模集成电路的布线材料。随着硅集成工艺技术的发展，利用阻挡层、黏附层及大马士革工艺（镶嵌工艺）技术，才使模集成电路铜连线工艺得以实现。现在高性能超大规模集成电路中，一般都采用铜连线工艺。

3.3.5 交叉连线

双极集成电路在单层金属布线时，连线总会有交叉，这时可用以下办法解决。

① 利用基区扩散电阻、隐埋层电阻上的氧化层走线（如图 3.26 所示），不需要增加工艺和芯片面积。

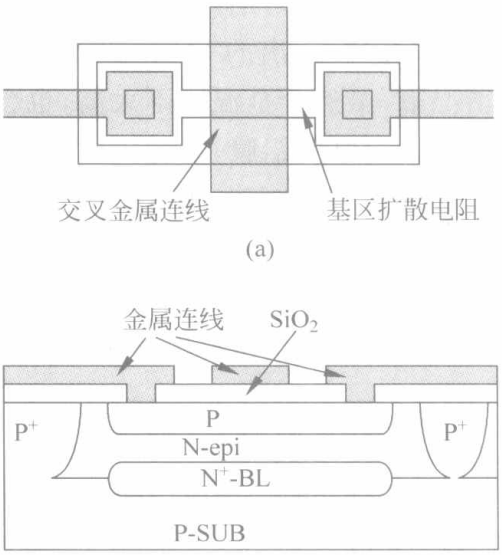


图 3.26 利用基区扩散电阻进行交叉走线

（a）顶视图；（b）横截面图

② 利用双基极或双集电极管子，或加大晶体管电极之间的距离进行交叉走线（如图 3.27所示），但这要稍许增加晶体管芯片面积及某些寄生参数。

③ 利用“磷桥”作为交叉走线，如图 3.12 所示，但要增加面积和串联电阻，一般不用在电源线和地线上。

④ 利用隔离槽，因为隔离槽的方块电阻较低，$R_{SI}\approx 7\Omega/\square$，所以可做连线，但因为隔离槽固定接地或负电源，所以限制了使用。

在硅栅 MOS 集成电路中，通常把多晶硅作为一层布线，由于多晶硅上生长有较厚的 SiO_2 层，所以可以在其上走铝线，较好地解决了连线交叉的问题。

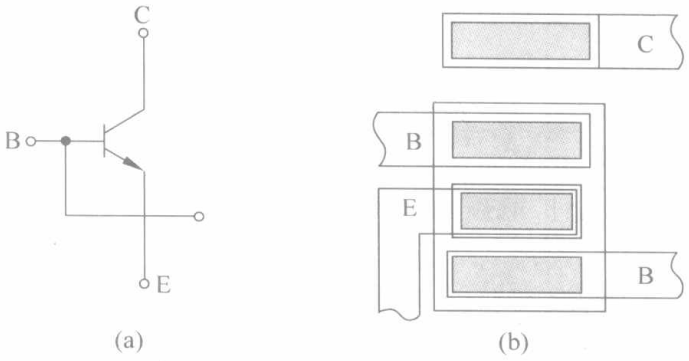


图 3.27　利用双基极晶体管进行交叉走线

对于超大规模集成电路或较复杂的集成电路，有时需要多层布线才能满足要求，图 3.28 为双层布线的剖面图。由图可以看到，两层金属布线垂直交叉，在上下层连线需要连接的地方开了一个通孔，两层连线之间有中间绝缘层将它们隔开。

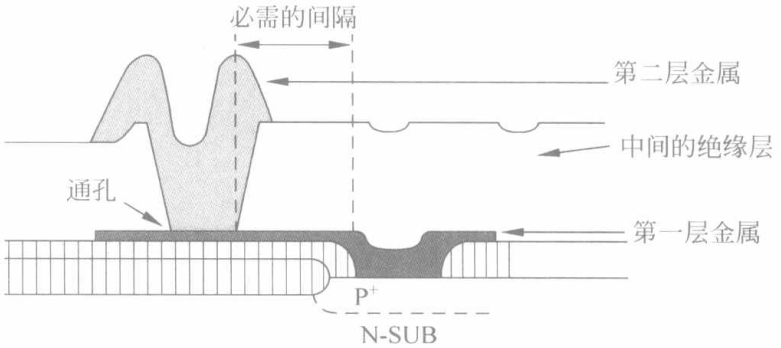


图 3.28　双层布线剖面图

复习思考题

3.1　运用基区扩散设计一个 $R_{\square}=200\Omega/\square$，阻值为 1kΩ 的电阻，已知允许耗散功率是 $20W/cm^2$，该电阻上的电压降为 5V，试设计此电阻及其占面积最小的版图。

3.2　试以 500∶1 的比例设计一个 $R=25k\Omega$ 的基区沟道电阻，其 $R_{SB1}=5k\Omega/\square$，基区扩散层的 $R_{SB}=100\Omega/\square$，设计规则中的最小图形为 $10\times10\mu m^2$，最小电阻条宽为 $10\mu m$（画于坐标纸上）。

3.3　设计一个 4kΩ 的基区扩散电阻。

已知：

（1）基区的 $R_{SB}=200\Omega/\square$，$x_{jC}=2.5\mu m$；

（2）由制版、光刻引入的线宽误差为 $\pm1.4\mu m$，要求由此引入的电阻相对误差为 $\Delta R/R\leqslant\pm12\%$；

(3) 基区扩散和隔离框之间的最小间距 $D_{B\text{-}I}=20\mu m$，基区扩散条之间的最小间距 $D_{B\text{-}B}=11\mu m$；

(4) 电阻隔离框的总面积只有 $250\mu m\times200\mu m$；

(5) 流经电阻的电流为 1mA；

(6) 设计规则给出的最小扩散条宽为 $12\mu m$。

试求：

(1) 可取的电阻最小线宽 $W_{min}=$？你取多少？

(2) 粗估一下电阻长度，根据隔离框面积该电阻至少要几个弯头？

(3) 如使用标准端头，求在最少弯头下的电阻长度，并画出标有尺寸的电阻布图草图。

3.4 比较沟道电阻与扩散电阻的工作原理和特性。

3.5 PN 结电容和 MOS 电容特性有何区别？

3.6 试估算一个正方形的 30pF 的 MOS 电容器所需的芯片面积(隔离框内)。

假定：

(1) $t_{ox}=1000\text{Å}$；

(2) 不考虑 N^+ 层的引出孔；

(3) 薄氧和 N^+ 扩散的掩模孔相重合；

(4) 隔离内框到 N^+ 扩散掩模孔的间距 $D_{I\text{-}E}=15\mu m$。

3.7 设计一个氧化层厚度为 500Å，容量为 10pF 的 MOS 电容器，试问需要多少掩模步骤？如何设计该电容器允许工作的最大电压？

3.8 铝的方块电阻是 0.05Ω/□，多晶硅的方块电阻是 30Ω/□。设线宽是 $4\mu m$，长度是 $5\mu m$，试计算上述两种材料构成的电阻阻值是多少？又若长度不变，线宽变为 $0.5\mu m$，重复上述计算。

第4章　晶体管-晶体管逻辑(TTL)电路

从TTL电路的发展历史看，它是以提高速度、降低功耗(或降低电路的优值，即延时功耗积)为主要目标，不断改进电路形式和工艺的过程。

4.1　一般的TTL与非门

4.1.1　标准TTL与非门(四管单元)

长期以来，数字电路设计者把图4.1所示的电路，视为一种标准的TTL电路形式，它是54/74系列电路的基本单元。

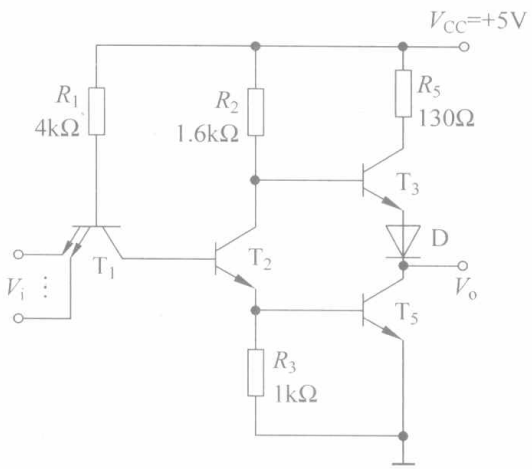


图4.1　标准54/74(T1000)系列TTL与非门

此电路的输入级采用多发射极晶体管，所以在电路的截止瞬态(由输出低电平转向高电平时)，T_1管可反抽T_2管基区中的过剩少子，使电路的平均传输延迟时间t_{pd}下降，从而提高了电路的工作速度。输出级采用图腾柱结构(T_3-D和T_5轮流导通)，使电路的功耗P_D下降。

此电路的优值(延时功耗积)$t_{pd}P_D=100pJ$。

四管单元与非门的电压传输特性如图4.2所示，在版图设计上，可以把T_5和D设计成一个复合管，如图4.3所示，共用一个隔离岛(因为T_5的集电极与D的负极电位相等)。

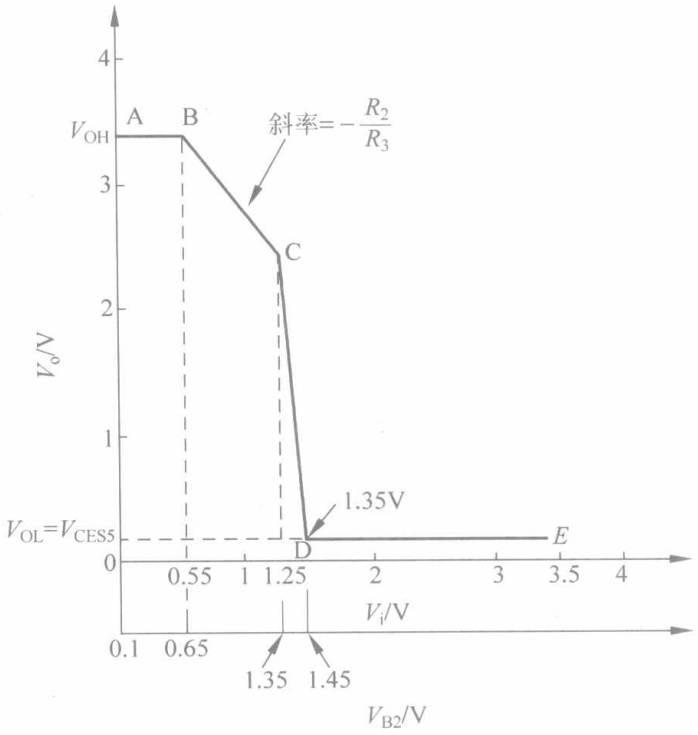


图 4.2　四管单元 TTL 与非门的电压传输特性

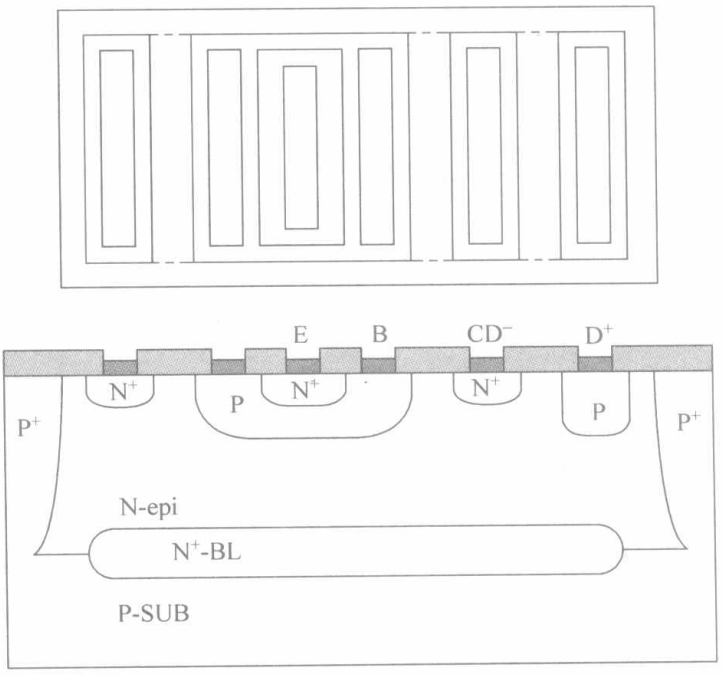


图 4.3　T_5-D 的复合版图和剖面图

4.1.2 54H/74H 五管单元与非门

上述的四管单元与非门电路，在输出端从低电平向高电平转换的瞬间，从电源经 R_5，T_3，D 到 T_5 有瞬态大电流流过，因而在二极管 D 的 PN 结有大量的存储电荷，由于在线路上没有泄放回路，这些电荷只能靠管子本身的复合而消失，这必将影响到电路的开关速度。图 4.4 所示的五管单元与非门电路采用以下一些措施来提高电路的速度和增强电路的负载能力。

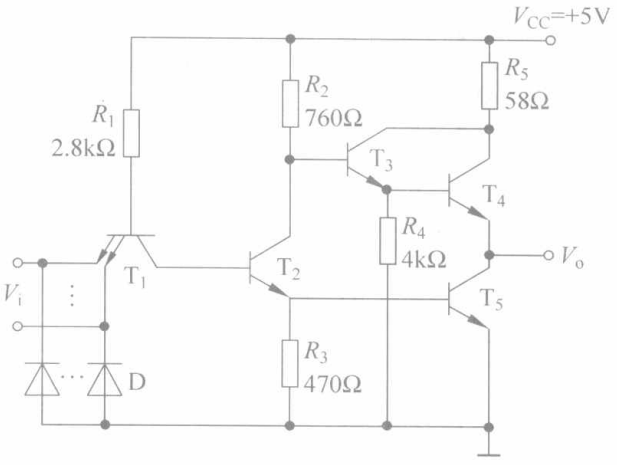


图 4.4　54H/74H(T2000)系列 TTL 与非门

(1) 采用达林顿管作为高电平输出级。即以 T_3，T_4 构成的达林顿管来代替四管单元电路中的 T_3 和 D。T_4 的 V_{BE} 同样起到了电平位移作用，但由于此时 $V_{CB4}=V_{CE3}>0$，T_4 不会进入饱和，所以 T_4 导通时基区的存储电荷大大减少；而且 T_4 的基极有 R_4 泄放电阻，可在倒相时泄放存储电荷，使电路的平均传输延迟时间 t_{pd} 下降，因而提高了电路的工作速度。而且，达林顿管射随器的电流增益大，输出电阻小，有利于对负载电容的充电，从而提高了电路速度，也增大了电路高电平输出时的负载能力。

(2) 电路中各个电阻的阻值比四管单元电路的电阻阻值小，所以工作电流增大，使 t_{pd} 下降。此电路功耗较大，为 22mW，为四管单元电路的两倍以上，电路优值为 132pJ。

五管单元电路的电压传输特性与四管单元电路基本相同。

图 4.4 中的二极管 D 为反向钳位二极管，可将输入的负向过冲信号钳位在 −0.8V 左右，起输入保护作用。

4.1.3 六管单元与非门

在上述的四管单元和五管单元与非门电路中，输出管 T_5 的基极回路由电阻 R_3 构成。当输入电压 $V_i\geqslant 0.55$V 时，T_2 管开始导通，V_{C2} 开始下降，而此时 T_5 管尚未导通，对应图 4.2 曲线的 BC 段。由于电压传输特性曲线上出现了线性区 BC 段，使电路的抗干扰能力下降。而且在电路导通的瞬态，由于 R_3 的存在，分走了部分 T_5 管的基极驱动电流，使下降时间延

长。为了解决这些问题，在图 4.5 所示的六管单元与非门电路中，用 R_B，R_C，T_6 泄放网络代替 R_3。由于 R_B的存在，使 T_6 管比 T_5 管晚导通，所以 T_2 管的发射极电流 I_{E2}全部灌入 T_5 管的基极，使 T_2 管和 T_5 管几乎同时导通，改善了电压传输特性的矩形性（见图 4.6），提高了电路的抗干扰能力；而当 T_5 管导通饱和后，T_6 管也逐渐导通并进入饱和，对 T_5 管进行分流，使 T_5 管的饱和度变浅（所以这种电路又称为浅饱和电路或抗饱和电路）。由于 T_5 管浅饱和，超量存储电荷减小，因而 T_5 管退出饱和的速度得到提高。

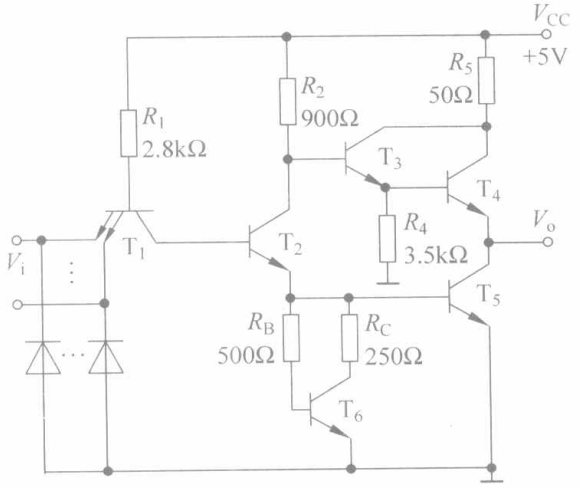


图 4.5　六管单元与非门电路

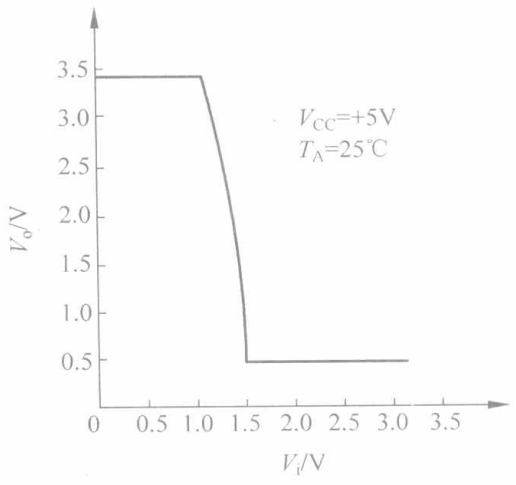


图 4.6　六管单元 TTL 与非门的电压传输特性

在截止的瞬态，由于 T_6 管的基极没有泄放回路，完全靠复合消除存储电荷，所以 T_6 管比 T_5 管晚截止，使 T_5 管有一个很好的泄放回路而很快脱离饱和，提高了电路的工作速度。

以泄放网络代替电阻 R_3，不仅改善了电压传输特性曲线，使之接近矩形，提高了电路的抗干扰能力，而且提高了电路速度。同时由于这种结构对温度变化和工艺上 β 的离散性都有一定的自调整作用，这种自调整作用使得 T_5 管的饱和深度比较稳定，改善了电路瞬态特性和负载能力的温度特性，减少了工艺离散性对电路特性的影响。由于六管单元具有上述这些优点，所以它被广泛采用。

在六管单元与非门电路中，其中 T_1，T_2，T_3，T_5，T_6 管都会达到饱和。

如果将上述六管单元中可能进入饱和的一般晶体管全部用肖特基钳位晶体管（SCT）代替，可以进一步提高电路的工作速度，这就是下面要介绍的六管单元 STTL 与非门电路。

4.2　STTL 和 LSTTL 电路

4.2.1　六管单元 STTL 与非门电路

图 4.7 为采用 SBD 钳位晶体管的 54S/74S 系列六管单元与非门电路，由图可见，它与上述采用一般晶体管的六管单元与非门的不同之处是，以 SBD 钳位晶体管代替除 T_4 管以

外的可能进入饱和或反向工作的晶体管，从而减少了这些管子的超额存储电荷，使电路速度大大提高。STTL 电路的门延时 $t_{pd}=3ns$，但由于电阻值比标准单元的小，且存在电阻 R_4，所以功耗较大，$P_D\approx19mW$，其优值 $t_{pd}P_D=60pJ$（标准单元的 $t_{pd}=10ns$，$P_D=10mW$，优值为 100pJ）。而且由于用 SCT 代替一般的晶体管，因而使饱和压降增加，输出低电平 V_{OL} 上升。

如果采用高电阻值电阻和合理的电路设计，可以实现低功耗 STTL 电路（LSTTL），LSTTL 电路的每门功耗仅为 2mW，门延时为 9.5ns。

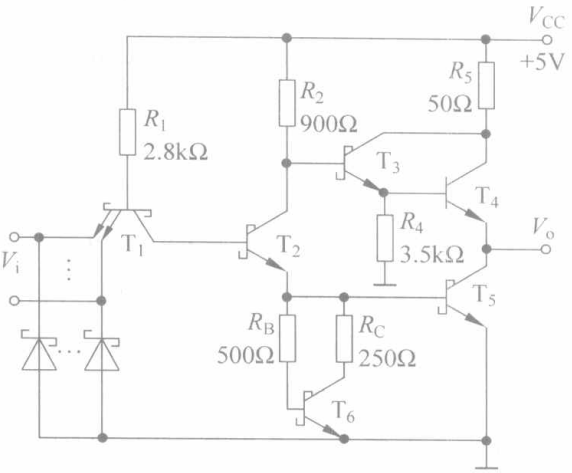


图 4.7　54S/74S(T3000)系列 STTL 与非门

4.2.2　低功耗肖特基 TTL(LSTTL)电路

如上所述，LSTTL 电路实现了高速度和低功耗的良好结合，是目前 TTL 系列电路中具有最佳延时功耗积的系列。图 4.8 是 54LS/74LS 系列 LSTTL 与非门电路图。由图可见，它与图 4.7 STTL 与非门电路的不同之处如下：

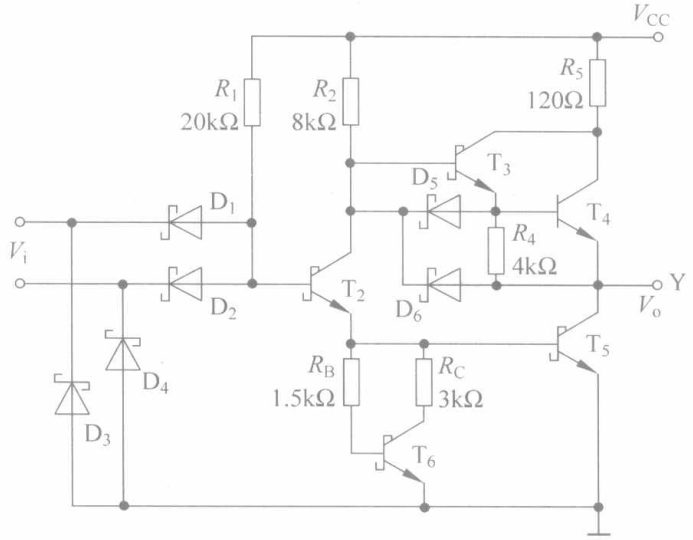


图 4.8　54LS/74LS(T4000)系列 LSTTL 与非门电路

(1) 用肖特基势垒二极管（SBD 管 D_1，D_2）代替多发射极晶体管 T_1，作为输入管。

(2) 将 T_4 管的基极泄放电阻 R_4 由接地改为接输出端 V_o，并加上 SBD 管 D_5 和 D_6。

LSTTL 电路的基本特点如下：

(1) 采用高阻值电阻使功耗 P_D 下降为标准 TTL 门的 1/5 左右。

(2) 用 R_1，D_1，D_2 组成以 SBD 为输入管的 DTL 电路。因为在 LSTTL 电路中，已用肖特基钳位晶体管代替可能进入饱和状态的一般晶体管，所以这些管子的基区超额存储电荷减小，没有必要再用反抽能力很强的多发射极晶体管来加快 T_2 管脱离饱和。而用 DTL 输入方式有以下优点：

① 高电平时的输入电流 I_{IH} 变小；

② 由于 SBD 是多子器件，所以速度快；

③ 因为 SBD 的击穿电压较高（$BV_{SBD}=10\sim15V$），所以可将不用的输入端直接与 V_{CC} 相接，而不用通过电阻接 V_{CC}，方便了用户。

(3) 将 Q_4 管的基极泄放电阻 R_4 由接地改为接输出端 V_o 后，通过 R_4 的电流 I_{R4} 变小，所以电路功耗下降；而且当高电平输出时，I_{R4} 可成为输出电流 I_{OH} 的一部分，提高了高电平输出时的负载能力。

(4) 增加了二极管 D_6，D_5 后，使电路的速度得到提高。其中 D_5 是在电路导通的瞬间反抽 T_4 管基区的存储电荷，而使 V_o 加速下降。D_6 的作用是降低高电平向低电平转化时的传输时间 t_{PHL}，当 V_{C2} 下降比 V_{OH} 快，且 $V_{OH}-V_{C2}>0.4V$ 时，D_6 导通，而通过 D_5，D_6 的电流又通过 T_2 管放大去驱动 T_5 管，加速了 T_5 管的导通，提高了电路速度。

(5) 采用离子注入、薄层外延等新技术和对通隔离、深 N^+ 集电极接触等工艺，减小了器件的尺寸和寄生效应，提高了电路的速度和集成密度。

LSTTL 电路的不足之处是电路的阈值电压 V_{TH} $\left(V_{TH}=\dfrac{V_{OH}+V_{OL}}{2}\right)$ 较低，使低电平噪声容限下降。

4.3 LSTTL 门电路的逻辑扩展

在 TTL 电路中，与非门电路是目前大量生产和使用的门电路。但在实际应用中往往需要各种功能的门电路。为了解决实际应用的需要，一方面在 TTL 与非门中增加扩展器，用以增加输入端（“与”扩展器）和实现逻辑功能扩展（“与或”扩展器）；另一方面生产其他逻辑功能的 TTL 门电路（如或非门、与或非门、与门、或门、异或门、异或非门等）。同一种门又可按输出结构的不同而分为基本门、集电极开路（OC）门、三态（3S）门等，一般这些电路都是按系列配套的。本节主要介绍 OC 门和三态门。

4.3.1 OC 门

标准系列的 TTL 与非门不能直接连接在一起（如图 4.9(a)所示），实施“线与”，因为此时两个输出高电平的与非门（G_1，G_2）的输出电流 I_{OH} 一齐灌进了输出低电平的与非门 G_3 的输出管 T_5（见图 4.8）。这样，一方面过量电流会烧坏 T_5 管，另一方面会使 G_1，G_2 门的输出高电平 V_{OH} 下降，G_3 门的输出低电平 V_{OL} 上升，甚至会造成逻辑混乱。所以标准系列的图

腾柱输出限制了它的“线与”功能，采用 OC 门(open collector gate)结构可解决此问题。

OC 门结构是把标准系列与非门中的高电平输出驱动级去掉，直接由输出管 T_5 的集电极输出，其电路和逻辑符号如图 4.10 所示。OC 门的输出端用导线接在一起，接到一个公共的上拉电阻上，实现“线与”，如图 4.9(b)所示。

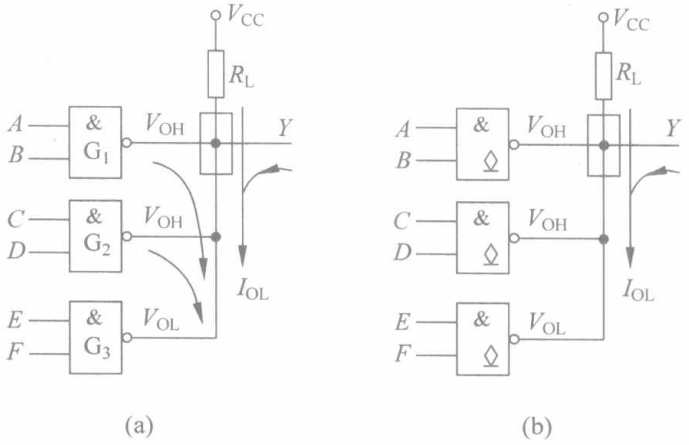


图 4.9　与非门的线与使用

(a) 一般与非门；(b) OC 与非门

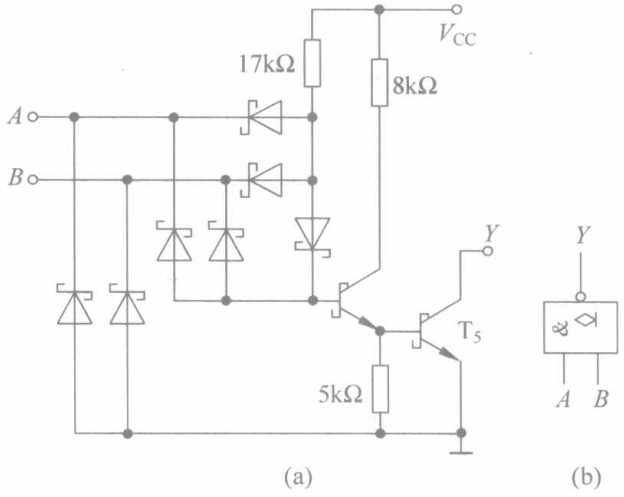


图 4.10　OC 门

(a) 电路图；(b) 逻辑符号

很显然，当任何一个或全部门的输出管 T_5 饱和时，输出电压被下拉到低电平，得到高电平输出的唯一方法是所有门的输出管 T_5 都截止。所以“线与”是指各个 OC 门输出端相“与”，而不是全部 OC 门各输入端的相“与”。

多个 OC 门可以挂在同一根总线上进行数据传输，当某 OC 门的控制电平 A(或 B)为低电平时，该 OC 门的输出管 T_5 处于截止(1)状态，不传输数据，相当于此级对母线不起作用，

仅当控制电平为高电平时，才将本级输入信息发送至总线上。

当 OC 门的输出由 V_{OL} 变为 V_{OH} 时，因为没有一般与非门的 T_3，T_4 有源上拉作用（高电平输出驱动级），驱动容性负载只能通过数值较大的上拉电阻（几百到几千欧）来实现，所以速度慢，负载能力差。

能够做到既把图腾柱结构输出端实行“线与”功能，同时又避免 OC 门速度慢的电路，就是三态逻辑门电路。

4.3.2 三态逻辑（TSL）门

三态逻辑门（third state logic gate）除了有高电平输出和低电平输出外，还有第三种状态——禁止态（高阻态），相当于输出端悬空，所以三态门的特点是允许把多个三态门的输出端连在一条公共母线（BUS）上，使总线结构分时多路通信得以实现。如在图 4.11 中，各三态门的 G 为控制端（选通端），CPU 通过三态门挂在总线上，利用选通电路使 G_1，G_2，G_3 轮流接高电平，则 V_{o1}，V_{o2}，V_{o3} 就会轮流被选中。这样，A_1、B_1，A_2、B_2，A_3、B_3 三组数据就会轮流地与总线相通，适时地与外部设备交换信息。

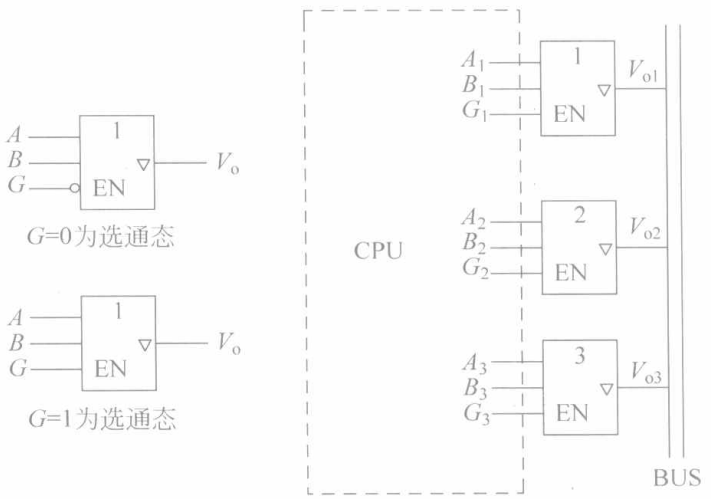


图 4.11 总线结构示意图

图 4.12 是典型的 LS 三态输出控制门（1 选通）。当控制门输入 $G=0$ 时，二极管 D_3，D_4 导通，电路被封死，输出为高阻态 Z。当 $G=1$ 时，二极管 D_3，D_4 截止，控制门对电路无影响，输出端由数据输入端的状态决定：$F=\overline{A \cdot B}$。

图 4.13 为三态输出缓冲器电路，虚线的左边是一个非门（控制门），虚线的右边是一个缓冲器，在缓冲器 T_2 管的集电极 C_2 和控制门的输出端 M 之间，有一个钳位二极管 D_0。当控制门的输入 $\overline{E}=1$ 时，T_8，T_{11} 管导通，使控制门的输出 $V_M=V_{OL}=0.4V$，于是 T_2，T_5，T_6 管截止；此时 $V_{C2}=V_{DF}+V_{OL}\approx 0.8V$，所以 T_4 管也截止，于是电路输出端 Y 呈高阻态 Z。当 $\overline{E}=0$ 时，$V_M=3.5V$，控制门对后级电路无影响。

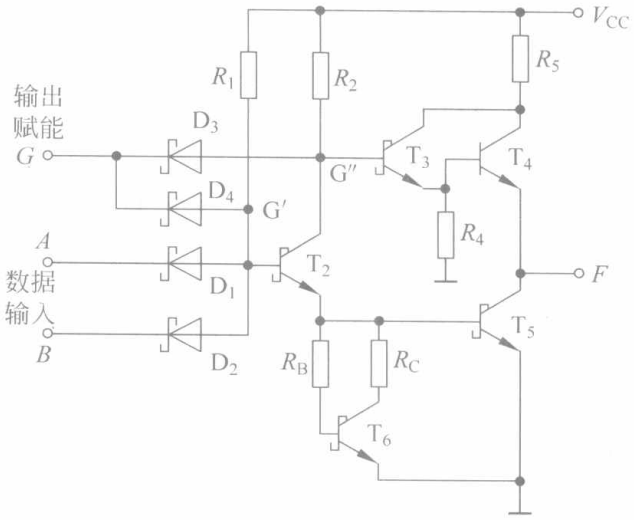


图 4.12　典型 LS 三态输出控制门(1 选通)

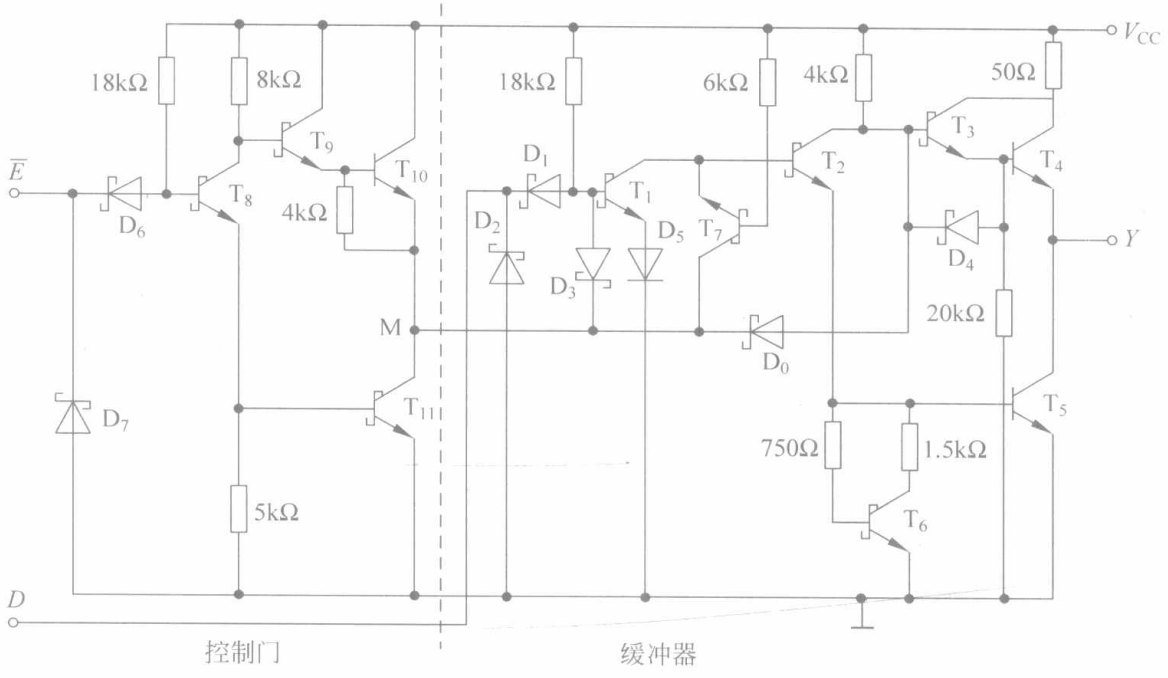


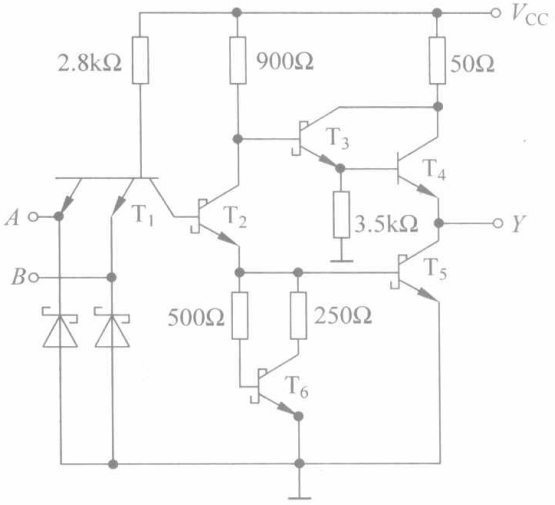
图 4.13　三态输出缓冲器电路(1/4 的 T4125)

4.4　ASTTL 和 ALSTTL 电路

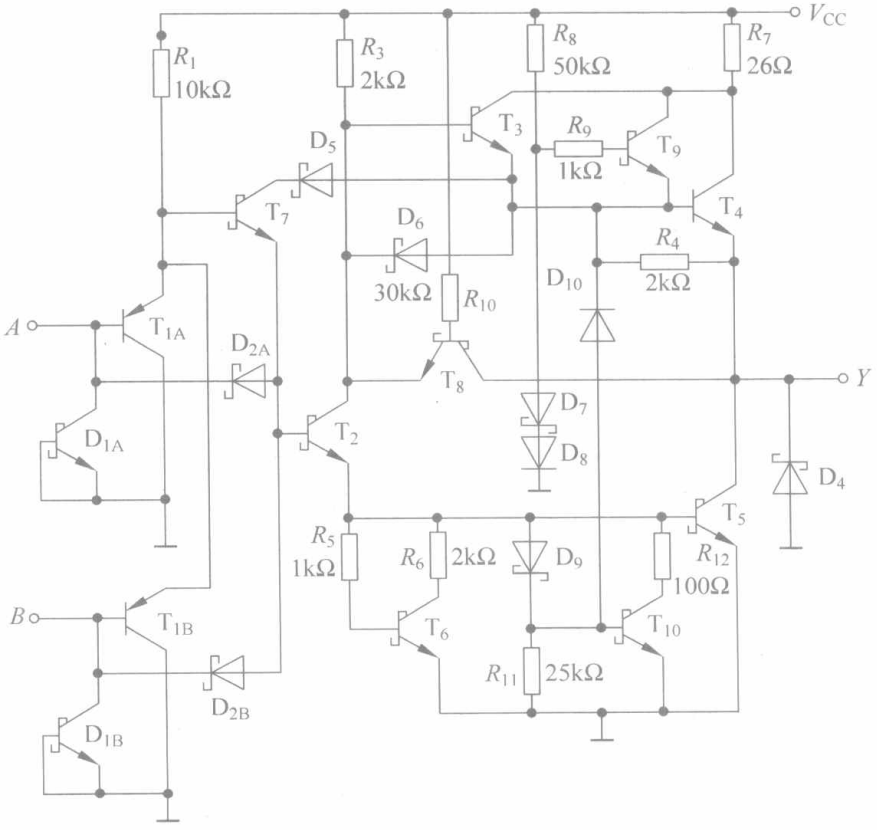
随着双极型集成电路工艺技术的发展，采用了介质隔离、离子注入等新技术及新的电路设计技术，从而出现了许多改进的 STTL(ASTTL)和 LSTTL(ALSTTL)电路，使电路的性能有进一步的提高，其速度更高，功耗更低。

下面简要介绍 54/74 系列 ASTTL 和 ALSTTL 电路。

图 4.14(a)与(b)分别为 54/74S00 与 54/74AS00 的电路图，图 4.15(a)与(b)分别为 54/74LS00 与 54/74ALS00 的电路图。AS/ALS 电路与 S/LS 电路相比较，有以下一些差别：

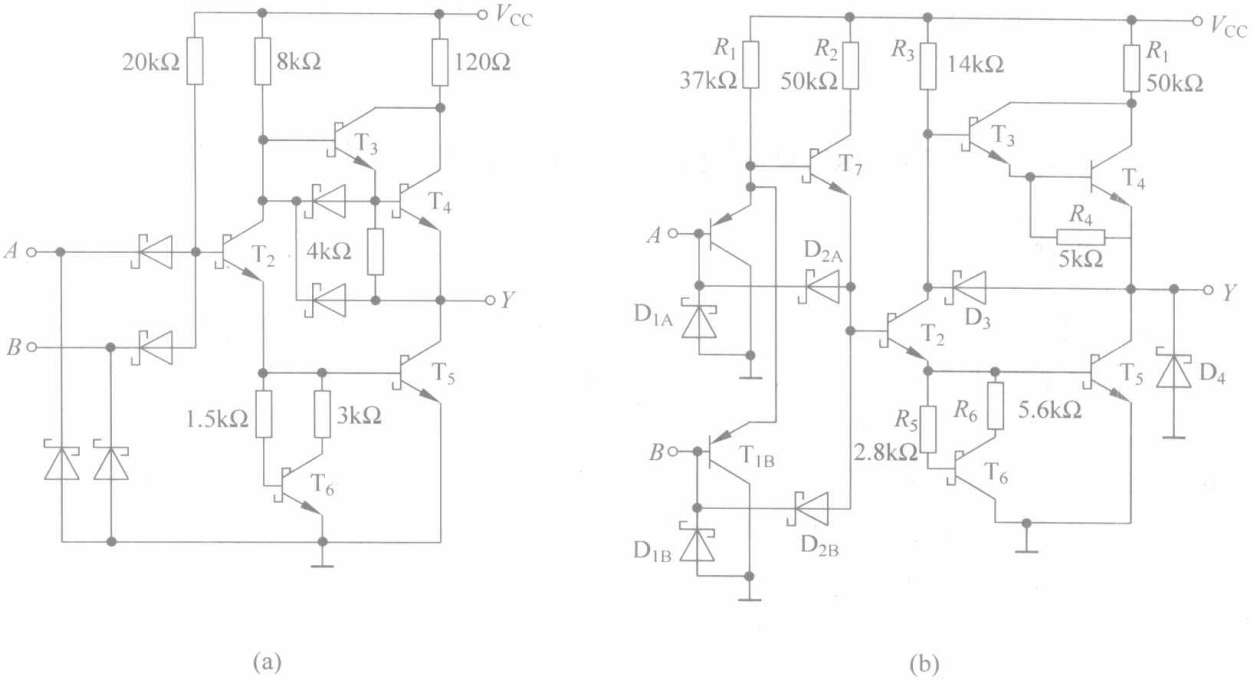


(a)



(b)

图 4.14　STTL(a)及 ASTTL(b)的电路图



(a) (b)

图 4.15 LSTTL(a)及 ALSTTL(b)的电路图

(1) 直流特性不同。AS/ALS 电路的速度更高,功耗更低,负载能力更强。

(2) 工艺不同。AS/ALS 电路采用介质隔离、离子注入等新技术,从而器件尺寸更小,寄生效应也大大减小。

(3) 电路结构和参数有如下不同。

STTL 电路采用多发射极晶体管,LSTTL 电路采用 SBD 作为输入级,而 AS/ALS 电路采用衬底 PNP 管作为输入级,此输入级的低电平输入电流 I_{IL} 是 T_1 管的基极电流,即

$$I_{IL} \approx \frac{I_{E1}}{\beta_P} = \frac{V_{CC} - V_{BE} - V_{IL}}{\beta_P R_1} \tag{4.1}$$

比一般 LSTTL 的 I_{IL} 下降了近 $1/\beta_P$(β_P 为衬底 PNP 管的直流电流放大倍数),增大了前级门的低电平负载能力;当输入高电平时,由于 PN 结的反向饱和电流比 SBD 管的小很多,加上在多端输入时各输入管的集电极是共用的,所以各发射结的面积可比原来 SBD 管的小,因此高电平输入电流 I_{IH} 也比一般 LSTTL 电路的 I_{IH} 小很多,使前级门的高电平负载能力也得到提高。

AS/ALS 电路在输入级和分相级之间增加了 T_7 管,T_7 管的发射结提高了电路的阈值电压 V_{TH},使

$$V_{TH} = V_{BE5} + V_{BE2} + V_{BE7} - V_{BE1} \approx 1.4\text{V}$$

改善了低电平噪声容限。

AS/ALS 电路的主要电阻比 STTL/LSTTL 电路的大,所以功耗下降。ASTTL 电路中的 T_{10} 还起到了降低瞬态功耗的作用。

AS/ALS 电路由于增加了 D_2 和 D_3（AS 电路为 T_8）管，使导通的延迟时间下降，提高了电路的速度。

4.5 中、大规模集成电路中的简化逻辑门

4.5.1 简化逻辑门

中、大规模集成电路中的逻辑门可分为三类：输入门、内部门和输出门。输入门与输入端直接相连，直接感受外部的干扰，它的输出与内部门相连，所以负载是固定的，且受到的干扰也较小，所以对输入门的基本要求是输入阻抗要高，抗干扰能力要强。输出门与输出端相连，直接驱动外部负载，所以要求输出门的负载能力要强。内部门的特点是数量大、功耗小、电路简单。由于它不去驱动外部负载，所以不受外部干扰，因而允许噪声容限低。内部门的负载数 N_O 少，且固定。由于它与负载级在同一芯片上，所以连线短，负载电容小。所谓内部门电路可以简化，实际上只能简化内部门的输出驱动部分，它可不必再分高电平输出管（达林顿管）和低电平输出管 T_5，而把分相管 T_2 兼作输出级。其电路如图 4.16 和图 4.17 所示。

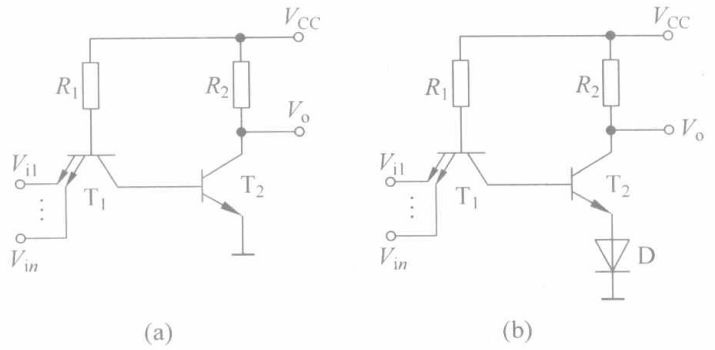


图 4.16 两管单元简化与非门

(a) 低阈值；(b) 高阈值

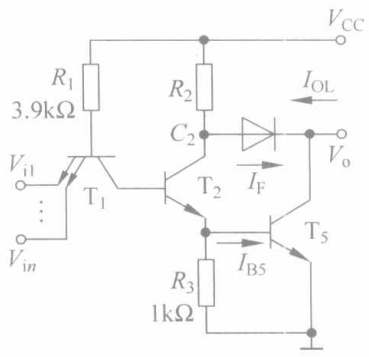


图 4.17 三管单元与非门

4.5.2 单管逻辑门

在中、大规模集成电路中，除了上述各种简化门外，也常用单个晶体管来组成逻辑门，常用的有单管禁止门、单管串接与非门等。单管逻辑门的特点是线路简单，逻辑功能强，功耗低，但其负载能力差，互连不当会造成逻辑错误。

1. 单管禁止门

整个电路只用一只晶体管（如图 4.18 所示），基极 A、发射极 B 为输入端，集电极 Y 为输出端。当 $B=1$ 时，禁止基极的信号传到集电极，而当 $A=0$ 时，禁止发射极信号传到集电极，所以是一种禁止门。只有当 $A=1, B=0$ 时，输出才为低电平，其逻辑表达式为

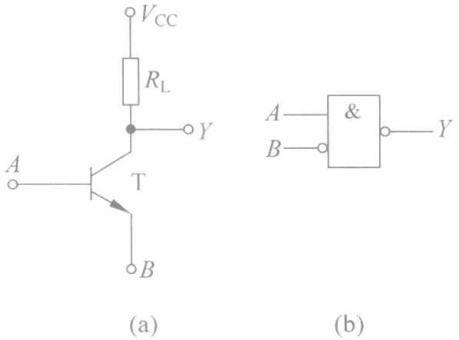
$$\overline{Y} = A \cdot \overline{B} \tag{4.2}$$

$$Y=\overline{A\cdot\overline{B}} \tag{4.3}$$

2. 单管串接与非门

图 4.19 为单管串接与非门的电路及逻辑符号，由图可见，它是一个多发射极晶体管，A,B,C 为输入端，Y 为输出端。当 $A=0$ 时，禁止 B,C 端信号传到 Y；当两个发射极中至少有一个为低电平时，加在基极（A 端）的信号可以传到 Y，若发射极各端全为高电平，则基极的信号被禁止，其逻辑表达式为

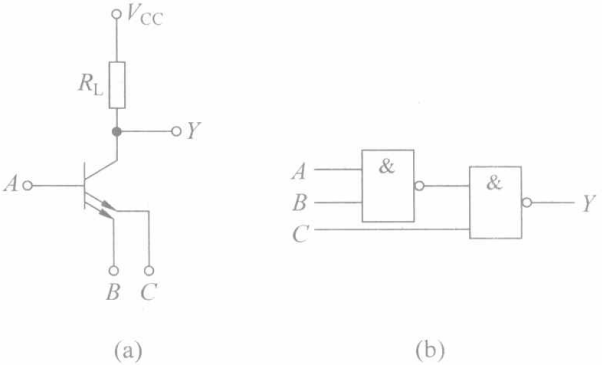
$$Y=\overline{A\cdot(\overline{B}+\overline{C})}=\overline{A\cdot\overline{B\cdot C}} \tag{4.4}$$



(a) (b)

图 4.18 单管禁止门

(a) 电路图；(b) 逻辑符号



(a) (b)

图 4.19 单管串级与非门

(a) 电路图；(b) 逻辑符号

当只有一个发射极时，单管串接与非门就变为单管禁止门。

3. 单管逻辑门的逻辑扩展

(1) 由单管禁止门组成简化异或非门。如果把两个单管禁止门的基极、发射极交叉互连，其集电极“线与”作为输出（如图 4.20 所示），就构成了简化异或非门。由单管禁止门的逻辑关系知：T 管的输出为 $\overline{A\cdot\overline{B}}$，T′管的输出为 $\overline{\overline{A}\cdot B}$，所以

$$Y=\overline{A\overline{B}}\cdot\overline{\overline{A}B}=\overline{A\overline{B}+\overline{A}B}=\overline{A\oplus B} \tag{4.5}$$

如果在后边再加一级非门，就构成了简化异或门，如图 4.21 所示。

(2) 两个单管禁止门的发射极并联，可代替三个与非门，如图 4.22 所示。

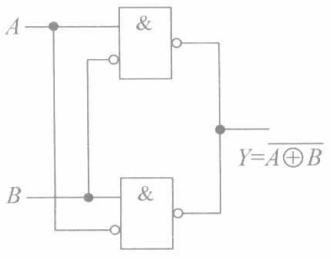
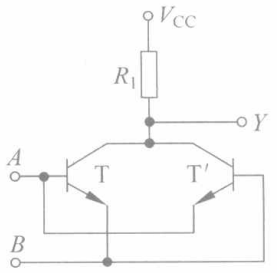


图 4.20 简化异或非门的线路图和逻辑图



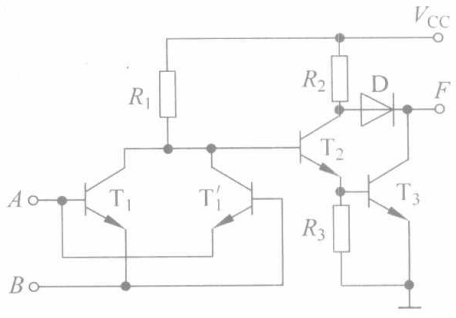


图 4.21 简化异或门

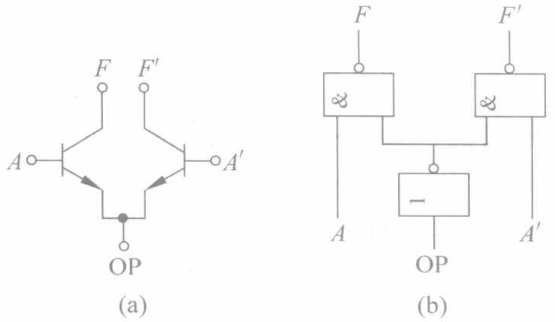


图 4.22　两个单管禁止门发射极并联及其逻辑图

(3) 将几个单管串接与非门的三个端点做不同连接时，可构成许多复杂的逻辑关系。

① 第一级的集电极和第二级的基极(C_1，B_2)串接，如图 4.23 所示。其逻辑表达式为

$$Y = \overline{A_1 B_1 \cdot \overline{A_2 B_2}} \tag{4.6}$$

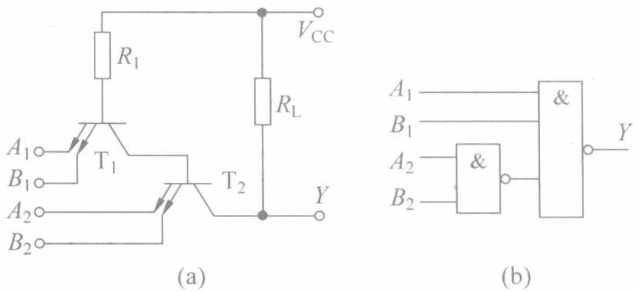


图 4.23　两级单管门的 C_1，B_2 串接应用及其逻辑符号

② 第一级的集电极和第二级的发射极(C_1，E_2)串接，如图 4.24 所示。它是将第一级的输出 Y_1 作为第二级发射极的输入端之一，所以电路的逻辑关系为

$$Y_1 = \overline{A_1 \overline{B_1 C_1}} \tag{4.7}$$

$$Y = \overline{A_2 \overline{B_2 Y_1}} = \overline{A_2 \overline{B_2} + A_2 \overline{Y_1}} = \overline{A_2 \overline{B_2} + A_2 A_1 \overline{B_1 C_1}} \tag{4.8}$$

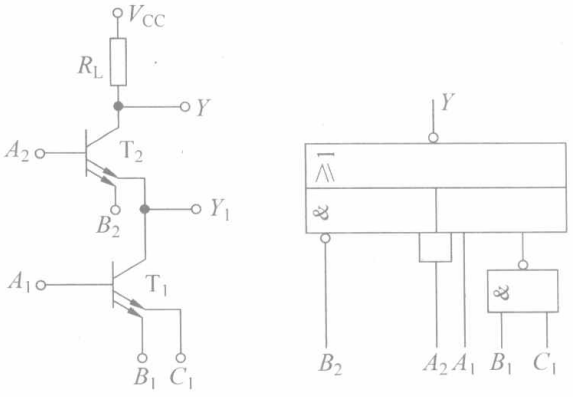


图 4.24　C_1，E_2 串接

③ 两个串接与非门的输出端线与，其电路和逻辑符号如图 4.25 所示，其逻辑关系为

$$Y = \overline{A_1\,\overline{B_1C_1}} \cdot \overline{A_2\,\overline{B_2C_2}} = \overline{A_1\,\overline{B_1C_1} + A_2\,\overline{B_2C_2}} \tag{4.9}$$

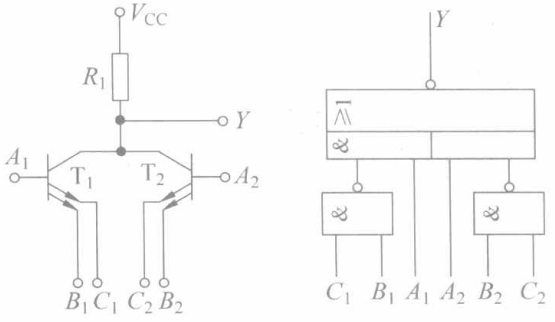


图 4.25　C_1，C_2 并联

④ 由单管串接与非门组成简化“与或非”门，其电路图如图 4.26 所示，相当于两个二管单元简化与非门将其分相管的输出线与，其逻辑表达式为

$$Y = \overline{AB} \cdot \overline{CD} = \overline{AB + CD} \tag{4.10}$$

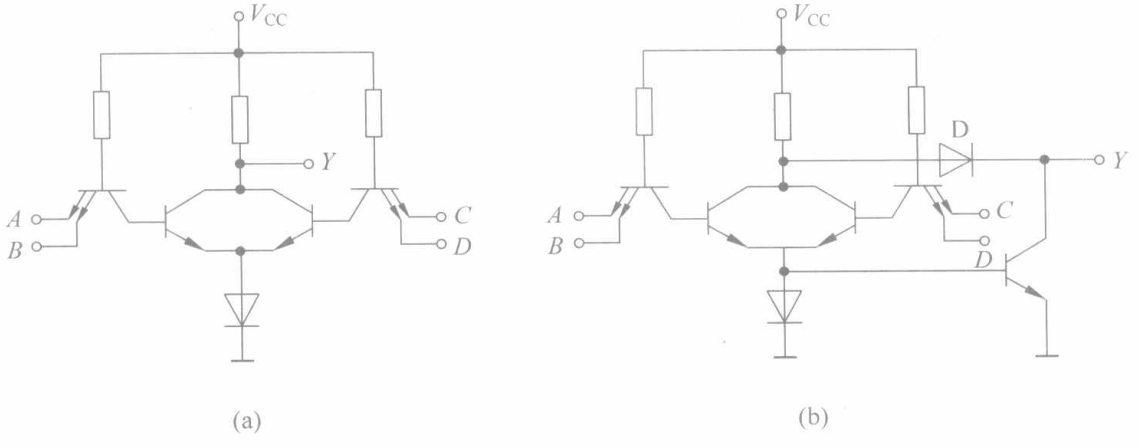


图 4.26　由单管串接与非门构成的简化“与或非”门

4. 单管逻辑门的直流运用特点及级连

单管逻辑门具有线路简单，逻辑功能较强，功耗低等优点，但若级连不当，会发生问题。

单管逻辑门的输出 0 电平比发射极端的输入 0 电平高一个晶体管的饱和压降，所以在多级单管逻辑门级连运用时，各级的输出低电平并不相同，会逐级提高。因此在多个单管逻辑门 C_1，B_2 串接使用时，要求前一级的输出低电平 V_{OL} 小于后一级的阈值电压 V_{th}。

当单管逻辑门导通时，其基极电位 V_B^1 将被钳制在

$$V_B^1 = V_E^0 + V_{BE} \tag{4.11}$$

式中，上标“1”表示为 1 电平时的 V_B，上标“0”表示为 0 电平时的 V_E。

当几个单管逻辑门的基极并联而受同一门驱动时，应该在每个单管逻辑门的基极输入

端加一个隔离门，否则会引起抢电流现象或逻辑错误。若不加隔离门(见图 4.27(a))，则此时前级门的 1 电平将被钳位在

$$V_C^1 = (V_{BE} + V_{E2}^0)_{min} \tag{4.12}$$

式中 V_{E2}^0 为各 T_2 管发射极 0 电平。若各 T_2 管的($V_{BE}+V_{E2}^0$)不同，就会发生抢电流现象，设各管的 V_{E2}^0 相同，则较大的电流将流入($V_C^1-V_{E2}^0$)较大的管子。结果将使各 T_2 管的输出不同，甚至可能有的导通，有的截止，造成逻辑错误。

当加上隔离门后(如图 4.27(b))，此时逻辑关系没变，但避免了抢电流现象和逻辑错误的发生。

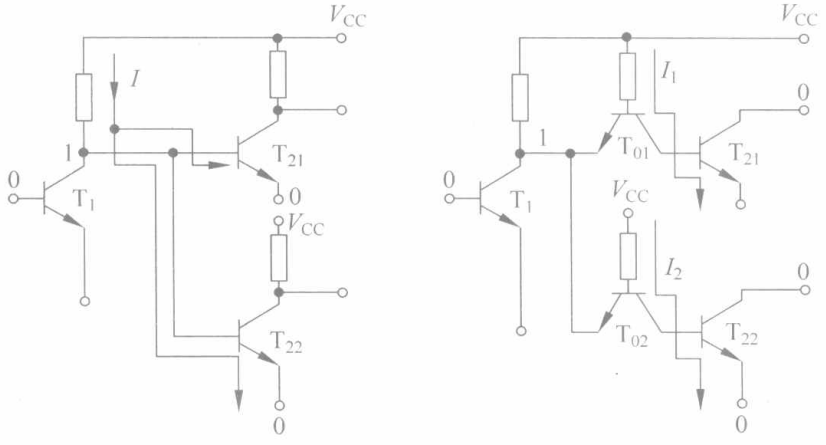


图 4.27　两个单管门基极并联受同一门驱动时

(a) 不带隔离门；(b) 带隔离门

在基极输入的单管逻辑门和其他 TTL 门并接输入时，也会有类似的问题发生，解决的办法也是在单管逻辑门的基极端前加一隔离门，如图 4.28 所示。

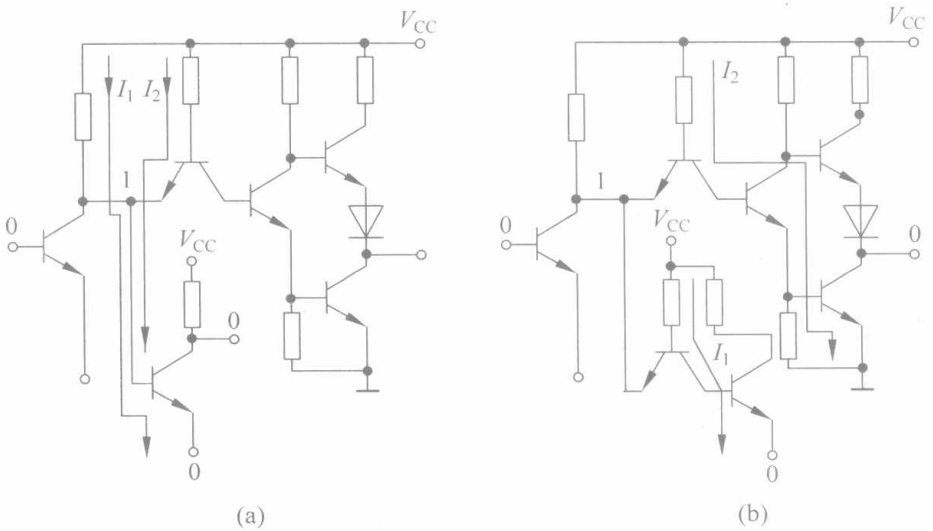


图 4.28　单管门和其他 TTL 门并接输入时

(a) 单管门不带隔离门；(b) 单管门带隔离门

4.6 LSTTL 电路的版图设计

由第 1 章的介绍我们知道，双极型 TTL 集成电路中的元器件，相互之间需要电隔离。只有当它们所处的隔离岛（外延层）等电位时，才能共岛。例如两个集电极电位相等的 NPN 管可以共岛，各基区扩散电阻原则上可共岛，两个基极电位相等的 PNP 管可以共岛等；另外，在第 2 章、第 3 章中还介绍了元器件的面积、尺寸与通过它们的电流有关，与工艺水平有关等。

所以，TTL 集成电路版图设计，首先是划分隔离岛，将元件分成若干个独立的设计单元，然后按参数的要求进行元器件的图形，尺寸的设计，再将这些单元进行布局和布线，形成版图（详见第 18 章）。如图 4.8 所示的 54LS/74LS 系列 TTL 与非门电路的版图设计步骤如下：

1. 划分隔离区

根据隔离岛的划分原则，本电路可划分成七个隔离区（不包括压焊块的隔离岛，每个压焊块都需要一个独立的隔离岛）。

2. 基本设计条件的确定

包括采用的工艺、基本的工艺设计参数和版图设计规则。

3. 各单元的图形设计

集成电路中各元器件的图形和尺寸，取决于它在集成电路中的作用以及对其参数的要求，所有尺寸的设计要符合版图设计规则的要求。所以在进行各单元的图形、尺寸设计前，首先要对电路进行分析。例如，关于基区扩散电阻的设计，如第 3 章中介绍的那样，当知道版图设计规则、通过电阻的电流和对电阻的参数要求后，先确定电阻条的最小宽度 $W_{R,min}$，然后计算电阻的长度 L。至于电阻的形状，可根据布局和布线的要求适当进行调整。又如一般 NPN 晶体管的设计，当知道对其参数要求后（如 f_T，I_{CM}，V_{CES} 等），首先确定图形结构，然后根据单位有效发射区周长所允许的最大电流 α_E 计算有效发射区总的长度，再由设计规则确定图形各部分的尺寸和间距。

4. 布局

布局即把元器件按照电路的要求以及连线的要求，安排在合适的位置上。

5. 布线

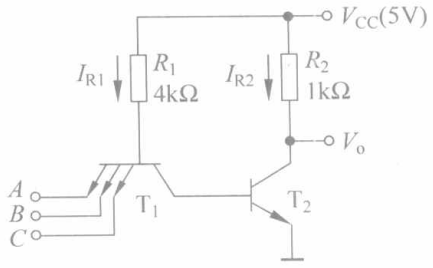
布线即按照电路的连接关系以及连线的要求，把元器件连接成电路的复合版图。

复习思考题

4.1 试画出一个 TTL 门电路，其中包括一个三输入端的多发射极晶体管 T_1，一个电平位移二极管 D，一个反相输出级 T_2。写出此门电路输入与输出的逻辑关系。

4.2　试述在标准 TTL 与非门电路中引入多射极晶体管的思路。多射极晶体管引入后又会给电路的漏电带来哪些影响？决定标准门速度的是哪些管子？对电路的功耗影响较大的，是哪些元器件？如果 V_{OH} 偏低，试分析其原因；如果 V_{OL} 偏高，试分析其原因。

4.3　试求图题 4.3 所示简易 TTL 电路的空载导通电源电流 I_{CCL} 和空载截止电源电流 I_{CCH}，并求出相应功耗。



图题 4.3

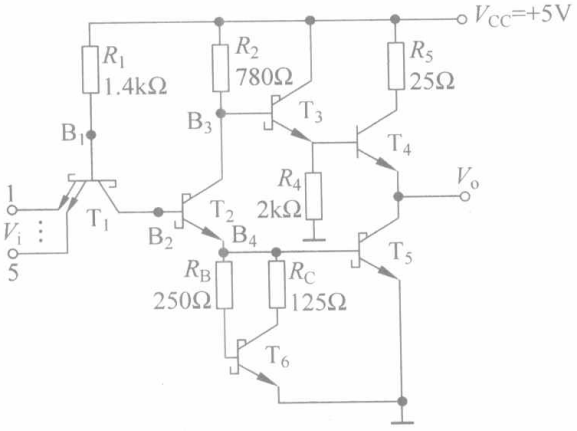
4.4　某个 TTL 与非门的输出低电平测试结果为 $V_{OL}=1V$。试问这个器件合格吗？上机使用时有什么问题？

4.5　试分析图题 4.5 所示 STTL 电路在导通态和截止态时各节点的电压和电流，假定各管的 $\beta=20$，V_{BEF} 和一般 NPN 管相同，$V_{BCF}=0.55V$，$V_{CES}=0.4\sim0.5V$，$V_{CES1}=0.1\sim0.2V$。

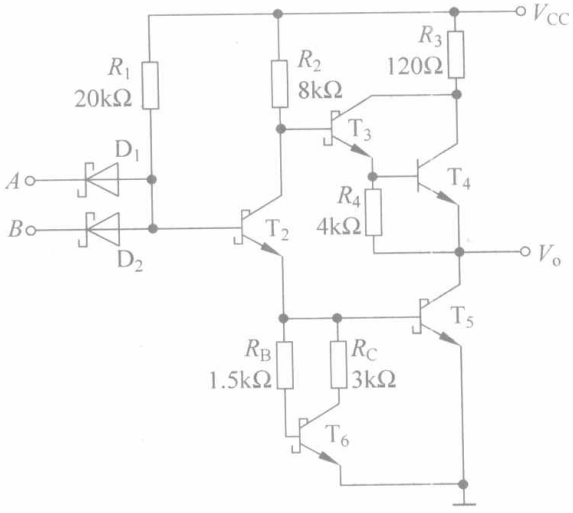
4.6　试画出 STTL 与非门多发射极晶体管的版图示意图（工艺复合图）及工艺剖面图（横截面图）。

4.7　要求图题 4.7 所示电路在低电平输出时带动 20 个同类门，试计算输出管 T_5 的集电极串联电阻的最大值 $r_{CS5,max}$ 是多少？

已知：$V_{BE}=0.75V$，$V_{DF}=0.4V$，$V_{MS5}=0.45V$，$V_{OL,max}\leqslant0.4V$。



图题 4.5

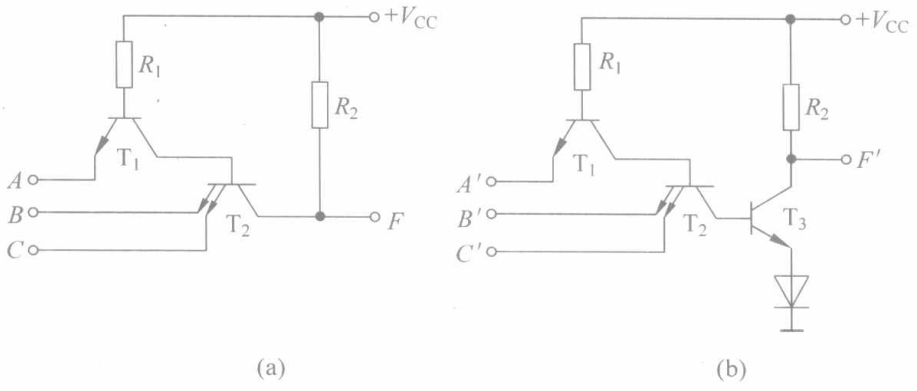


图题 4.7

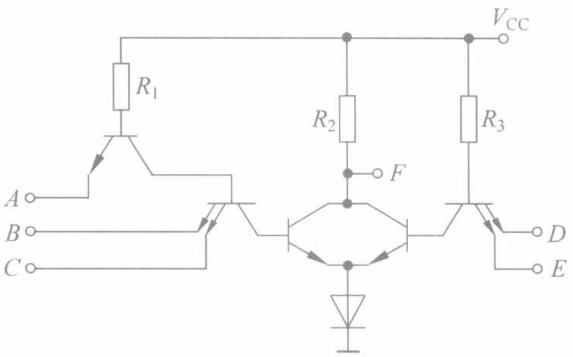
4.8　试分析图题 4.8 所示两种电路在逻辑功能上的差别及产生差别的原因，并写出 F，F' 的逻辑表达式。

4.9　写出图题 4.9 所示电路的输入与输出的逻辑关系。

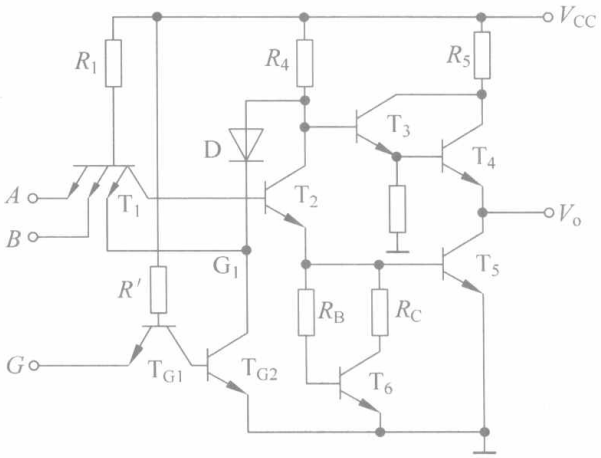
4.10　试分析图题 4.10 所示电路的工作状态（即输入为高、低电平时电路的输出状态）。



图题 4.8

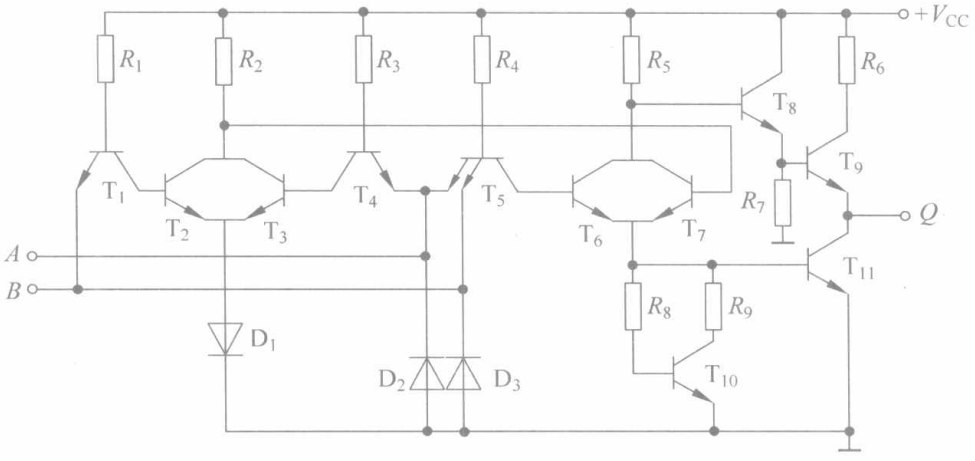


图题 4.9



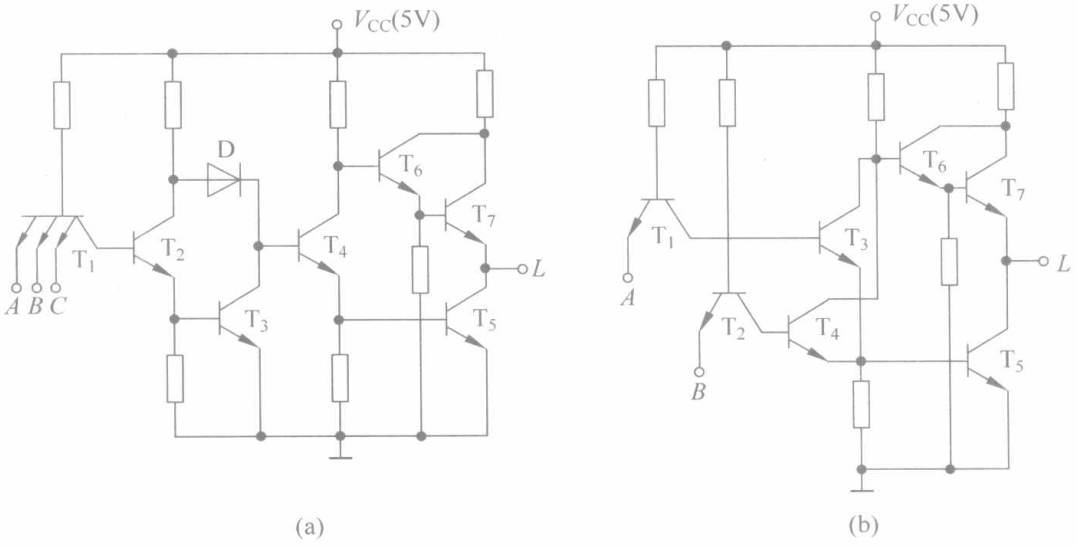
图题 4.10

4.11　写出图题 4.11 所示电路的 Q 与 A，B 的逻辑关系，并说明为什么输出级一定要用有源泄放电路。



图题 4.11

4.12　分析图题 4.12(a)及(b)所示电路的功能，写出其逻辑功能表达式。



图题 4.12

4.13　分析图题 4.13(a)及(b)的电路功能，并画出逻辑图，写出表达式。

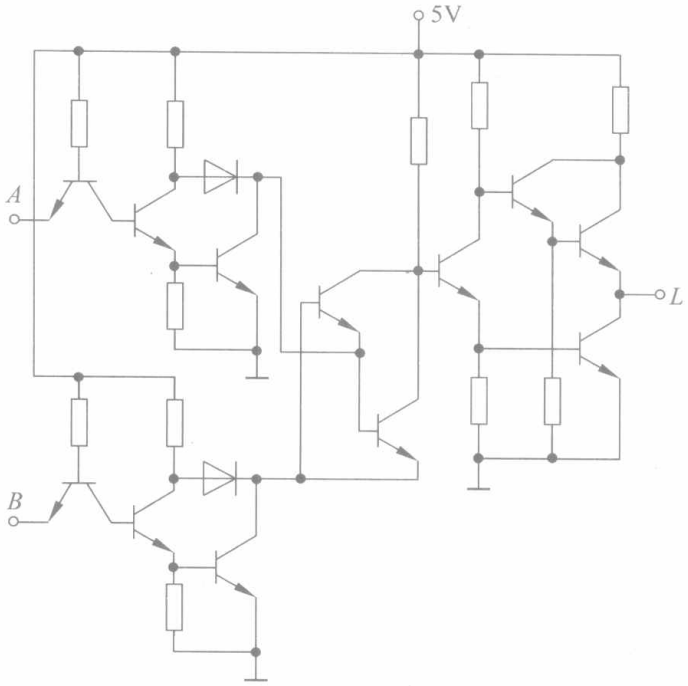
4.14　改正图题 4.14 所示 TTL 电路的错误。

4.15　试分析图题 4.15(a)，(b)所示电路的逻辑功能。

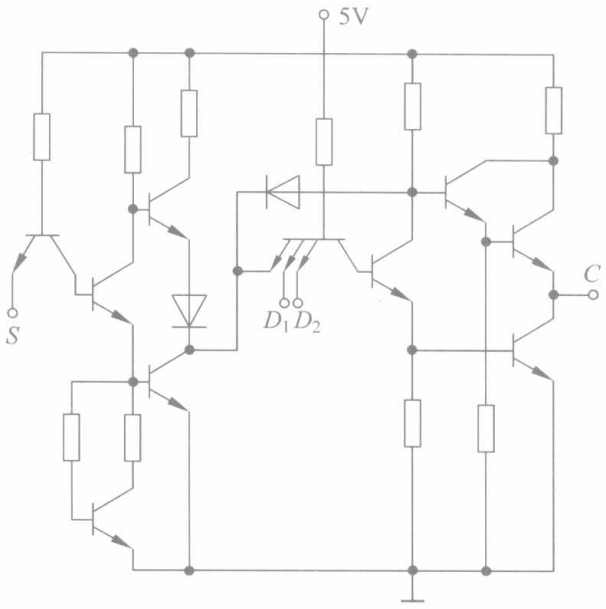
4.16　试写出图题 4.16 所示电路的逻辑表达式，并说明该电路的名称。

4.17　TTL 集成电路有哪些系列？它们各有什么特点及优缺点？

4.18　以提高速度、降低功耗为线索，试总结 TTL 电路由标准系列发展到其他各种类型电路形式的思路。

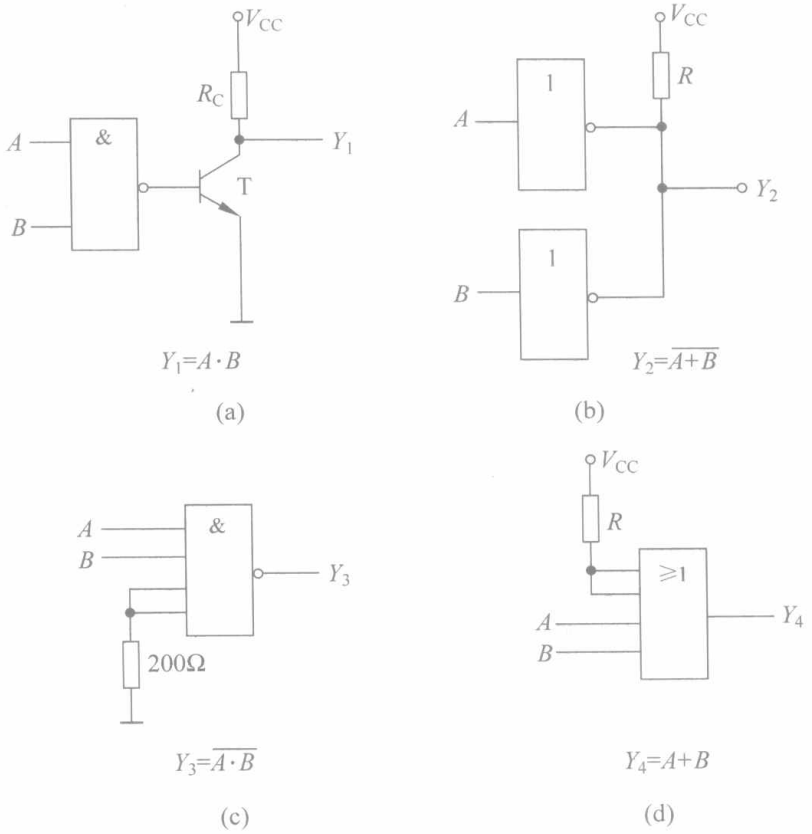


(a)

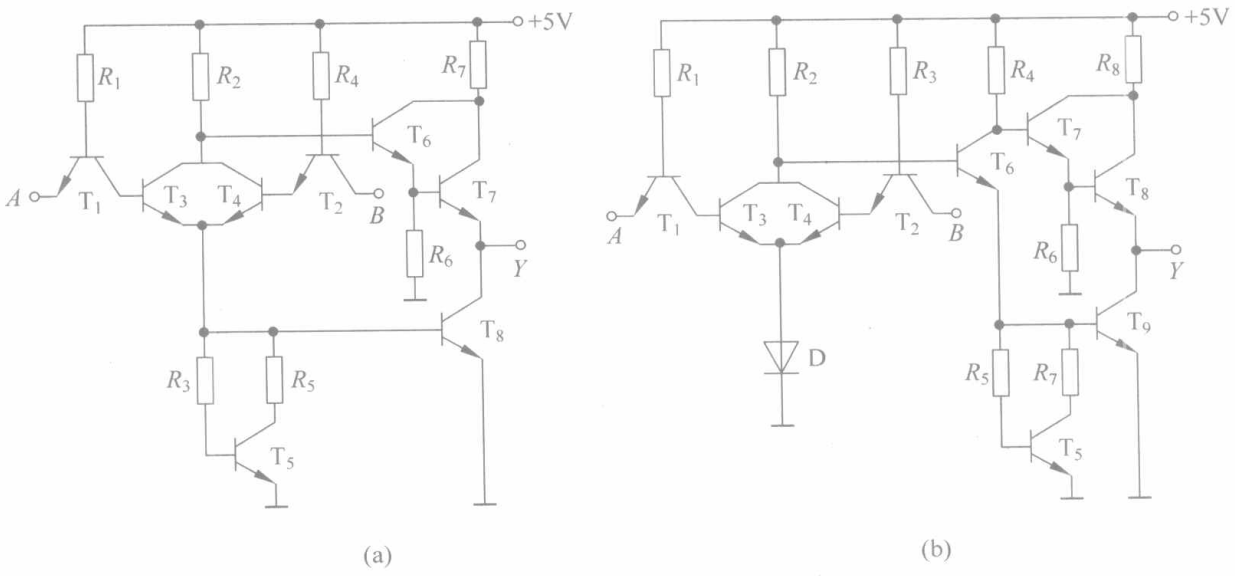


(b)

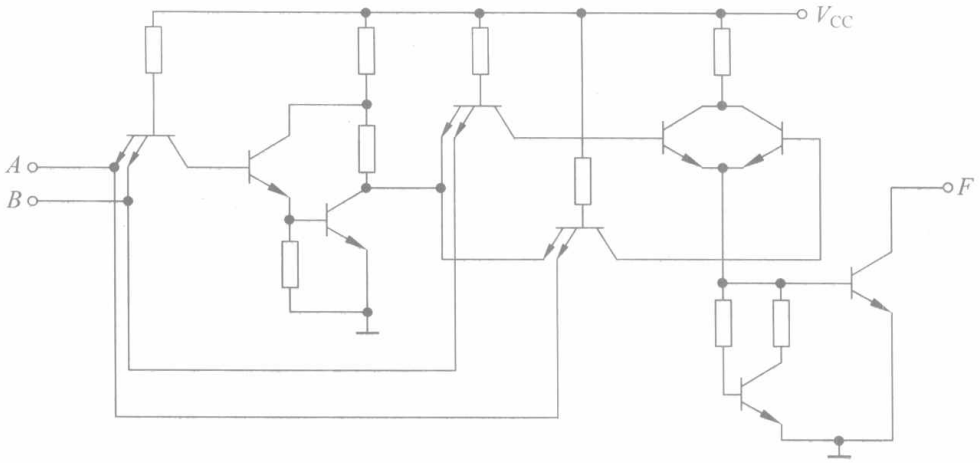
图题 4.13


V_{CC}
R_C
A
&
B
T
Y_1
$Y_1=A\cdot B$
(a)
V_{CC}
R
1
A
B
1
Y_2
$Y_2=\overline{A+B}$
(b)
A
B
&
Y_3
200Ω
$Y_3=\overline{A\cdot B}$
(c)
V_{CC}
R
≥1
A
B
Y_4
$Y_4=A+B$
(d)

图题 4.14


+5V
R_1
R_2
R_4
R_7
T_6
A
T_1
T_3
T_4
T_2
B
T_7
R_6
Y
T_8
R_3
R_5
T_5
(a)
+5V
R_1
R_2
R_3
R_4
R_8
T_7
T_6
T_8
A
T_1
T_3
T_4
T_2
B
R_6
Y
T_9
D
R_5
R_7
T_5
(b)

图题 4.15



图题 4.16

第5章　发射极耦合逻辑(ECL)电路

TTL电路由于采用了多发射极晶体管作为输入级，借助于多发射极晶体管对电流的反抽作用，加速晶体管基区和集电区存储电荷的释放，从而大大提高了电路的开关速度，而STTL和ASTTL电路由于采用肖特基钳位晶体管和新工艺，抑制了晶体管的过饱和及寄生电容，使开关速度进一步得到提高，但它仍没能完全摆脱“饱和”这一状态。

为了适应数字系统在超高速方面的需求，人们从非饱和形式对开关电路进行了研究，1962年美国摩托罗拉公司制成第一个电流型逻辑电路——发射极耦合逻辑(ECL)集成电路。它工作时晶体管在放大和截止两个状态间转换，不进入饱和区，这就从线路结构和设计上根除了常规TTL(包括STTL)电路中晶体管由饱和到截止状态(即由“开”转“关”)转换时所需释放超量存储电荷的“存储时间”，加上各点电平变化幅度小，也没有STTL电路因采用SBD钳位而带来的附加寄生电容，因而ECL电路的速度很高，这种电路的平均延时可以做到几纳秒甚至亚纳秒数量级。

但从某种意义上说，ECL电路开关速度的提高，是以牺牲功耗换取的，它空载时的每门平均功耗为25mW左右，比TTL(10mW)要大。近年来经过改进电路结构和采用新工艺，目前的平均延迟时间在亚纳秒数量级的单元电路功耗可降至几毫瓦的数量级，使ECL电路成为数字系统中无以匹敌的重要角色。

与其他数字电路一样，ECL电路的逻辑功能基础也可归结为基本门电路的工作过程，所以本章以ECL10K(国内为E10K)系列中的或/或非门为例，首先对ECL电路的基本门电路进行分析，接着讨论ECL电路的逻辑扩展及版图设计。

5.1　ECL门电路的工作原理

ECL电路中的基本门是或/或非门，E10K系列的基本门电路是由电流开关、参考电压源和射极输出器三部分组成，如图5.1所示。其中T_{1A}，T_{1B}及T_2管，R_{C1}，R_{C2}和R_E组成射极耦合电流开关，它是ECL电路的核心部分，其中T_2管为定偏管，从V_{C2}，V_{C1}获得或/或非输出。T_5，D_1，D_2，$R_1 \sim R_3$构成参考电压源，为定偏管T_2提供固定的基极偏置电压，T_3，T_4为射极开路的射极输出器，作为电路的输出级，以解决输入与输出电平的匹配问题。

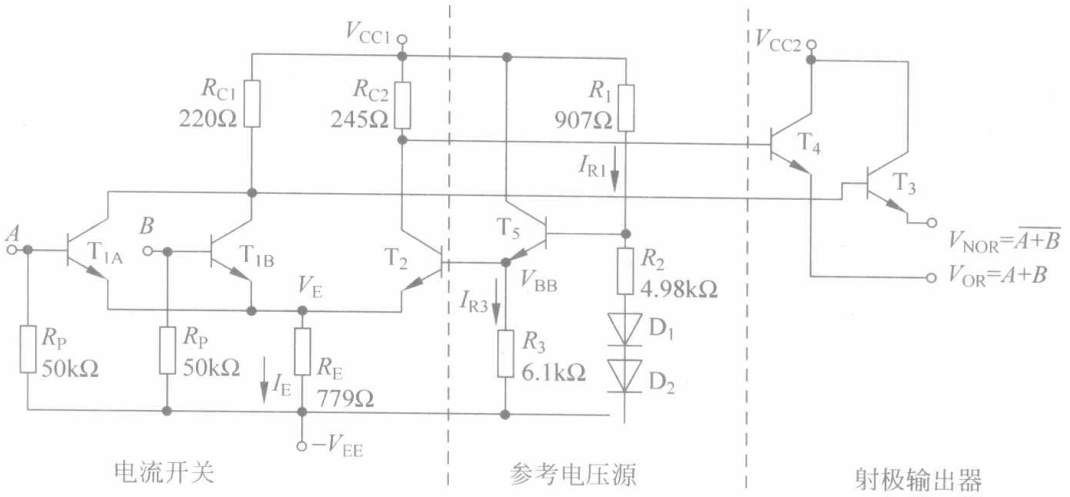


图 5.1　ECL 电路的基本门——或/或非门电路

5.1.1　射极耦合电流开关

由图 5.1 可见，射极耦合电流开关实际上是一个一边为固定输入 V_{BB}，另一边为大信号多输入端的射极耦合差分级，它的工作原理跟单端输入、双端输出的差分放大器非常类似，但它只对信号起传递作用。因为 $R_E \gg R_{C1}$，R_{C2}，所以负反馈很强，它不仅使 ECL 电路输入阻抗很高，而且使晶体管稳定可靠地工作在放大区。R_P 是由基区沟道电阻做成的输入下拉电阻，为输入晶体管的反向漏电提供通路，并保证了不用的输入端固定在 0 电平。一般说来，ECL 电路推荐使用负电源 $V_{EE}=-5.2\text{V}$，T_1，T_2 的集电极直接对地输出（$V_{CC}=0$），这种接法使电路速度很快，交流性能好，且以“地”作为参考电平最为稳定。其典型的逻辑低电平 $V_{OL}=-1.75\text{V}$，逻辑高电平 $V_{OH}=-0.924\text{V}$，而 $V_{BB}=-1.29\text{V}$，为逻辑电平的中间值。

电路工作的全过程是：当输入 V_i 由 -1.75V 变为 -0.924V，或说输入 A 或输入 B 由 0 变为 1 时，V_{C1} 由 0V 变为 -0.98V，或说由 1 变为 0，即输入管起了反相器作用，从输入管的输出端 V_{C1} 可以获得 $\overline{A+B}$。而 V_{C2} 由 -0.98V 变为 0V，或说 0 变为 1，即定偏管 T_2 是同相输出，从 V_{C2} 可获得 $A+B$。

电流流通的情况是：当 V_i 由 0 变为 1 时，输入管导通，T_2 管截止，电流 I_E 全部流经输入管。当 V_i 由 1 变为 0 时，T_2 管导通，输入管截止，电流 I_E 全部流经 T_2 管。两种情况下电流 I_E 差别不大，相当于一个恒流源。

此电路的作用相当于一个电流开关，时而把电流拨给输入管，时而又把电流拨给 T_2 管。这就是所谓电流型开关逻辑电路的由来，但它们的输出高、低电平比输入高、低电平约高 0.8V。

5.1.2　射极输出器

射极输出器 T_3，T_4 的作用有三个：

(1) 保持输出相位不变、逻辑关系不变。

(2) 进行电平位移。由于电流开关的输出高、低电平比输入高、低电平约高 0.8V，所以电流开关的输出不能直接作为下一级 ECL 电路的输入，不然会引起逻辑错误。经射极跟随器位移一个 V_{BE} 后，可以获得 ECL 标准逻辑电平，使前级的输出电平和后级的输入电平数值匹配。

(3) 提高负载能力、扩大逻辑功能等。由于射极跟随器的输入阻抗高(约 6kΩ)、输出阻抗低(约 7Ω)，它不仅起到了缓冲、隔离和电流放大的作用，而且增大了电路的负载能力。E10K 电路采用了射极开路输出形式，扩大了逻辑功能，也为驱动传输线提供了方便。因为射极跟随器有大电流输出，所以采用单独接地，以防止与电路其他部分之间的串扰。在大型系统中，射极输出器还采用 −2V 电源单独供电。

5.1.3 参考电压源

参考电压源虽不是 ECL 电路的主要部分，但却决定着电路逻辑电平的位置、阈值电压和抗干扰能力，特别在电路工作于超高速的情况下，这些问题尤为突出。

由差分放大器的分析可知，电路中定偏管的基极电位 V_{BB} 值确定以后，电路的输入高、低电平值分别为 $V_{IH}-V_{BB}>4V_t$，$V_{IL}-V_{BB}<-4V_t$，电路的输出电平及逻辑电平值也就确定了。如果由于某种原因造成参考电压值发生变化，那么，虽然有同样的逻辑电平输入，输出电平却将发生相应的变化。例如当 0 电平输入时，输入管截止而定偏管导通。如果因某种原因 V_{BB} 变低(但高于 0 电平)，此时流经定偏管的射极电流将随之变小，使 V_{C2} 升高，结果造成“或”端输出的 0 电平变高，如果所增高的电压值过大，甚至可使下一级电路出现错误动作。因此，如何从参考电源中取得合适、稳定的参考电压，对于抗干扰能力较低的 ECL 电路来说，是一个很重要的问题。

ECL 电路所取的参考电压与逻辑电平具有如图 5.2 所示的关系：

输出高电平　$V_{OH}=-V_{BE}$

输出低电平　$V_{OL}=-2V_{BE}$

逻辑摆幅　$V_L=V_{OH}-V_{OL}=V_{BE}$

固定参考偏压　$V_{BB}=V_{OH}-\frac{1}{2}V_{BE}=-\frac{3}{2}V_{BE}$

参考电压取在高、低电平的中心，可使高、低电平的噪声容限基本相等，使电路在全工作温度范围内噪声容限的变化不至于太大。

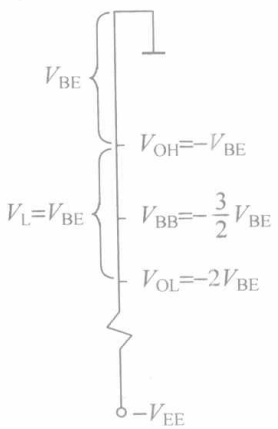
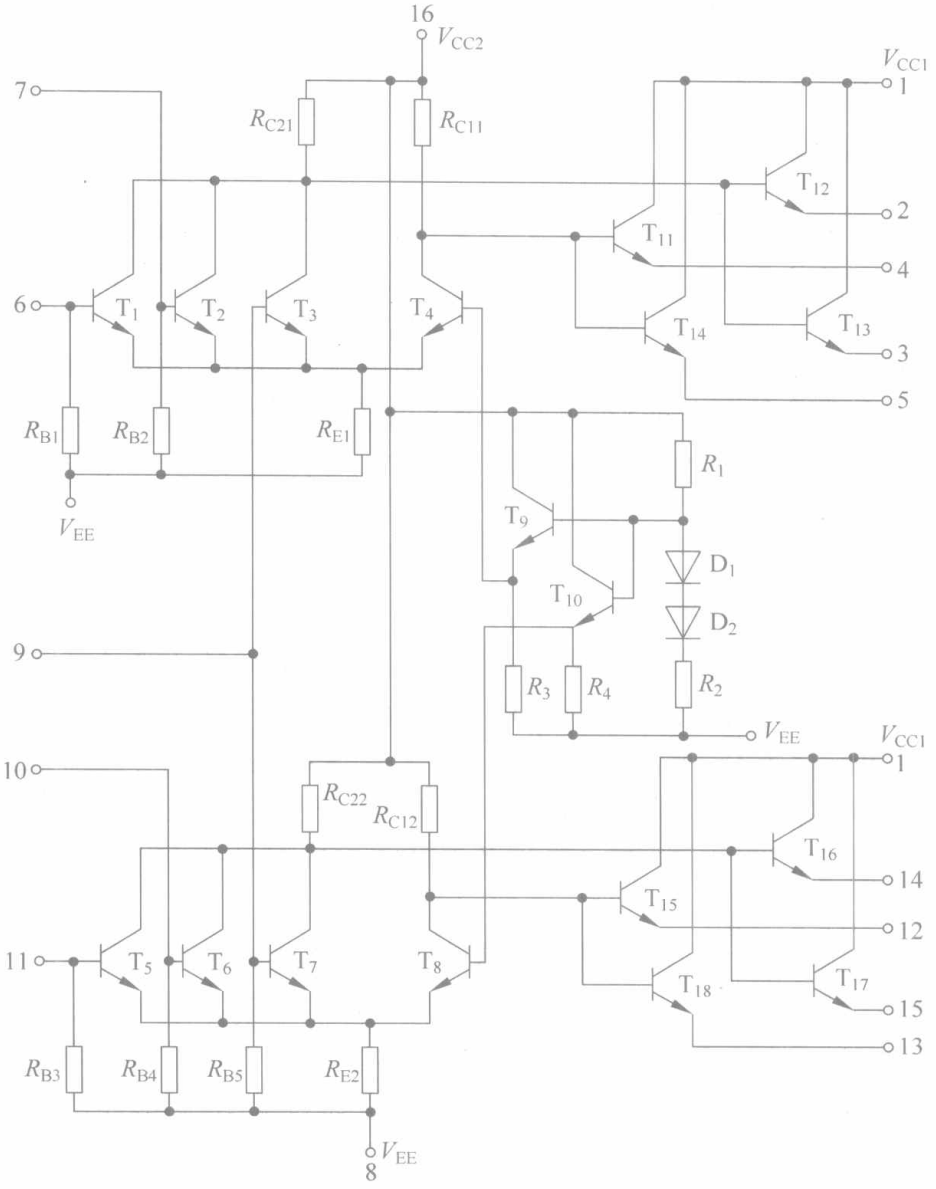


图 5.2　ECL 电路中的各相对电平

在考虑参考源电路结构时，希望不增设电源，而能与 ECL 电路共用同一电源。最简单的参考源电路形式如图 5.1 所示。实际上它是在电阻分压器电路的基础上，加一射极跟随器输出组成。晶体管 T_5 的基极电位由 R_1 和 R_2，D_1，D_2 的分压所决定，所提供的参考电压 V_{BB} 则由 T_5 的基极电位减去 T_5 的 BE 结正向压降 V_{BE5} 而得到。这种结构的参考源电路，基本上能满足要求。

5.2 ECL 电路的版图设计特点

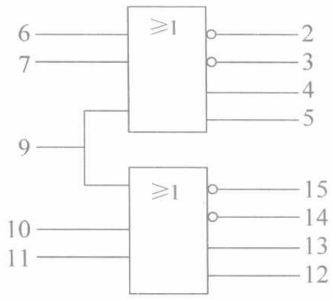
ECL 电路版图设计的一般原则和步骤与 TTL 电路是一样的，但因为 ECL 电路是高速数字电路，所以在版图设计中要着重保证高速、稳定和输出电平的一致等；此外，由于 ECL 电路的功耗较大，所以在布局时要注意热分布问题。下面以图 5.3 所示的 E10112 为例，介绍 ECL 电路的版图设计过程和特点。



(a)

图 5.3 E10112 电路

(a) 电路图；(b) 逻辑图



(b)

图 5.3 （续）

5.2.1 划分隔离区

根据划分隔离区的原则，图 5.3 所示电路可划分为以下多个隔离区：

T_1，T_2 和 T_3；T_4；T_5，T_6 和 T_7；R_{C11}，R_{C21}；T_8；R_{B1}，R_{B2} 和 R_{E1}；R_{C12}，R_{C22}；T_{12}，T_{13}；R_{B3}，R_{B4}，R_{B5} 和 R_{E2}；T_{11}，T_{14}；T_{16}，T_{17}；T_9，T_{10}，R_1，R_2，R_3 和 R_4；T_{15}，T_{18}；D_1；D_2。

因为隔离结的面积较大，其寄生电容对电路的延迟有影响。尽管定偏管 T_4 和 T_8 各占一个区，但为了使“或”端和“或非”端的平均延迟相对称，其隔离区的面积要与输入管 T_1，T_2，T_3 以及 T_5，T_6，T_7 的隔离区的面积一样。

5.2.2 元器件的设计

1. 晶体管和二极管的图形结构设计

由 TTL 的版图设计知，晶体管和二极管的图形结构设计主要由电学参数决定。在 ECL 电路中，平均延迟时间和输出电平是电学参数的主要矛盾，电路的延迟时间 t_{pd} 与平均输入电容 $\overline{C}_B$、集电极电容 $\overline{C}_C$ 及负载电容 C_L 有关；由晶体管原理知，基区渡越时间是影响晶体管特征频率 f_T 的主要因素，而发射结电容 C_{jE} 和发射极电流 I_E 也对特征频率 f_T 有重要影响，所以采用比较狭窄的发射区，减小基区宽度及增加发射区-基区结的杂质浓度梯度是提高 f_T 的重要措施。

根据各种类型晶体管（输入管、定偏管、输出管及参考电源中的晶体管）的最大工作电流 I_{CM} 及单位有效发射区周长的电流限制，可确定各管的发射区有效周长。

综上所述，根据电路的参数要求，结合现有的工艺水平，输入管采用双基极条结构，以获得较高的 f_T；输出管采用梳形结构，以适应大电流容量的要求，且能保证良好的频率特性；参考电源部分的晶体管和二极管不是处于开关工作状态，对 f_T 没有要求，为了提高成品率，尺寸可以适当放宽。

为了减少集电极串联电阻 r_{CS}，所有晶体管集电极窗口均采用磷穿透扩散。

2. 电阻的图形结构

在 E10112 电路中共有 15 个电阻，其阻值如下：

$R_{C11}=R_{C12}=125\Omega$，　$R_{C21}=R_{C22}=110\Omega$，　$R_{E1}=R_{E2}=404\Omega$，　$R_1=907\Omega$，$R_2=4.98\text{k}\Omega$，　$R_3=R_4=6.1\text{k}\Omega$，　$R_{B1}=R_{B2}=R_{B3}=R_{B4}=R_{B5}=50\text{k}\Omega$。

根据各电阻在电路中的作用、阻值的大小及电路性能对其精度的要求，设计成以下几种图形结构。

(1) R_C，R_E

它们的阻值比较小，但它们的比值对输出电平有较大的影响，所以对它们的阻值精度及比值有较高的要求，因而采用胖型结构，且排列取向一致，以减少光刻套刻误差，提高电阻比值的精度。

(2) R_1，R_2，R_3，R_4

这些电阻的阻值较大，所以可以采用瘦型结构。其中 R_1 和 R_2 的比值直接影响到参考电压 V_{BB} 的大小，所以对它们的比值精度要求较高，故将它们设计成宽度相同的、排列方向相同的长条形结构，以提高比值的精度。

(3) R_B

R_B 的阻值较大，但对精度的要求不高，所以采用基区沟道电阻。考虑到基区宽度较窄，由于工艺的不均匀性，在电路工作时有的 R_B 可能会出现夹断现象，所以基区沟道电阻比其他基区扩散电阻增加了一次硼扩散，以防止 R_B 夹断，如图 5.4 所示。

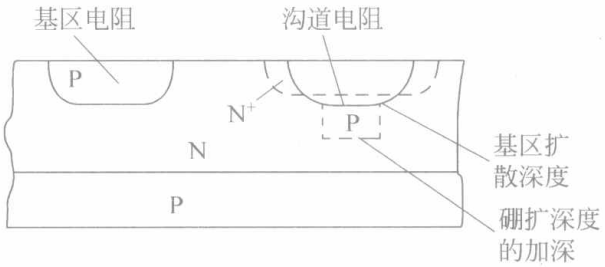


图 5.4　基区扩散电阻增加一次硼扩后的剖面图

5.2.3　布局布线

元器件设计好后，按照版图设计的基本原则，结合 ECL 电路的特点，进行布局布线，E10112 布局布线的草图如图 5.5 所示，由图可以看出 ECL 电路版图设计的一些特点：

(1) 由于输出管流过的电流较大，为了便于散热和使管芯的热分布均匀，将电路的四对输出管排列在版图的两边。

(2) 因为电路在较高的速度下工作，为了防止两个单门工作时相互干扰，分别将它们排布在版图的两侧。同一单门的输入管和定偏管以及每对输出管安排在相邻的位置，且排列方向一致。两对集电极电阻(R_{C11}、R_{C12} 和 R_{C21}、R_{C22})以及两个射极电阻(R_{E1} 和 R_{E2})，也均排列在相邻位置且排列方向一致，以减小工艺、材料和温度的误差，以便获得对称的互补输出。

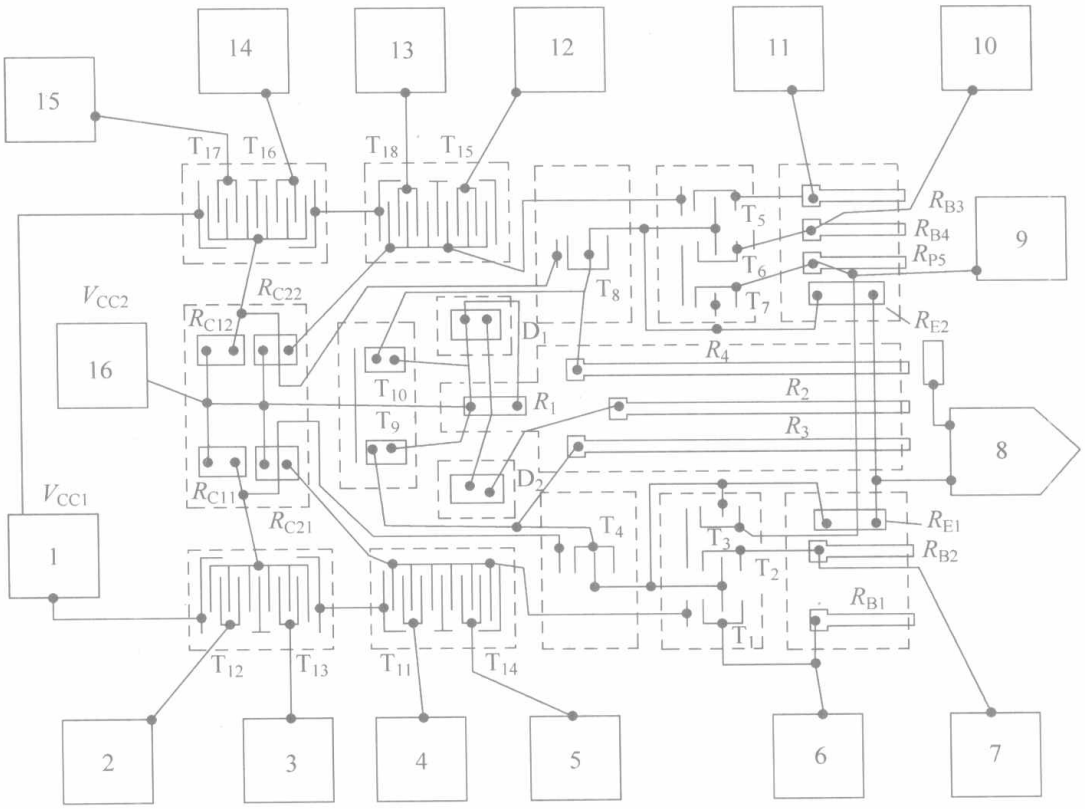


图 5.5　E10112 的布局布线草图

(3) 两个门的参考电源安排在版图的中间，以缩短布线长度。

(4) 为了防止系统内部各部分间的相互干扰，版图中安排了两根地线，其中 V_{CC1} 专为输出晶体管设置，而门的功能部分则用另一根地线 V_{CC2}。

复习思考题

5.1　已知一 ECL 电路如图题 5.1 所示，其 $V_{CC}=0V$，$V_{EE}=-4.5V$，$V_{BEF}=0.8V$，$V_{BB}=-1.2V$，逻辑摆幅 $V_L=0.8V$ 且对称于参考电压，各管的 $I_{E,max}=5mA$，并假定输入和输出的逻辑电平 V_i，V_o 相互匹配，且忽略基极电流的影响。

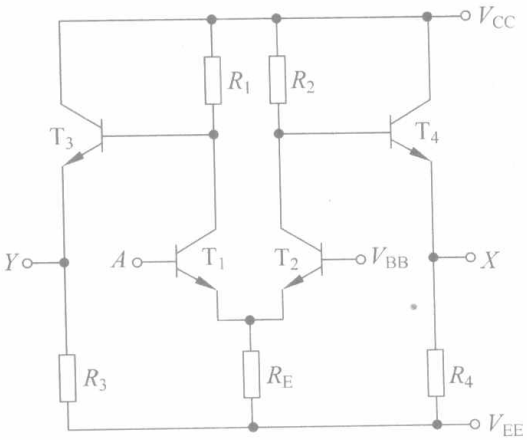
(1) 试计算电阻 R_3 和 R_4 的数值；

(2) 试确定电阻 R_1，R_2 和 R_E 的数值。

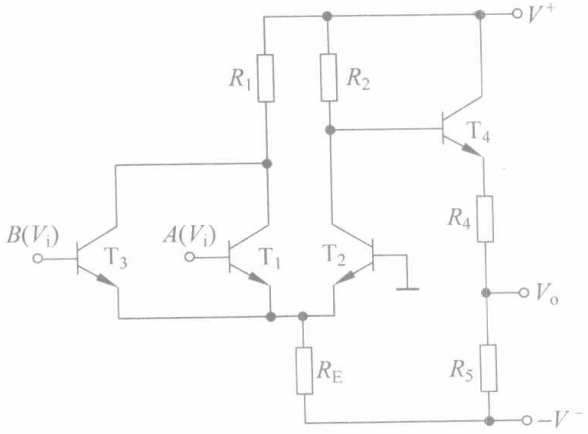
5.2　已知图题 5.2 中 ECL 门电路的 $V^+=3V$，$V^-=-3V$，$V_{BEF}=0.7V$，$R_1=R_2=500\Omega$，$R_E=2k\Omega$，假定 V_i 和 V_o 的高低电平与地电平对称，并且当输入都为低电平时的空载功耗为 20mW。

(1) 计算电阻 R_4 和 R_5，忽略基极电流影响；

(2) 确定逻辑摆幅，忽略基极电流影响。



图题 5.1

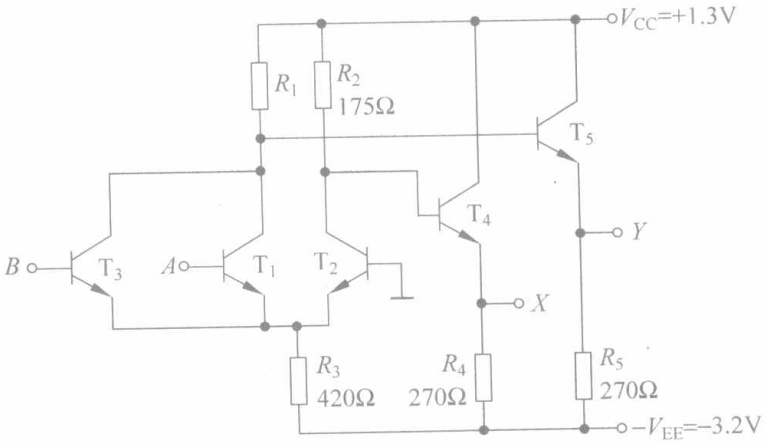


图题 5.2

5.3　图题 5.3 是一个早期的 ECL 电路。

(1) 计算输出 X 处的 V_{OH} 和 V_{OL}；

(2) 若要求 $V_Y=V_X$，试计算 R_1 的值。



图题 5.3

5.4　试说明 ECL 电路的工作速度高于 TTL 电路的主要原因。

5.5　下列哪几条是 ECL 超过 TTL(54/74 系列)的优点：

(1) 较低功耗；

(2) 较短 t_{pd}；

(3) 较大扇出；

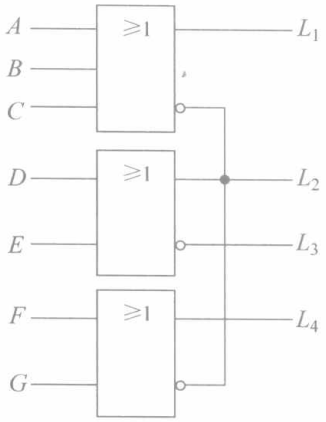
(4) 较大噪声容限；

(5) 互补输出；

(6) 当开关转换时，无电流尖峰。

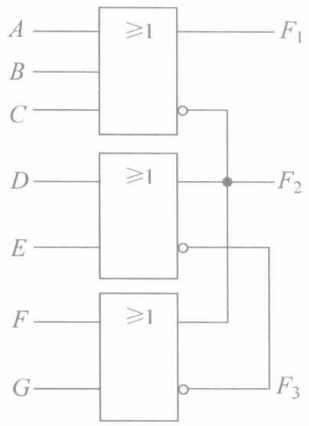
5.6　如图题 5.6 所示为 ECL 的或/或非门电路。试写出 L_1，L_2，L_3 和 L_4 与输入 A，

B,C,D,E,F,G 之间的逻辑关系式 $L=f(A,B,C,D,E,F,G)$。



图题 5.6

5.7　试写出图题 5.7 所示的用 ECL 或/或非门连成的“线或”逻辑 F_1,F_2,F_3 的表达式。



图题 5.7

第6章　集成注入逻辑(I^2L)电路

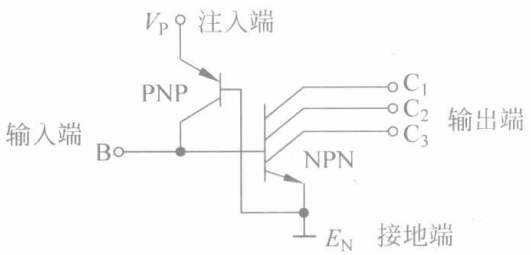
集成注入逻辑(integrated injection logic,I^2L)是双极型集成电路芯片设计的新途径,具有集成密度高,功耗低,延时功耗积小,成本低,工艺与其他双极型集成电路兼容等优点。I^2L 能使设计人员把数字电路和模拟电路放在同一块芯片中,可用它来制造高性能、低成本的数字/模拟结合的 LSI 和 VLSI 电路。

本章主要介绍 I^2L 电路基本单元的结构、工作原理,I^2L 电路的逻辑组合及 I^2L 电路版图设计的一些特点。

6.1　I^2L 电路基本单元的结构

一般 I^2L 电路的基本单元电路及其版图和剖面图如图 6.1 所示。它是一种单端输入多端输出的反相器。由图可见,基本单元由一个横向 PNP 管和一个倒置的多集电极 NPN 管组成,这两个管子有两对电极是共用的:PNP 管的集电极和 NPN 管的基极共用,PNP 管的基极和 NPN 管的发射极共用,二者互相耦合结合成一个统一的整体,所以 I^2L 电路通常又称为并合晶体管逻辑(MTL)电路。这种电路结构具有以下一些特点:

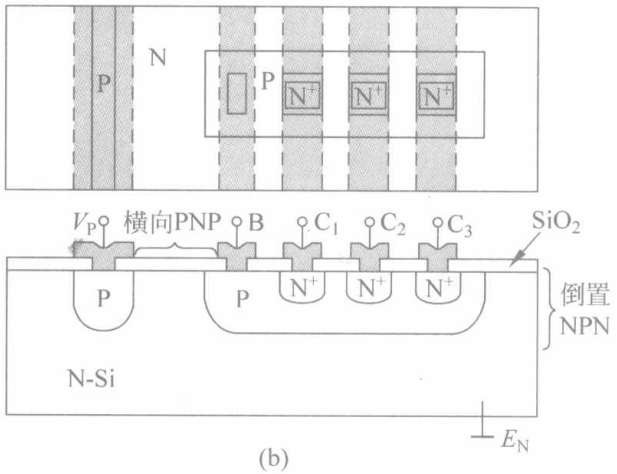
① NPN 管是倒置的,即将普通集成电路中的晶体管集电区作为发射区,而将发射区作为集电区。由于 I^2L 电路中各 NPN 管的发射区都是接地的,所以各单元电路间不需要隔离,这就简化了工艺,缩小了芯片面积。



(a)

图 6.1　I^2L 电路的基本单元

(a) 单元线路图;(b) 基本结构图



(b)

图 6.1 （续）

② 每个单元电路只有一对互补管子，而且这两个管子又有两对电极是共用的，所以电路形式简单，元件少，单元内部没有互连线。

③ 单元电路中没有电阻，而是用横向 PNP 管代替普通集成电路中的高值电阻，本级的 PNP 恒流注入管既是本级反相器的电流源，又是前级的负载，使单元电路的面积缩小，功耗下降。

因此，I^2L 单元电路平均占用芯片面积小，功耗低，而且各单元间互连容易。

6.2 I^2L 基本单元电路的工作原理

下面以两级 I^2L 门为例，从图 6.2 所示的等效电路出发讨论其电路的工作原理。当在注入端 E_P 加上一个大于 PNP 管 EB 结的阈值电压 $V_{BE,th} \approx 0.6V$ 的正向电压 V_P 时，PNP 管导通，正向注入电流 I_P 流向 B 点，到达 B 点后 I_P 的流向取决于前级的输出状态。

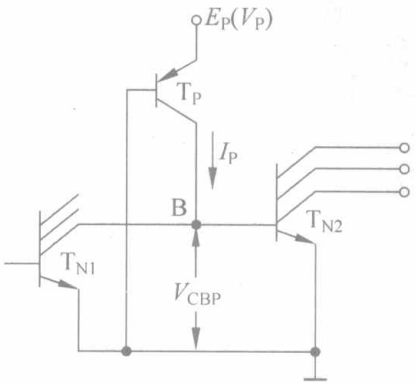


图 6.2 两级 I^2L 门

6.2.1 当前级的输出为1态时的情况

前级的输出为1时 T_{N1} 管截止，注入到B点的电流 I_P 全部流向 T_{N2} 管的基极，T_{N2} 管导通，$V_B = V_{BE} \approx 0.7V$（等于正常NPN管的集电结正向压降 V_{BC}）。如果 I_P 足够大，就可使 T_{N2} 处于深饱和，其各输出端的饱和压降近似为 T_{N2} 管的本征饱和压降：$V_{CES} \approx V_{CES0}$。所以，当 I^2L 电路的输入为高电平 V_{OH}（1态）时，其 T_{N2} 管各集电极的输出为低电平 V_{OL}（0态），且

$$V_{OL} \approx V_{CES0} = (20 \sim 60)\text{mV}$$

因为 T_P 管和 T_{N2} 管有两对电极是共用的，故这时 T_P 管的集电结电压 $V_{CBP} = V_{BE,N2} \approx +0.7V$，而 T_P 管又始终是导通的，所以 $V_{BEP} \approx +0.7V$，因而此时PNP管 T_P 的 $V_{CEP} \approx 0$。由此可见，当电路的输入为1态时，PNP管 T_P 也处于深饱和状态，而电源电压 V_P 可近似看做全跨在 T_{N2} 管的发射结上。

6.2.2 当前级的输出为0态时的情况

前级的输出为0时 T_{N1} 管饱和，其饱和压降 $V_{CES,N1} \approx 0.05V$，其值随工作点的升高而略有减小。此时电源电压 V_P 基本上都跨在横向PNP管 T_P 上，注入到B点的电流 I_P 全部流入 T_{N1} 管的集电极，而 T_{N2} 管截止，其各集电极输出为1态，具体的输出高电平 V_{OH} 与各自的负载情况有关。如果后级同样也是 I^2L 电路，则 $V_{OH} = V_{BE} \approx 0.7V$，这时，其逻辑摆幅 V_L 为

$$V_L = V_{OH} - V_{OL} \approx 0.65V$$

即 I^2L 门的逻辑摆幅近似为一个结压降。

此时PNP管 T_P 的集电结压降 $V_{CBP} = V_B \approx 0.05V$，而其发射结压降仍为 $V_{BEP} \approx 0.7V$。因此，当输入为0态时，PNP管 T_P 处于临界饱和。

由以上分析可知，I^2L 基本单元电路是一个单端输入、多端输出的“非”门。其中横向PNP管 T_P 处于共基极组态，其集电极电流 I_P 是轮流在两个倒置的多集电极NPN管 T_{N1} 的集电极和 T_{N2} 的基极之间流动的，起了一个电流源的作用。

表6.1给出了 I^2L 电路与其他各类双极型逻辑电路性能的比较，由表可见，I^2L 电路在各类双极型逻辑电路中，其延时功耗积是最低的。

表6.1 各类双极型逻辑电路性能比较

基本性能 \ 电路种类	TTL	STTL	LSTTL	ECL	I^2L
基本门电路	与非	与非	与非	或/或非	非门
每门平均功耗/mW	10	20	2	25	0.04
每门平均延时/ns	10	3	9.5	2	25
延时功耗积/pJ	100	60	19	50	1
电源电压/V	5	5	5	−5.2	>0.8

续表

基本性能 \ 电路种类	TTL	STTL	LSTTL	ECL	I^2L
逻辑摆幅 V_L/V	3	3	3	0.8	0.6
高电平噪声容限 V_{NH}/V	0.4	0.9	0.3	0.125	0.05
低电平噪声容限 V_{NL}/V	0.4	0.8	0.3	0.155	0.6
扇出数 N_0	10	10	20	10～25	3

6.3 I^2L 电路的工艺与版图设计

6.3.1 I^2L 电路的工艺设计

工艺设计的基本出发点是如何在工艺上满足电路的器件对各物理参数的要求，因此 I^2L 电路的工艺与 TTL 电路工艺相比，有其特点，下面简单作些介绍。

1. I^2L 电路的工艺结构

I^2L 电路的工艺结构大致可分为两种：全 I^2L 型和混合 I^2L 型。

(1) 全 I^2L 型电路的工艺结构

全 I^2L 型电路是指在一个芯片上全都是 I^2L 电路，而无其他类型的电路或输入、输出接口电路同它相容。由于 I^2L 电路各单元电路间不需要隔离，所以全 I^2L 型电路的工艺又可分为外延型和非外延型两类。

非外延型工艺中，器件直接做在单晶衬底上，一般需要 5 次光刻(深 N^+ 墙，P 型基区，浅 N^+ 集电区，接触孔和铝互连)、3 次扩散即可，其剖面如图 6.3 所示。非外延型工艺的衬底单晶电阻率的选择是很重要的，由前面对 I^2L 电路的分析中知，I^2L 电路对 NPN 管的 β 和横向 PNP 管的 α 都有一定的要求，如果不能满足要求，I^2L 电路就不能正常工作。为了提高 NPN 管的电流增益 β，希望 N 型衬底的电阻率越低越好；而为了提高横向 PNP 管的电流增益 α，则希望 N 型衬底的电阻率越高越好，可见两者是矛盾的。因此，电阻率的选择要兼顾两者，但应以照顾 NPN 管的电流增益 β 为主，一般选 0.1Ω·cm 左右。非外延型工艺的优点是：其衬底单晶片的缺陷较少，掺杂控制可较准，少子寿命较长，有利于提高电流增益，且成本较低。

外延型工艺结构的剖面如图 6.4 所示，它是在 N^+ 衬底上外延一层电阻率约为 0.1Ω·cm的 N 型外延材料，器件做在 N 型外延层上。除了多一步外延之外，其余工艺都与非外延型的工艺情况相同。由于外延片以 N^+ 硅片作为衬底，可以减少 NPN 管发射区的少子存储，并可在 NPN 管中形成加速载流子渡越的杂质分布，从而减小平均传输时间 t_{pd}，又可适当解决 NPN 管和 PNP 管对 N 型衬底材料电阻的不同要求，有利于提高两者的电流增益，所以通常采用外延型工艺。

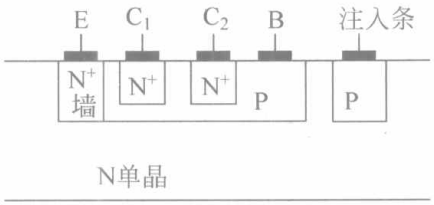


图 6.3　非外延型 I^2L 电路工艺结构剖面

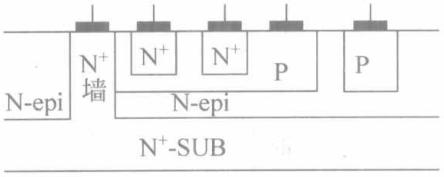


图 6.4　外延型 I^2L 电路工艺结构剖面图

(2) 混合 I^2L 型电路的工艺结构

混合 I^2L 型电路是指在一个芯片上除了 I^2L 电路以外，还有其他类型的电路。其工艺结构剖面如图 6.5 所示，它选用高阻 P 型硅作为衬底($\rho=8\sim13\Omega\cdot cm$)，然后进行 N^+ 埋层扩散，再在其上进行 N 型外延，外延层电阻率约为 $0.3\Omega\cdot cm$，厚度约为 $5\mu m$，依次再进行 P^+ 隔离扩散，深 N^+ 墙扩散，P 型基区扩散，浅 N^+ 集电区扩散，接触孔光刻和铝互连光刻，共 7 次光刻，5 次扩散热处理。在上述过程中，同时形成 I^2L 电路和其他类型的电路(如 TTL，ECL 和模拟电路等)。混合 I^2L 工艺给电路设计带来很大的灵活性，但各类电路在工艺条件的兼容上存在一定的困难。

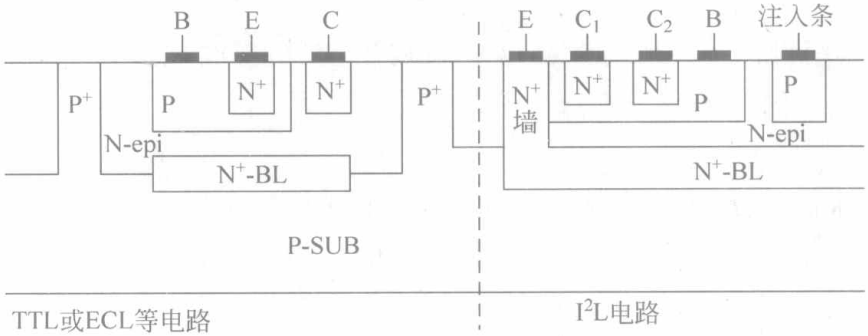


图 6.5　混合型 I^2L 电路工艺结构剖面

无论是全 I^2L 型还是混合 I^2L 型电路工艺，都要求材料的少子寿命长，晶格完整性好，特别是不应含有会引起杂质快速扩散的微观缺陷以及有害重金属杂质。

2. 工艺控制

(1) 采用无金工艺

由于 I^2L 电路中的 NPN 管是反向工作的，为了提高反向电流增益，要求少子寿命尽可能地高，故与通常的 TTL 电路工艺相反，没有掺金工艺，并在整个工艺过程中，要尽量避免金的沾污。

(2) 低温退火

低温退火可以减少体缺陷，减少少子复合中心，还可使有害的金属杂质析出来，这些都有利于提高少子寿命，尤其在磷集电区扩散后进行低温退火，效果更好。

(3) 磷吸收

磷硅玻璃对杂质有一定的吸出作用，因此有利于少子寿命的提高，磷吸收是与合金工艺

同时进行的。

(4) 基区硼扩散

在 I^2L 电路 NPN 管基区扩散的同时，形成了横向 PNP 管，所以，可通过对硼扩散浓度和结深的控制来控制反向运用 NPN 管的 β 和横向 PNP 管的 α。

(5) 集电区磷扩散

在集电区磷扩散时，可通过控制浓度和结深，来控制反向运用 NPN 管的电流增益 β。

(6) 接触孔光刻的针孔控制

由于 I^2L 电路的集成度较高，在芯片上铝覆盖的面积较大，因此，接触孔光刻的针孔影响较大，是实现大规模集成的一个关键问题。可采用两次钝化层工艺来避免针孔。

(7) 横向 PNP 管基区宽度及其均匀性的控制

横向 PNP 管的基区宽度是决定其电流增益 α 的关键参数，因此，I^2L 电路对基区版和基区光刻的精度要求较高，特别是对横向 PNP 管基区宽度的均匀一致要求较高，所以，在制版和光刻的每一个具体环节中，都必须引起足够的重视。

6.3.2 I^2L 电路的版图设计

I^2L 电路的版图设计与一般的双极型电路相比，有相似的地方，也有其特殊的地方，下面就 I^2L 电路版图中的几个问题进行讨论。

1. 总体布局

对于大规模集成电路的版图设计来说，总体布局是很重要的，I^2L 电路也是如此。I^2L 电路的基本单元是基极上挂有 PNP 管的多集电极 NPN 管，由正向偏置的 PNP 管向 NPN 管直接供电。不论电路的规模多大，都可由这样的基本单元组成，而且所有单元的 PNP 管的发射区可以共用。为了充分利用注入电流和提高集成度，整个电路的布局大致如下：由一根共用注入条供电，而把所有的多集电极 NPN 管按电路要求整齐地排列在注入条的两侧，如图 6.6 所示。有时为了电路布线的需要，也可以由连在一个总电源的几个注入条供电，这时要考虑对各注入条的均匀供电；有时也可把 NPN 管的基区排列在注入条的一侧，但这样会损失一部分注入电流。

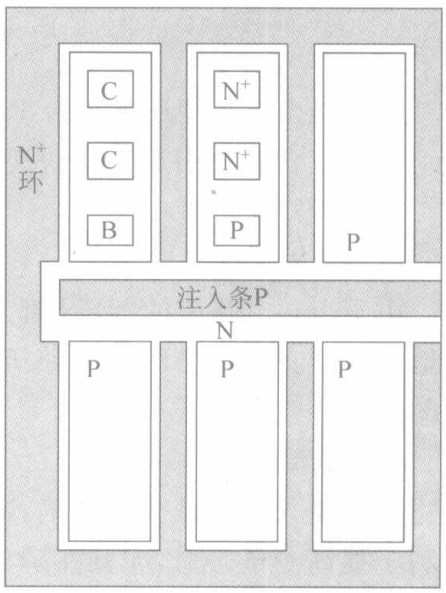


图 6.6 I^2L 电路的版图排列

2. 注入条的设计

为了保证注入电流的均匀，可采取以下的一些措施：

① 整个注入条开出接触孔，并且全部用铝条覆盖上，做成等位线；

② 使用多注入条时，要确保各注入条对总电源等电位；

③ 不允许铝线跨越注入条，因为这样会增加注入条

本身的电阻，影响注入的均匀性；

④ 注入条的长度也要适当考虑，虽然采用长注入条对集成度是有利的，但它对制版和光刻的要求较高；而且此时铝线的电阻已不可忽略，特别在较大的工作电流时更是这样。

由前面对横向 PNP 管电流增益 α 的分析知道，提高注入条侧面积和底面积之比，可提高注入条注入电流被收集的效率，使 α 得到提高。所以注入条的宽度应在套刻精度允许的范围内尽可能地缩小。

3. NPN 管基极条的设计

NPN 管基区的条宽、相对于注入条的排列方式以及引线孔位置的设计，直接影响到注入逻辑门的工作电流范围、延迟时间以及电路的集成度。下面用图 6.7 来讨论此问题。

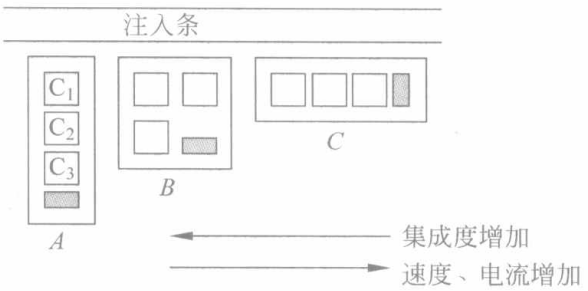


图 6.7　基极条的排列对 I^2L 电路性能的影响

(1) 对集成度的影响

在图 6.7 中，A 排列可使元件最紧凑地排列在注入条的两侧，故这种排列的集成度最高；而 C 排列的每个基极条要占据较大的有效位置，因此，这种排列的集成度较低；B 排列介于两者之间。

(2) 对驱动能力的影响

基区条正对注入条部分的宽度，称为有效基区周长，它决定注入电流的大小。如图 6.8 所示，图中基区条宽分别为 $l_0/2$，l_0，$2l_0$，相应注入电流分别为 $I_0/2$，I_0，$2I_0$，驱动能力也满足相应的比例关系。由于图 6.7 中 C 排列与 A 排列相比，有更长的有效基区周长，故在同样的情况下，它得到更大的注入电流。所以，C 排列的驱动能力最强。

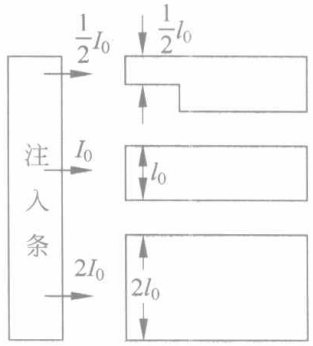


图 6.8　不同基区条宽对应不同注入电流

(3) 对电流范围的影响

由前面讨论过的反向运用 NPN 管基极电阻的影响可知，在图 6.7 中，A 排列的 C_3 端离基极接触最远，基极串联电阻最大，因而 C_3 端的电流增益 β 最小，且其 β 随电流的变化最明显。因而这种排列的门，工作电流范围较小；而 C 排列的三个输出端有相同的、很小的基极电阻，故工作电流范围较大。

(4) 对门延迟时间的影响

从上面的分析可得，C 排列的速度最快，A 排列的速度最慢。

(5) 门间的互连线

A 排列的各门之间的互连线比较容易，而 B，C 排列较困难。

4. NPN 管基极引线孔位置的选择

基极引线孔的位置就是门的输入端，如图 6.9 所示的 A，B，C 三种不同情况中，A 的速度最快，C 的速度最慢。因为引线孔位置不同，引入的基区串联电阻的大小也不同，基区串联电阻越大，充放电时间越长，速度就越慢。但对于图 6.7 所示的 C 排列情况，基极引线孔的位置选择，对速度的影响不大。

5. N^+ 隔离环的使用

在 I^2L 电路的版图设计中，通常使用与集电区扩散同时产生的 N^+ 环(如图 6.10 所示)，N^+ 隔离环有三个作用：

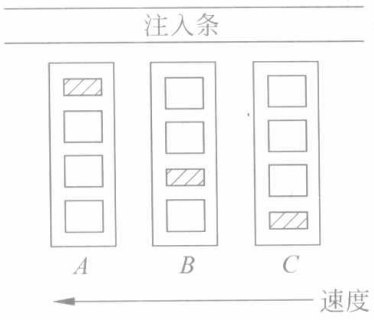


图 6.9　基极引线孔位置的选择

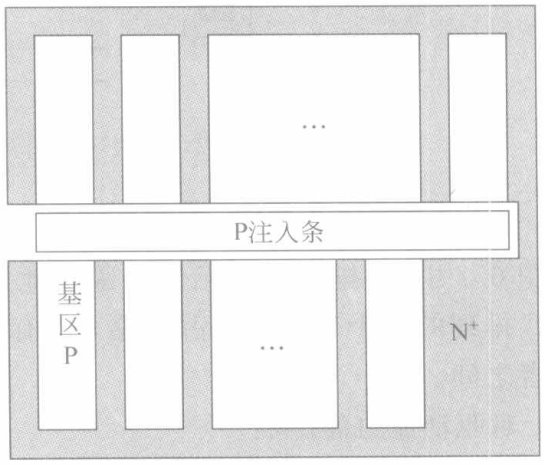


图 6.10　N^+ 隔离环的使用

① 减小各相邻基区条之间的寄生 PNP 管的影响，使相邻基区条之间的间距缩小，从而提高了集成度；

② 改善地线的均匀性；

③ 提高反向运用的 NPN 管的电流增益 β。

但是 N^+ 隔离环的使用，降低了击穿电压，并会由于引线孔光刻时的针孔，使成品率下降。

6. 地线的设计

地线的设计在 I^2L 电路的版图设计中至关重要。因为 I^2L 电路的逻辑摆幅较小，约为 0.7V，因此在大电流下，地线电阻引入的压降不可忽略，而且地线电阻将严重影响注入电流的均匀分布。特别是对大规模集成电路，由于面积较大，地线的问题就更尖锐。例如，设地

线平均电阻为 10Ω，平均电流为 10mA，则在地线电阻上就会引入 100mV 的压降，相当于低电平抬高 0.1V，即逻辑摆幅减小了 0.1V，因此，降低了电路的抗干扰性能。此时，若地线引出端布置得不适当，则由于地线电阻引起的注入电流的不均匀，可能造成一部分电路能够正常工作，而另一部分电路却不能正常工作，致使整个电路不能正常工作。

因此，在设计地线时应注意以下几点：

① 接地点必须进行 N^+ 磷扩散；

② 接地点和各单元大致对称，使地线引出端对各单元的影响大致相同；

③ 尽量减小地线的电阻，可采用 N^+ 环形地线或者地线从 N^+ 衬底引出。

7. I^2L 电路版图举例

图 6.11 是 D 触发器布局的两个例子。图中 · 代表基极引线孔，⊡代表集电极引线孔。从图中可以看到，虽然没有电阻给铝线提供跨越的通路，但由于集电极的连接是随意的，所以 D 触发器中的三个交叉线很容易就解决了。图中的各个门（基区条）都是垂直于注入条放置的，前面已经介绍，在这种情况下，门中各集电极的性能是不同的，整个门的速度取决于离注入条最远的那个集电极（即最慢的那个集电极）。这个例子说明对于同一个电路可以有不同的布局，采用哪种布局（包括各门相对于注入条是垂直放置还是平行放置），由电路的性能要求而定。

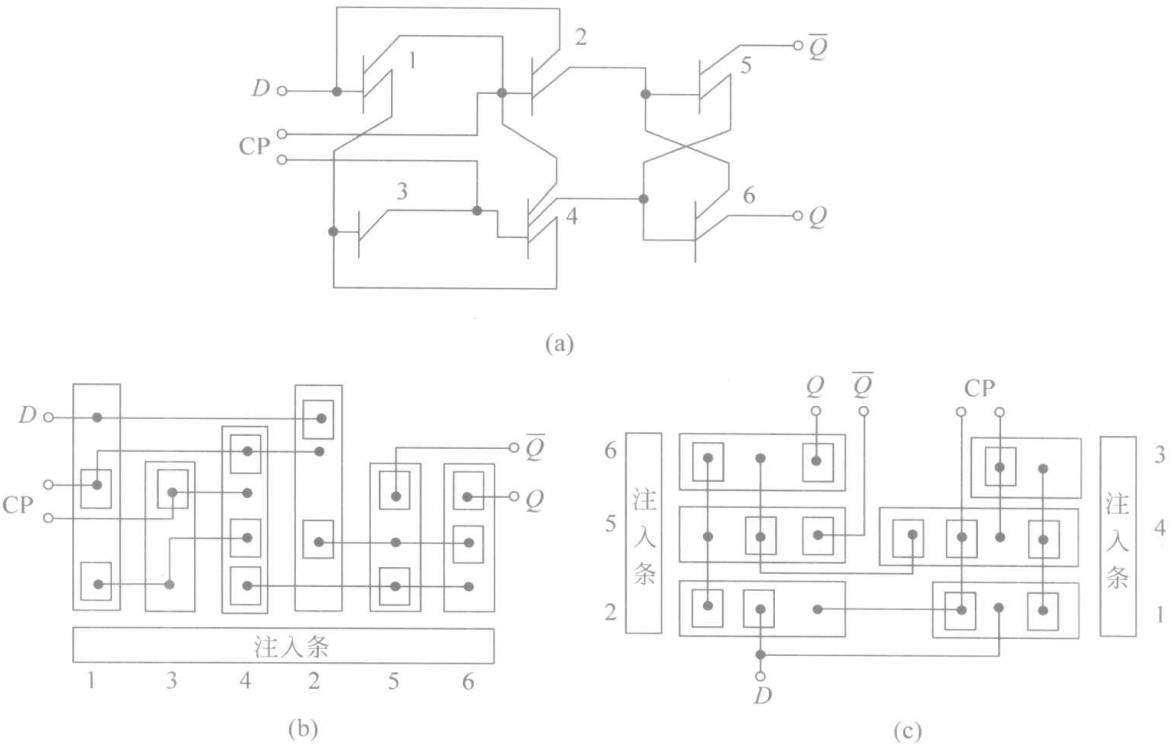


图 6.11　D 触发器布局的两个例子

（a）电路图；（b）版图布局之一；（c）版图布局之二

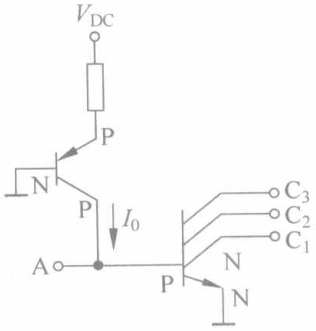
复习思考题

6.1　试画出 I^2L 电路的基本单元门的电路图、版图和结构草图，并说明它在发展 LSI 中所起的作用。

6.2　图题 6.2 所示的 I^2L 反相器，$I_0=10\mu A$。除 $\alpha_R=0.8$ 外，其他数据采用标准的晶体管数据。

(1) 设仅有一个集电极(C_1)连到同类反相器电路，试计算 C_1 处的 V_{OH} 和 V_{OL}；

(2) 设所有三个集电极每个都接到一个负载门上，试计算 C_1 处的 V_{OH} 和 V_{OL}。



图题 6.2

第7章 MOS反相器

MOS反相器是MOS数字电路的最基本单元，它可分为静态反相器和动态反相器，MOS静态反相器的一般形式如图7.1所示，其中驱动元件通常是增强型N沟道MOSFET。而负载元件可以是电阻(E/R反相器)、增强型MOSFET(E/E反相器)、耗尽型MOSFET(E/D反相器)或P沟道MOSFET(CMOS反相器)。按负载元件和驱动元件之间的关系则可分为有比反相器和无比反相器。有比反相器在输出低电平时，驱动管和负载管同时导通，其输出低电平由驱动管的导通电阻 R_{ON} 和负载管的等效电阻 R_{EL} 的分压决定。为了保持足够低的低电平，两个等效电阻应保持一定的比值；而无比反相器在输出低电平时，只有驱动管导通，负载管是截止的，在理想情况下，其输出低电平等于零。

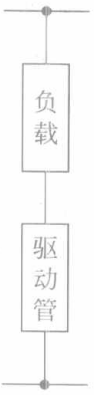


图7.1 MOS静态反相器的一般形式

本章介绍几种常用的MOS反相器。

7.1 自举反相器

饱和E/E反相器的输出高电平比电源电压 V_{DD} 低一个开启电压(即阈值损失)，而自举反相器只需要一个电源就能使输出高电平达到 V_{DD} 值，且输出波形的上升速度也比普通E/E反相器快。自举反相器的电路如图7.2所示，它比饱和E/E反相器增加了一个预充偏置管 M_B 和自举电容 C_B。假定反相器输入为高电平 V_{DD}，输出为低电平 V_{OL}，此时负载管栅极的预置电平为

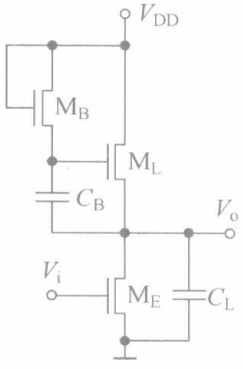


图7.2 自举反相器

$$V_{GL0} = V_{DD} - V_{TE} \tag{7.1}$$

其中 V_{TE} 为增强型MOSFET的开启电压。自举电容两端的电压为

$$V_{GSL} = V_{DD} - V_{TE} - V_{OL} \tag{7.2}$$

C_B 上充有的电荷为 $C_B V_{GSL}$。

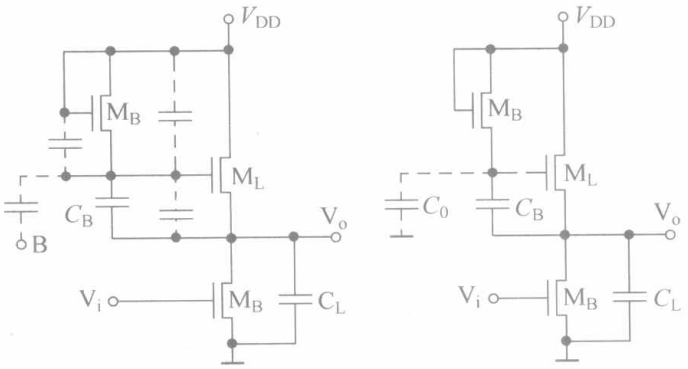
在输入电平由高变低时，因为电容 C_B 两端的电压不能突变，所以，负载管的栅电位 V_{GL} 随输出电压 V_o 同时上升，这就是自举效应。此时 M_B 管处于截止态，C_B 上的电荷应保持不

变，从而使 V_{GSL} 不变。这样一来，在自举过程中，负载管 M_L 就处在固定栅源偏置的工作状态。在开始时，M_L 管的栅比漏低一个开启电压，它处在饱和导通状态。当输出电压 V_o 上升到 $2V_{TE}$ 时，负载管的栅电压 V_{GL} 便达到 $V_{DD}+V_{TE}$，于是 M_L 转入非饱和导通，从而使输出高电平达到 V_{DD}，消除了饱和 E/E 反相器输出高电平的阈值损失。因为自举电容的大小对特性有很大影响，所以要合理选择。

由上述分析可见，自举效应是在输出电压上升过程中发生的，所以直流负载特性并不因“自举”而产生变化。

衬调系数对自举反相器性能有重大影响。低衬调系数的电路可以在选用相对小的自举电容时，就使输出高电平达到 V_{DD} 值，而且其输出电压的上升时间 t_r（V_o 从零上升到 $0.9V_{DD}$）要比高衬调系数的电路短得多。

在实际电路中，负载管和预充偏置管都有寄生电容（如图 7.3(a)所示），这些电容可用一个对地电容 C_0 加以等效（如图 7.3(b)所示）。在自举过程中，负载管栅电压 V_{GL} 的升高标志着 C_0 上的电荷增加，而 C_0 和 C_B 上的电荷总量是恒定的，因此，C_B 上的电压 V_{GSL} 就要减小。按电荷恒定原理有



(a)　　(b)

图 7.3　自举反相器中的寄生电容

$$\Delta V_{GL} C_0 = -\Delta V_{GSL} C_B \tag{7.3}$$

又因为

$$\Delta V_{GL} = \Delta V_{GSL} + \Delta V_o \tag{7.4}$$

所以

$$\Delta V_{GL} = \frac{C_B}{C_0 + C_B} \Delta V_o \tag{7.5}$$

定义

$$\eta = \frac{\Delta V_{GL}}{\Delta V_o} \tag{7.6}$$

η 称作自举效率。由于寄生电容的存在，使 V_{GL} 的升高低于 V_o 的升高。为了提高自举效率，

就要设法减小 C_0/C_B 值，以保证 η 能在 80% 以上。

在自举反相器中，反偏 PN 结的泄漏电流有不可忽视的影响。如前所述，负载管栅电压 V_{GL} 是靠 C_0 和 C_B 上预充的电荷来维持的。由于结的漏电，将使这些电荷逐渐泄放，从而引起 V_{GL} 的降低。V_{GL} 的下降将会导致 M_L 的截止，于是输出电压 V_o 也逐渐降低，直至 M_L 变为临界开启为止。为了弥补泄漏电流所造成的 V_o 的降低，在低频工作的电路中，可在其输出端增加一个辅助上拉元件 M_A 或 R_A，如图 7.4 所示。图 7.4(a)中 M_A 的 W/L 比 M_L 的小得多，图 7.4(b)中 R_A 的阻值比较高，所以在上升过程中主要还是靠 M_L 对负载电容充电。由此可知，辅助上拉元件的作用只是补充因漏电而损失的电荷。

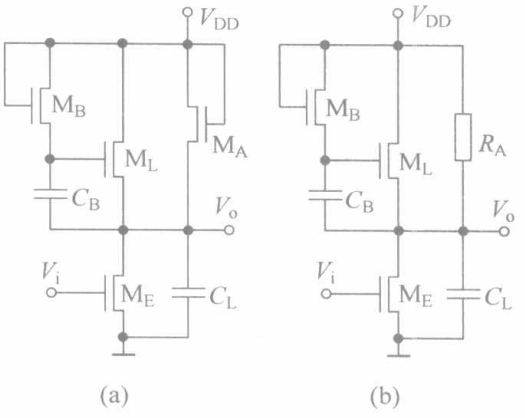


图 7.4　自举反相器中的上拉元件

7.2　耗尽负载反相器(E/D 反相器)

E/D 反相器的电路如图 7.5(a)所示。负载管为耗尽型 MOSFET，其栅源短接。这种反相器采用单一+5V 电源，可以获得高的输出高电平和较快的上升速度，为当前 MOS 电路的优选形式之一。为了便于公式推导，在本节中对耗尽管进行数学处理时，仍采用最简单的一级近似公式(称为萨方程)。

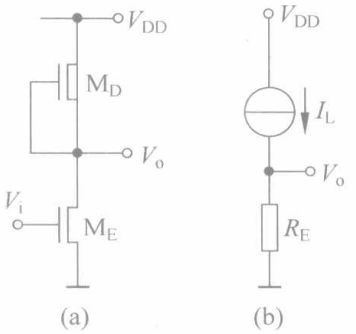


图 7.5　耗尽负载反相器

当 E/D 反相器输入低电平时，输出为高电平且 $V_{OH}=V_{DD}$。

当输入高电平时，驱动管可等效为电阻 R_E。在输出电压 V_o 很小时，可以有

$$R_E \approx \frac{1}{2k_E(V_i - V_{TE})} \tag{7.7}$$

式中 k_E 称为导电因子，其值为

$$k_E = k'_E\left(\frac{W}{L}\right) = \frac{\mu_N C_{ox}}{2}\left(\frac{W}{L}\right) \tag{7.8}$$

其中：k'_E 为本征导电因子；μ_N 为电子的沟道迁移率。

这时耗尽型负载管处在饱和状态，可以等效为恒流源(见图 7.5(b))，因此使充电过程加快。图中 $I_L=k_L V_{TD}^2$，于是可以求出输出低电平

$$V_{OL} \approx \frac{V_{TD}^2}{2\beta_R(V_{DD} - V_{TE})} \tag{7.9}$$

式中：$\beta_R=\dfrac{k_E}{k_L}$ 称为导电因子比；V_{TD} 为 M_D 管的开启电压；k_L 为 M_D 管的导电因子。由上式可见，E/D 反相器的输出低电平也与 β_R 有关，所以它也是有比反相器。

7.3 CMOS 反相器

7.3.1 CMOS 反相器的直流特性

CMOS 反相器如图 7.6 所示，下面来分析反相器的直流传输特性（输出电压 V_o 作为 V_i 的函数）。表 7.1 概括了 N 型和 P 型 MOS 管工作的不同区域，表中 V_{TN} 是 N 型沟道器件的开启电压，V_{TP} 是 P 型沟道器件的开启电压。

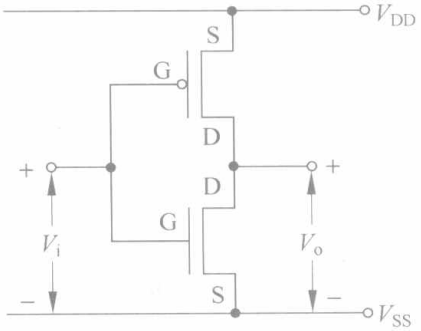


图 7.6 CMOS 反相器

表 7.1 CMOS 反相器三个工作区各电压之间的关系

	截止区	线性区	饱和区
P 型器件	$V_{GSP}>V_{TP}$ $V_i>V_{TP}+V_{DD}$	$V_{GSP}<V_{TP}$ $V_i<V_{TP}+V_{DD}$ $V_{GDP}<V_{TP}$ $V_i-V_o<V_{TP}$	$V_{GSP}<V_{TP}$ $V_i<V_{TP}+V_{DD}$ $V_{GDP}>V_{TP}$ $V_i-V_o>V_{TP}$
N 型器件	$V_{GSN}<V_{TN}$ $V_i<V_{TN}$	$V_{GSN}>V_{TN}$ $V_i>V_{TN}$ $V_{GDN}>V_{TN}$ $V_i-V_o>V_{TN}$	$V_{GSN}>V_{TN}$ $V_i>V_{TN}$ $V_{GDN}<V_{TN}$ $V_i-V_o<V_{TN}$

图 7.7(a)是由两个 MOS 管的电流方程所得到的 V-I 特性曲线。若 P 型 MOS 管漏极电流 I_{DS} 取绝对值，并将它向右平移 V_{DD}，将这组 P 型 MOS 管曲线和 N 型 MOS 管特性曲线叠起，便得到图 7.7(c)所示的曲线。输入输出传输特性曲线，就由图 7.7(c)中的平行直线与曲线的交点所决定。因此，对 $V_{iN}=V_{iP}$ 和 $I_{DSN}=|I_{DSP}|$ 求解，即可得到所希望的 CMOS 反相器的传输特性，如图 7.8 所示。阈值电压（转折点）V_I^* 一般设计在电源电压的 50%（$\approx V_{DD}/2$）之处。在转换过程中，CMOS 反相器中的两个 MOS 管都瞬时处于“导通”状态，这将引起从电源中抽出一个窄的电流脉冲，如图 7.8 中的虚线所示。

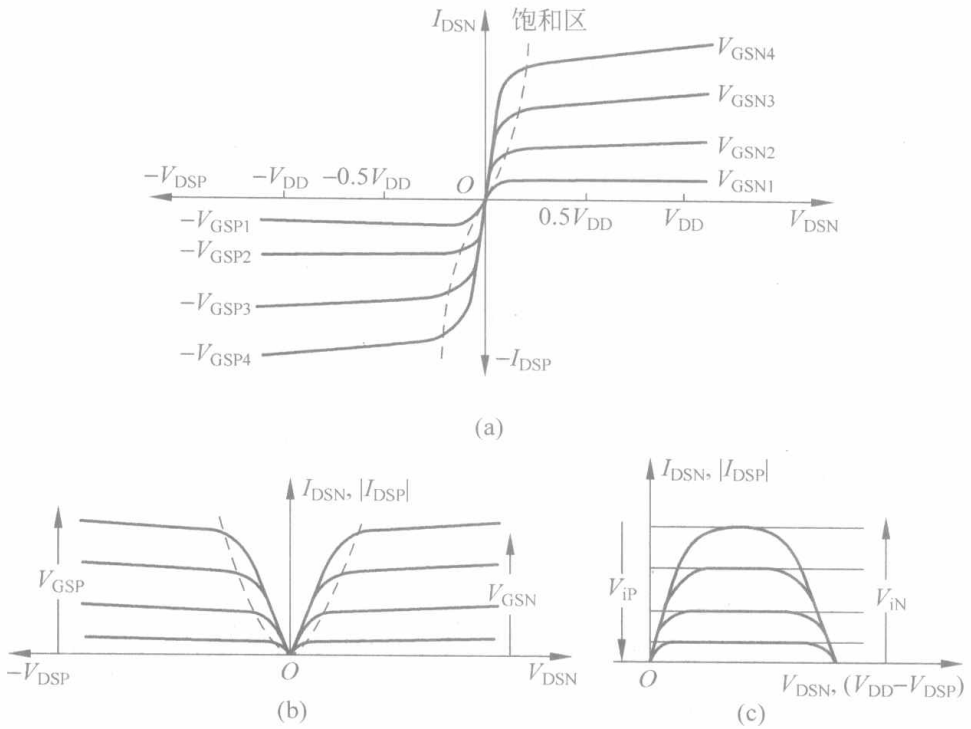


图 7.7　反相器特性(负载线)的图示推导

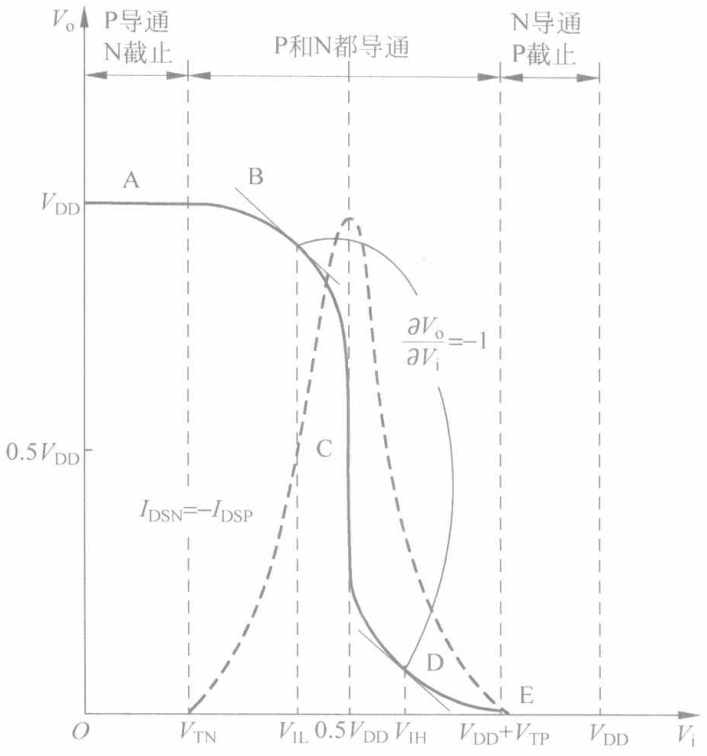


图 7.8　CMOS 反相器直流传输特性与工作区

CMOS反相器的工作状态可分为5个区域(见图7.8),利用表7.1可找出每个区域中P型器件和N型器件的行为特性。

A区:$0 \leqslant V_i \leqslant V_{TN}$。在该区内,N型器件截止($I_{DSN}=0$),P型器件处于线性区。输出电压是

$$V_o = V_{DD}$$

B区:$V_{TN} \leqslant V_i < V_{DD}/2$。在该区域内,P型器件工作在线性区,而N型器件处于饱和。反相器在该区的等效电路如图7.9所示,P型MOS管相当于一电阻,N型MOS管为一电流源。令$V_{GS}=V_i$,可得出N型MOS管的饱和电流I_{DSN}

$$I_{DSN} = k_N (V_i - V_{TN})^2 \tag{7.10}$$

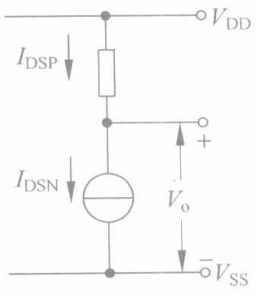


图7.9 反相器工作在B区的等效电路

其中

$$k_N = \frac{\mu_N \varepsilon}{2t_{ox}} \left(\frac{W_N}{L_N} \right) \tag{7.11}$$

V_{TN}为N型器件的开启电压,μ_N为电子迁移率,W_N为N型器件的沟道宽度,L_N为N型器件的沟道长度,ε为SiO_2的介质常数,t_{ox}为栅氧化层厚度。

由于对P型器件有

$$V_{GS} = V_i - V_{DD} \quad 及 \quad V_{DS} = V_o - V_{DD}$$

所以,可得电流为

$$I_{DSP} = -k_P [2(V_i - V_{DD} - V_{TP})(V_o - V_{DD}) - (V_o - V_{DD})^2] \tag{7.12}$$

其中

$$k_P = \frac{\mu_P \varepsilon}{2t_{ox}} \left(\frac{W_P}{L_P} \right) \tag{7.13}$$

V_{TP}为P型器件的开启电压,μ_P为空穴迁移率,W_P为P型器件的沟道宽度,L_P为P型器件的沟道长度。

因为

$$I_{DSP} = -I_{DSN}$$

所以输出电压V_o可表示为

$$V_o = (V_i - V_{TP}) + \left[(V_i - V_{TP})^2 - 2\left(V_i - \frac{V_{DD}}{2} - V_{TP} \right) V_{DD} - \frac{k_N}{k_P} (V_i - V_{TN})^2 \right]^{1/2} \tag{7.14}$$

C区:$V_i = V_{DD}/2$。在该区中N型和P型器件都处于饱和状态,两个器件的饱和电流表示为

$$I_{DSP} = -k_P (V_i - V_{DD} - V_{TP})^2$$

$$I_{DSN} = k_N (V_i - V_{TN})^2$$

由

$$I_{DSP} = -I_{DSN}$$

得到

$$V_i = \frac{V_{DD} + V_{TP} + V_{TN}\sqrt{\frac{k_N}{k_P}}}{1 + \sqrt{\frac{k_N}{k_P}}} \tag{7.15}$$

令

$$k_N = k_P \quad V_{TN} = -V_{TP}$$

可得

$$V_i = \frac{V_{DD}}{2} \tag{7.16}$$

这表明 C 区只对应于一个 V_i 值。可以推得该区内 V_o 的可能值如下。

N 沟道：

$$V_i - V_o < V_{TN}$$

$$V_o > V_i - V_{TN}$$

P 沟道：

$$V_i - V_o > V_{TP}$$

$$V_o < V_i - V_{TP}$$

将两个不等式合并后，得到

$$V_i - V_{TN} < V_o < V_i - V_{TP} \tag{7.17}$$

该式说明在 $V_i = V_{DD}/2$ 时，V_o 在上述范围内变化。

D 区：$V_{DD}/2 < V_i \leqslant V_{DD} + V_{TP}$。在该区内 P 型器件处于饱和，N 型器件工作在线性区，等效电路如图 7.10 所示。两个电流可写为

$$I_{DSP} = -k_P(V_i - V_{DD} - V_{TP})^2$$

$$I_{DSN} = k_N[2(V_i - V_{TN})V_o - V_o^2]$$

由

$$I_{DSP} = -I_{DSN}$$

可得输出电压

$$V_o = (V_i - V_{TN}) - \left[(V_i - V_{TN})^2 - \frac{k_P}{k_N}(V_i - V_{DD} - V_{TP})^2\right]^{1/2} \tag{7.18}$$

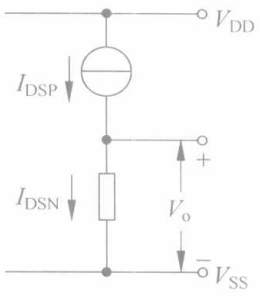


图 7.10　反相器工作在 D 区的等效电路

E 区：$V_{DD} + V_{TP} \leqslant V_i < V_{DD}$，这时 P 型器件截止（$I_{DSP} = 0$），N 型器件工作在线性区，$V_o = 0$。

从图 7.8 的传输特性曲线可以看出，由 P 导通 N 截止到 N 导通 P 截止这两个状态之间的变换非常“陡”，这种特性非常符合需要，有最大的噪声容限。

7.3.2　噪声容限

噪声容限是与输入输出电压特性密切相关的参数。通常用两个参数——低噪声容限 NM_L 和高噪声容限 NM_H 来确定噪声容限（或噪声抗扰度）的技术规范。如图 7.11 所示，

NM_L 定义为驱动门的最大输出低电平 $V_{OL,max}$ 与被驱动门的最大输入低电平 $V_{IL,max}$ 之差的绝对值，即

$$NM_L = | V_{IL,max} - V_{OL,max} | \tag{7.19}$$

NM_H 为驱动门最小输出高电平 $V_{OH,min}$ 与接收门最小输入高电平 $V_{IH,min}$ 之差的绝对值，即

$$NM_H = | V_{OH,min} - V_{IH,min} | \tag{7.20}$$

其中：$V_{IH,min}$ 为最小输入高电平；

$V_{IL,max}$ 为最大输入低电平；

$V_{OH,min}$ 为最小输出高电平；

$V_{OL,max}$ 为最大输出低电平。

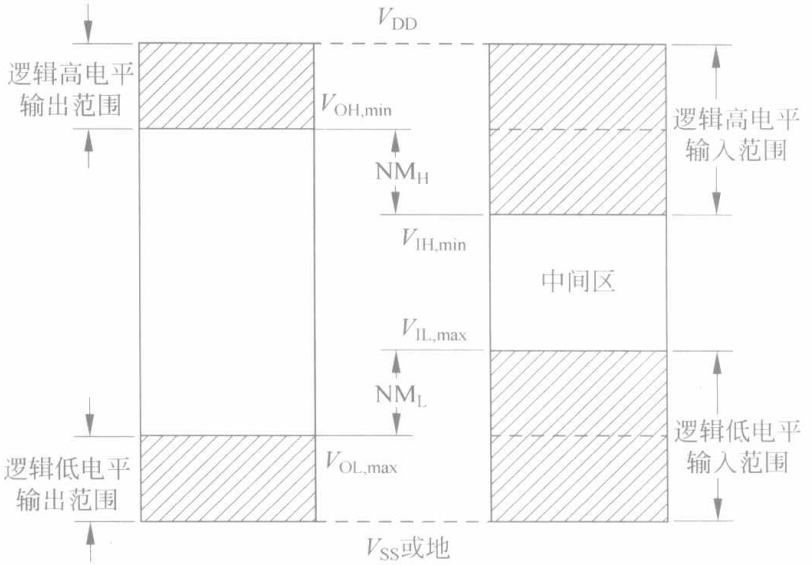


图 7.11　噪声容限的定义

由图 7.8 可见，在 B 区和 D 区存在着 $\frac{\partial V_o}{\partial V_i} = -1$ 的两个点，这两点对应的输入电压为 V_{IL} 和 V_{IH}，如果令 $x = k_N/k_P$，对该两工作区的电流方程求导，并令 $\frac{\partial V_o}{\partial V_i} = -1$，就可解出 V_{IL} 和 V_{IH}。当 $x=1$ 时，其值为

$$V_{IL} = \frac{3V_{DD} - 3 | V_{TP} | + 5V_{TN}}{8}$$

$$V_{IH} = \frac{5V_{DD} - 5 | V_{TP} | + 3V_{TN}}{8}$$

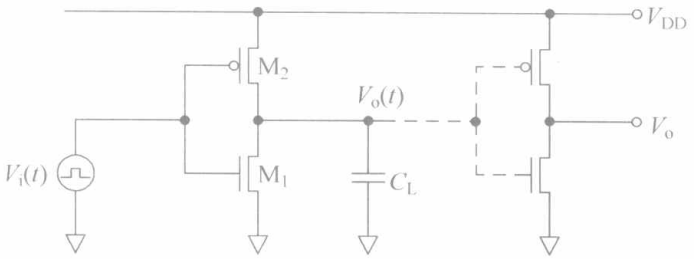
这样，就可由 MOS 反相器的 V_{OH}，V_{OL}，V_{IL} 和 V_{IH} 估算出此反相器的噪声容限

$$NM_L = V_{IL} - V_{OL}$$

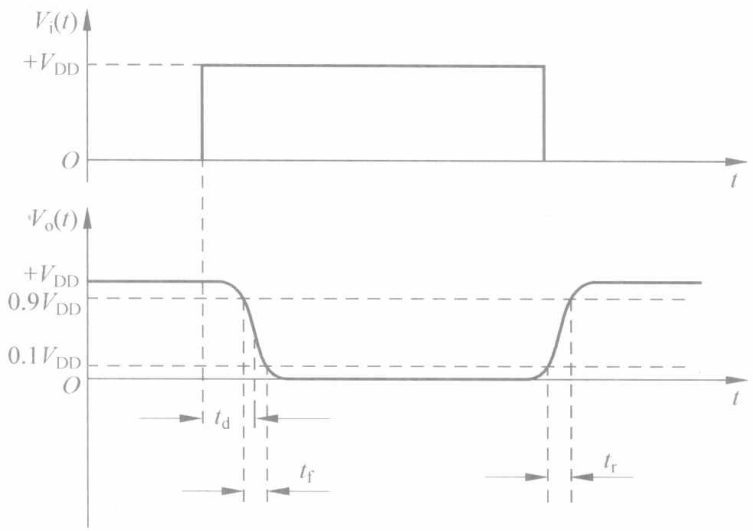
$$VM_H = V_{OH} - V_{IH}$$

7.3.3 开关特性

在CMOS电路中，负载电容 C_L 的充电和放电时间限制了门的开关速度。图7.12(a)为一个常见的CMOS反相器，该反相器具有表示电容性负载的负载电容 C_L（由下一级的输入电容、本级的输出电容和连线电容组成）。当输入是阶跃电压 $V_i(t)$ 时输出电压 $V_o(t)$ 的波形如图7.12(b)所示。图中上升时间 t_r 是波形从它的稳态值的10%上升到90%所需的时间；下降时间 t_f 是波形从它的稳态值的90%下降到10%所需的时间；延迟时间 t_d 指输入电压变化到稳态值的50%的时刻和输出电压变化到稳态值的50%的时刻之间的时间差（延迟时间被认为是从输入到输出的逻辑转移时间）。



(a)



(b)

图7.12 CMOS反相器的开关特性

1. 下降时间

图7.13示出输入电压 $V_i(t)$ 从0V变化到 V_{DD} 时，N型MOS管工作点的移动轨迹。最初，NMOS管是截止的，负载电容 C_L 充电到 V_{DD}。这对应于特性曲线上的 X_1 点。当反相器输入端加上阶跃电压（即 $V_{GS}=V_{DD}$）时，工作点变化到 X_2。此后，轨迹沿 $V_{GS}=V_{DD}$ 的特性曲

线向原点(X_3)运动。根据图 7.12 所示的开关特性,显然下降时间 t_f 由下面两个时间间隔所组成:

① 电容电压 V_o从 $0.9V_{DD}$下降到($V_{DD}-V_{TN}$)所需的时间 t_{f1}。

② 电容电压 V_o从($V_{DD}-V_{TN}$)下降到 $0.1V_{DD}$所需的时间 t_{f2}。

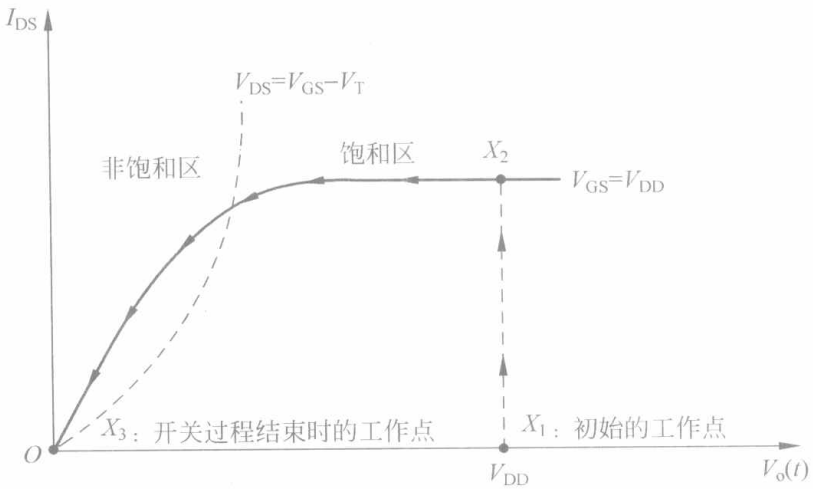


图 7.13　在开关期间 NMOS 管工作点的移动轨迹

说明上述行为特性的等效电路示于图 7.14。根据图 7.14(a),在饱和区,$V_o \geqslant V_{DD}-V_{TN}$,有

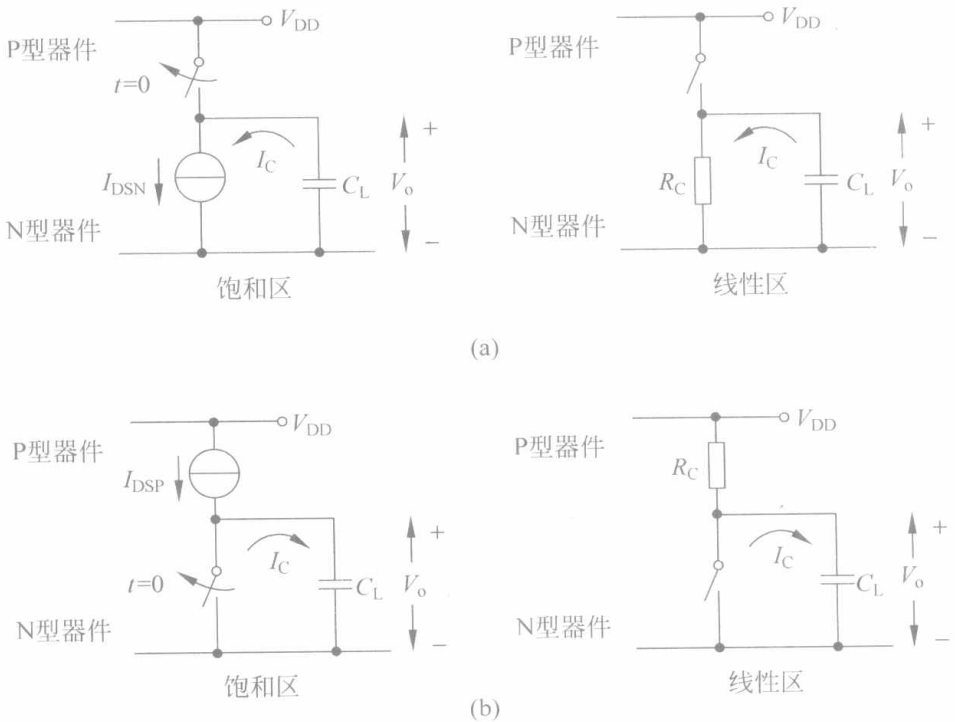


图 7.14　确定下降和上升时间的等效电路

$$C_L \frac{dV_o}{dt} + k_N (V_{DD} - V_{TN})^2 = 0 \tag{7.21}$$

从 $t=t_1$（对应 $V_o=0.9V_{DD}$）到 $t=t_2$（对应 $V_o=V_{DD}-V_{TN}$）进行积分，可得

$$t_{f1} = \frac{C_L}{k_N (V_{DD} - V_{TN})^2} \int_{V_{DD}-V_{TN}}^{0.9V_{DD}} dV_o = \frac{C_L (V_{TN} - 0.1V_{DD})}{k_N (V_{DD} - V_{TN})^2} \tag{7.22}$$

当 NMOS 管开始工作在线性区时，放电电流已不再是恒定的了。按上述同样方法，可求出电容电压从 $(V_{DD}-V_{TN})$ 放电到 $0.1V_{DD}$ 所需的时间 t_{f2} 为

$$t_{f2} = \frac{-C_L}{2k_N (V_{DD} - V_{TN})} \int_{0.1V_{DD}}^{V_{DD}-V_{TN}} \frac{dV_o}{\frac{V_o^2}{2(V_{DD} - V_{TN})} - V_o}$$

$$= \frac{C_L}{2k_N (V_{DD} - V_{TN})} \ln\left(\frac{19V_{DD} - 20V_{TN}}{V_{DD}}\right) \tag{7.23}$$

因此，整个下降时间为

$$t_f = \frac{C_L}{k_N (V_{DD} - V_{TN})} \left[\frac{V_{TN} - 0.1V_{DD}}{V_{DD} - V_{TN}} + \frac{1}{2} \ln\left(\frac{19V_{DD} - 20V_{TN}}{V_{DD}}\right)\right] \tag{7.24}$$

如果我们假设 $V_{TN} \approx 0.2V_{DD}$（在 $V_{DD}=5V$ 情况下，$V_{TN} \approx 1V$，$V_{TP} \approx -1V$），则 t_f 可近似为

$$t_f \approx 2 \frac{C_L}{k_N V_{DD}} \tag{7.25}$$

2. 上升时间

由于 CMOS 电路的对称性，类似的方法可以用来求出上升时间 t_r（见图 7.14(b)），于是

$$t_r = \frac{C_L}{k_P (V_{DD} - |V_{TP}|)} \left[\frac{|V_{TP}| - 0.1V_{DD}}{V_{DD} - |V_{TP}|} + \frac{1}{2} \ln\left(\frac{19V_{DD} - 20|V_{TP}|}{V_{DD}}\right)\right] \tag{7.26}$$

如前所述，取 $|V_{TP}| \approx 0.2V_{DD}$，则式(7.26)简化成

$$t_r \approx 2 \frac{C_L}{k_P V_{DD}} \tag{7.27}$$

当 NMOS 管和 PMOS 管的尺寸相等时，$k_N=2k_P$，则

$$t_f = \frac{t_r}{2} \tag{7.28}$$

因此，下降时间比上升时间短，这主要是由于 PMOS 管和 NMOS 管中载流子的迁移率不同（即 $\mu_N \approx 2\mu_P$）。因而，假若我们希望反相器的上升时间和下降时间近似相等，则需要使

$$\frac{k_N}{k_P} = 1$$

这就意味着，PMOS 管的沟道宽度必须加宽到 NMOS 管沟道宽度的 2 倍左右，即

$$W_P \approx 2W_N$$

7.3.4 功耗

CMOS 反相器的功耗 P 由两部分构成：

(1) 静态功耗，即反向漏电流造成的功耗 P_D。

(2) 动态功耗 P_S，它又由两部分组成：

① 开关的瞬态电流造成的功耗 P_A；

② 负载电容的充电和放电造成的功耗 P_T。

1. 静态功耗 P_D

考虑图 7.15 所示的 CMOS 反相器。在输入为 0 时，NMOS 管截止，PMOS 管导通，输出电压是 V_{DD}或逻辑 1；在输入为 1 时，NMOS 管导通，PMOS 管截止，输出电压是 0V(V_{SS})或逻辑 0。无论 CMOS 门处于这两种逻辑状态中的哪一种状态，两个 MOS 管中始终有一个管子是截止的，由于没有从 V_{DD}到 V_{SS}的直流通路，也没有电流流入栅极，所以，静态(稳态)电流和静态功耗 P_D都是 0。

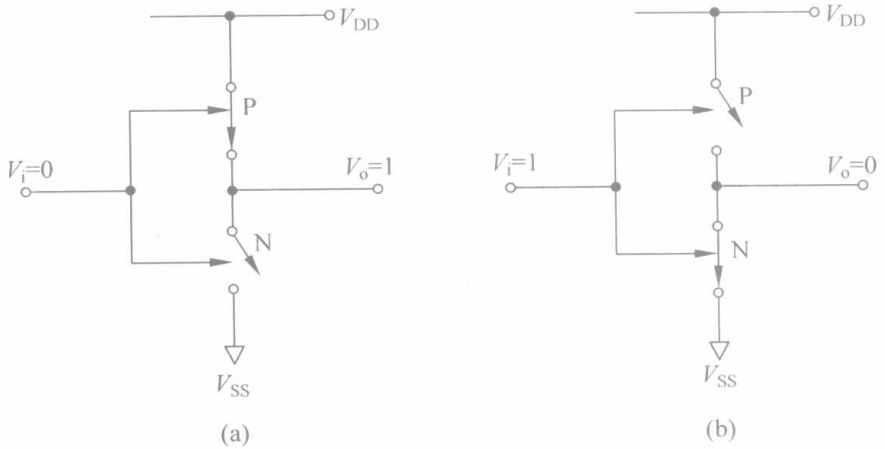


图 7.15　计算静态功耗时 CMOS 反相器的状态

如果考虑扩散区和衬底之间的反向(偏置的)漏电流，则它将产生很小的静态功耗。此时 CMOS 反相器的静态功耗就是器件的反向漏电流和电源电压的乘积。在室温情况下，合理的估计值是允许每个门的反向漏电流为 0.1～0.5nA。那么 CMOS 门电路总的静态功耗为

$$P_D = \sum_n \text{反向漏电流} \times \text{电源电压} \tag{7.29}$$

式中 n 为器件的数目。对于反相器，若电源电压为 5V，则由于反向漏电流所造成的静态功耗的典型值为 1～2nW。

2. 动态功耗 P_S

在从 0 到 1 或者从 1 到 0 瞬变过程中的一个很短的时间间隔内，NMOS 管和 PMOS 管都处于导通状态。这导致一个窄的从 V_{DD}流到 V_{SS}的电流脉冲，由它引起的功耗叫交变功耗 P_A，其功耗大小取决于负载电容和门的设计。为了对输出端负载电容进行充电和放电，也要求有电流流动，由它引起的功耗叫瞬态功耗 P_T。通常，负载电容的充、放电电流是造成动态功耗的主要因素。下面讨论瞬态功耗。

假设输入 V_i是重复频率为 $f_p=1/t_p$ 的方波，且阶跃输入的上升和下降时间比其重复周

期 t_p 小得多(如图 7.16 所示),在这个输入电压作用下,开关动作消耗的平均动态功耗 P_S 近似为 P_T。

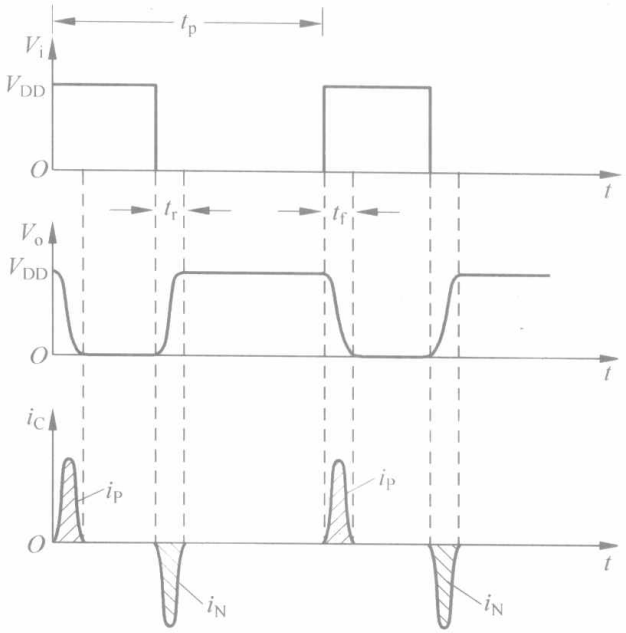


图 7.16　计算动态功耗的波形图

$$P_T = \frac{1}{t_p}\int_0^{t_p/2} i_N(t)V_o\,dt + \frac{1}{t_p}\int_{t_p/2}^{t_p} i_p(t)(V_{DD}-V_o)\,dt \tag{7.30}$$

式中,i_N为 NMOS 管的瞬时电流;i_P为 PMOS 管的瞬时电流。在阶跃输入下,并考虑到

$$i_N(t) = -C_L\frac{dV_o}{dt},\quad i_P(t) = -C_L\frac{d(V_{DD}-V_o)}{dt}$$

式中,C_L 是负载电容,则

$$P_T = \frac{C_L}{t_p}\int_0^{V_{DD}} V_o\,dV_0 + \frac{C_L}{t_p}\int_0^{V_{DD}}(V_{DD}-V_o)\,d(V_{DD}-V_o) = \frac{C_L V_{DD}^2}{t_p} \tag{7.31}$$

因为 $f_p=1/t_p$,所以

$$P_T = C_L V_{DD}^2 f_p \tag{7.32}$$

因此,对于重复的阶跃输入来说,消耗的平均功率与电路中电容充电和放电所需的能量成正比。式(7.32)表明功耗与开关频率成正比,而与器件的参数无关。

由静态功耗及动态功耗之和可求出总的功耗近似为

$$P \approx P_D + P_T \tag{7.33}$$

当电路工作频率升高时,交变功耗 P_A 增大;高速 CMOS 电路的交变功耗 P_A 可与瞬态功耗 P_T 相近,为同一数量级,此时交变功耗不能忽略。

一个周期 t_p 内的平均交变功耗 P_A 为

$$P_A = \frac{1}{t_p}\int_0^{t_p}(i'V_{DD})\,dt$$

式中，i'为交变电流。

近似计算时可假定交变电流 i'的波形为三角形，此时 P_A 近似为

$$P_A \approx \frac{1}{2} f_p V_{DD} I'_{max} (t_r + t_f)$$

式中，I'_{max}为交变电流的峰值；t_r，t_f 分别为输入信号的上升时间和下降时间。

为了便于分析，可针对交变功耗 P_A 定义一个“非负载功耗等效电容 C_{PD}”，于是 P_A 可改写为

$$P_A \approx C_{PD} f_p V_{DD}^2$$

在实际电路中，总会存在多种内部固有电容 C_I，它们也会产生功耗，如果把静态功耗以外的各种功耗成分统称为“动态功耗”P_S，则 P_S 可表示为

$$P_S \approx (C_L + C_{PD} + C_I) V_{DD} f_p$$

7.4 静态内部反相器的设计

由以上的分析可知，各类反相器各有特点，相比之下，以 E/D 反相器和 CMOS 反相器为最佳。但电路形式的选择和许多因素有关，它涉及电路系统、电源系统、工艺水平、主要参数、工作条件和兼容性等诸多因素。下面介绍当电路形式选定之后怎么设计内部反相器。

7.4.1 有比反相器的设计

与反相器设计有关的参数大致有三类：

第Ⅰ类叫做“选定参数”，是指那些在一定条件下，不可能大幅度调整而需预先确定的参数。例如：μ，t_{ox}，λ，R_o，x_j，L_D，V_{DD}，V_{GG}，V_{BS}，Δ，$\overline{N}^+$ 和 J_S 等。

第Ⅱ类叫做“可控参数”，是指那些可在一定范围内加以控制的参数。例如：N_B，γ，V_{TE} 和 V_{TD}等。

第Ⅲ类叫做“电路参数”，是指那些由用户提出的、标志电路性能要求的参数。例如：高低电平、直流传输特性、噪声容限、负载能力、上升和下降时间、功率耗散和占用管芯面积等。

有比反相器的设计，通常是先确定“选定参数”和“可控参数”，然后再从某些电路参数的要求出发进行设计计算。计算结果若不能全面满足原来提的要求，再进行修改直至全面满足要求为止。设计的最终目标是获得可控参数数值和反相器中管子的尺寸，具体设计举例见参考文献[2]。

7.4.2 CMOS 反相器的设计

前述有比反相器设计的许多基本思想，在 CMOS 反相器的设计中仍旧适用，但是由于 CMOS 反相器的 $V_{OL}=0$，因此，不是从保证低电平值出发而确定驱动管尺寸的。当然，它的设计准则和设计参数也与前述的有比反相器不同。

CMOS反相器的设计可以采用两种准则：

(1) 对称波形设计准则。根据式(7.25)和(7.27)可知，当选取

$$|V_{TP}| = V_{TN} \tag{7.34}$$

$$k_P = k_N \tag{7.35}$$

时，就可得

$$\tau_P = \tau_N \tag{7.36}$$

从而使

$$t_r = t_f \tag{7.37}$$

又由7.3.1节的分析知

$$V_I^* = \frac{1}{2}V_{DD} \tag{7.38}$$

这就是说，同时也获得了最佳噪声容限。

(2) 准对称波形准则。对称波形设计准则虽然可以获得良好的直流和瞬态特性，但是限定了许多条件。例如，要求两个开启电压绝对值相等($V_{TN} = |V_{TP}|$)的管子，为了保证$k_P = k_N$就需将PMOSFET的W/L做得比NMOSFET大2～2.5倍。这样不仅在工艺控制上有一定困难，而且加大了管芯面积，有时还会给布局和走线带来一些困难。而准对称波形设计准则限定

$$\tau_P = \tau_N \tag{7.39}$$

为达到式(7.39)的要求，$\frac{k_P}{k_N}$应满足

$$\frac{k_P}{k_N} = \beta_R = \frac{(V_{DD} - V_{TN})^2}{(V_{DD} - V_{TP})^2} = \frac{(1-\alpha_N)^2}{(1-\alpha_P)^2} \tag{7.40}$$

式(7.40)限定了V_{TN}，V_{TP}，$(W/L)_N$和$(W/L)_P$诸参数之间的相互关系。

上述两种不同的设计准则的设计步骤是不同的。

7.5 动态反相器

7.5.1 动态有比反相器

把静态E/E有比反相器的负载管改为时钟控制就成为动态有比反相器，如图7.17所示。其工作原理如下：假定起始时$\phi=0$，输入$D=1$，则M_1导通M_2截止，负载电容C上的电荷通过M_1泄放，使输出Y为地电位。此后D变为0，M_1随之截止，此时Y保持地电位。当ϕ上升为1时，M_1截止，M_2导通并对C充电，使输出Y逐渐上升至1电平。当D再上升为1时，C才通过M_1放电。若在此期间ϕ没有再度上升为1，输出Y就可以降到地电位。如果D和ϕ同时为1，M_1和M_2就同时导通，Y的值为由M_1和M_2宽长比所决定的低电平V_{OL}值。为了保证足够低的低电平值，M_1和M_2的宽长比就必须保持一定的比例。

7.5.2 动态无比反相器

动态无比反相器工作时，其驱动管和负载管总是交替导通的，因而对二者尺寸的比例没有固定要求。

图 7.18 是推挽式动态无比反相器，其中 ϕ_1 和 ϕ_2 为两相互不重迭的时钟。$\phi_1=1$ 时 M_3 导通，于是对电容 C 进行预充电，使输出电平为 1。通常把 ϕ_1 叫做预充时钟。当 $\phi_2=1$ 时，输出端 Y 依输入端 D 的状态而变。若 $D=1$，C 通过 M_2 和 M_1 放电，使输出电平为 0。若 $D=0$，输出电平保持不变。通常把 ϕ_2 叫做求值时钟。在这种电路中，不是用上升速度较慢的充电过程进行求值，而是通过预充高电平的保持或放电实现逻辑运算，所以加快了工作速度。

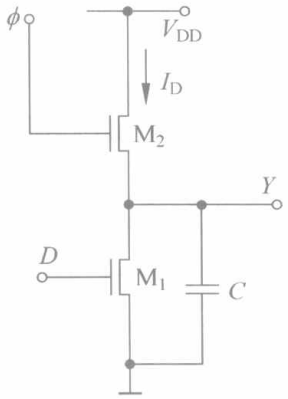


图 7.17　动态有比反相器

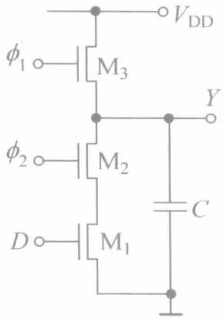


图 7.18　动态无比反相器

这种动态无比反相器，有两个问题。①在求值时钟结束前，输入电平必须是稳定的，并且在整个求值阶段输入不能改变；②在预充时钟作用期间，输出信号是不真实的。

解决上述问题的方法之一如图 7.19(a)所示，在上述动态无比反相器前后各加一个传输门，使之成为采样保持工作方式。这种电路由两相时钟进行控制。假定初始时 $\phi_1=0$，$\phi_2=1$，$D=1$，C_1 上的电平 $V_{C1}=1$，此时 M_1 和 M_4 截止，M_2，M_3 和 M_5 导通。于是 C_2，C_3 和 C_4(即 Y 端)均被放电至地电位。若在 ϕ_1 变为 1 之前，D 先变为 0(如图 7.19(b)所示)，等到 ϕ_1 变为 1 时，C_1 放电到 0 电平，于是 M_2 截止。此时由于 M_4 的导通，使 C_2 预充到 1 电平，C_3 和 C_4 仍保持为 0 电平。当 ϕ_1 再由 1 变为 0 时，M_1 和 M_4 截止，使 C_1 和 C_2 处于保持状态。待 ϕ_2 变为 1 时，M_3 和 M_5 导通，C_2 上的电荷将通过 M_3 和 M_5 分配给 C_3 和 C_4，使 C_3 和 C_4 电平升高。待 ϕ_2 再变为 0，ϕ_1 重新变为 1 时，开始新的预充周期，同时输入新的数据。由于此时 M_5 是截止的，所以输出能得到保持。这种工作方式的最大问题，是在 $\phi_2=1$ 期间输出 1 电平是由 C_2 上预充电荷与 C_3 和 C_4 进行重新分配而得到的，因此高电平被拉低了。设原来预充电平为 V_H，电荷分配后的高电平为 V'_H，则可得到

$$V'_H=\left(\frac{C_2}{C_2+C_3+C_4}\right)V_H \tag{7.41}$$

由此可见，这种电路在带有较大负载 C_4 时，高电平损失比较严重，这是很不利的。可以采用下述的漏举电路克服这一缺点。

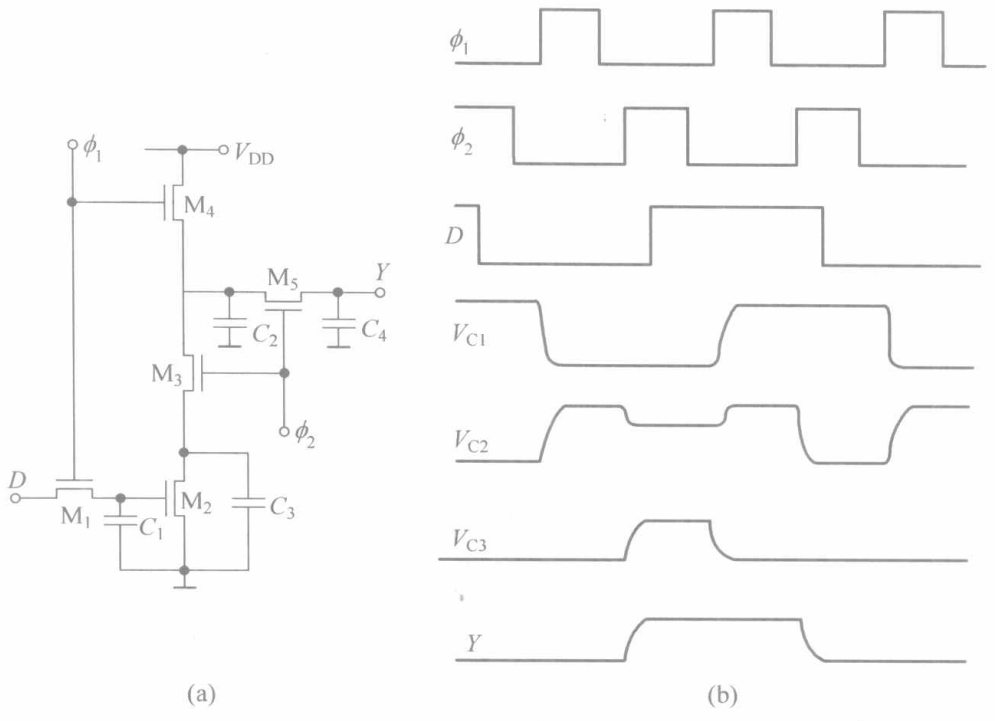


图 7.19　采样保持方式的动态无比反相器

(a) 电路图；(b) 波形图

7.5.3　漏举电路

漏举电路能够在带有较大负载时仍有很好的输出高电平、高速度和低功耗。

在动态无比反相器的后边加一级漏举电路，可以克服上述动态无比反相器的缺点，如图 7.20 所示，图 7.20(a)中虚线右边为漏举电路，其中 M_1 为传输管，M_2 既是偏置管又是输入传输管，C_b 为漏举电容，C_L 为负载电容。这个电路使用了三相时钟。ϕ_1 为预充时钟，ϕ_2 为求值时钟，ϕ_3 为输出时钟。ϕ_1 与 ϕ_2 互不重迭，ϕ_3 滞后于 ϕ_2 的时间应不少于 G 点通过 M_2，M_3 和 M_4 向地端的放电时间。当 $\phi_1=1$ 时，F 和 G 点预充至 $V_{DD}-V_T$ 使 M_1 导通。因为此时 $\phi_3=0$，所以 $Y=0$。当输入端 $D=0$ 时，各点波形如图 7.20(b)中实线所示。若此时 ϕ_2 由 0 变为 1 进行求值，则 F 和 G 点保持原预充电平不变。当 ϕ_3 从 0 变为 1 时，G 点电压由于 C_b 的耦合作用而升高(称为漏举)，使 M_2 临界截止，F 点和 G 点被隔断，因而避免了 F 点和地之间的寄生电容对自举效率的影响。输出端 Y 随即上升并趋近于 V_{DD}；当 $D=1$ 时，ϕ_2 由 0 变为 1 进行求值，此时 F 和 G 点均通过 M_2，M_3 和 M_4 放电，在 ϕ_3 变为 1 之前它们都降到低电平并使 M_1 截止。ϕ_3 到来时，因 M_1 截止使输出仍保持为 0。

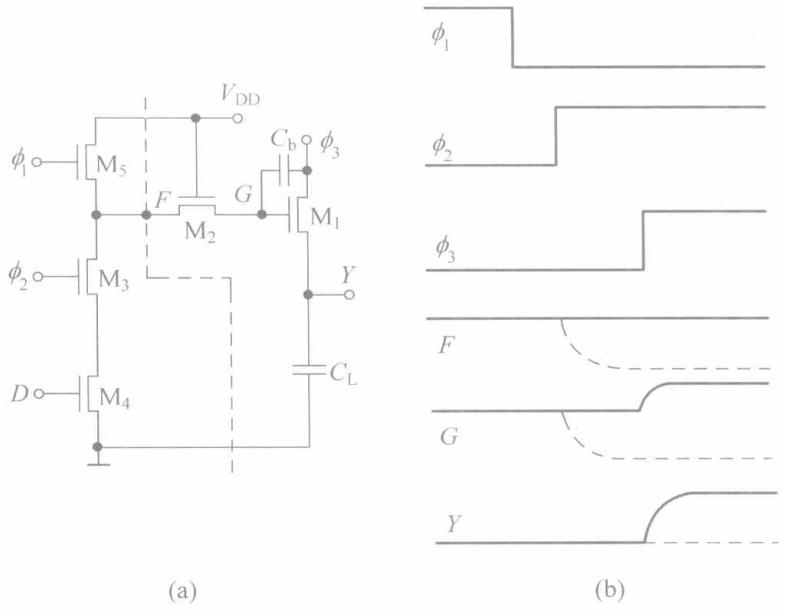


图 7.20　简单的漏举电路

(a) 电路图；(b) 波形图

7.6　按比例缩小理论

由前面的分析可知，缩小器件的尺寸，可以减小沟道长度 L 和寄生电容，从而改善集成电路的性能和集成度。器件尺寸的缩小，在集成电路技术发展的历史中，起着十分重要的作用，在今后仍然是集成电路进一步发展的一个关键因素。

MOS 集成电路的缩小尺寸，包括组成集成电路的 MOS 器件的缩小尺寸以及隔离和互连线的缩小尺寸三个方面。MOS 器件尺寸缩小后，会引入一系列的短沟道和窄沟道效应。

MOS 集成电路器件缩小尺寸的理论就是从器件物理出发，研究器件尺寸缩小之后，尽可能减少这些小尺寸效应的途径和方法。

1974 年，R. Dennard 等提出了 MOS 器件“按比例缩小”的理论。这个理论建立在器件中的电场强度和形状在器件尺寸缩小后保持不变的基础之上，称为恒定电场(constant electrical field)理论，简称 CE 理论。这样，许多影响器件性能并与电场变化呈非线性关系的因素，将不会改变其大小，而器件的性能却得到明显的改善。

随着实践的应用需要，又提出了恒定电源电压的按比例缩小 CV(constant voltage)理论以及准恒定电源电压的 QCV(quasi-constant voltage)理论。

7.6.1　器件和引线按 CE 理论缩小的规则

所谓“按比例缩小”，意味着不仅仅是简单地缩小器件的水平尺寸，而且按同样比例缩小器件的垂直尺寸；不仅缩小器件的尺寸，而且按比例地变化电源电压及衬底浓度。

CE 理论的基本特点是：器件尺寸、电源电压及衬底浓度这三个参数均按一个比例因子 α（此处 $\alpha>1$，是无量纲的常数）而变化，即所有水平方向和垂直方向的器件尺寸均按 $1/\alpha$ 缩小。与此同时，为了保持器件中各处电场强度不变，所有工作电压均按同样比例降低到 $1/\alpha$（即乘 $1/\alpha$）。为了按同样比例缩小器件内各个耗尽层宽度，衬底浓度应提高 α 倍。这里“按比例缩小”的提法是为了着重说明器件和引线尺寸的缩小。事实上，除尺寸之外，电源电压及衬底浓度是按同样的比例改变，并不一定缩小。按 CE 理论缩小的器件和电路性能如表 7.2 所示。

表 7.2　按 CE 理论缩小的器件和电路性能

参　数	比例因子 α	参　数	比例因子 α
器件最小尺寸	$1/\alpha$	延迟功耗乘积（空载）	$1/\alpha^3$
集成密度	α^2	单门延迟 τ_p（负载）	$1/\alpha$
电源电压 V_{DD}	$1/\alpha$	延迟功耗乘积（负载）	$1/\alpha^3$
衬底偏压 V_{BS}	$1/\alpha$	功耗密度	1
栅氧化层厚度 t_{ox}	$1/\alpha$	栅氧化层电场 E_{ox}	1
场氧化层厚度 t_{oxF}	$1/\alpha$	硅耗尽层电场 E_{Si}	1
结深 x_j	$1/\alpha$	接触电阻 R_C	α^2
衬底浓度 N_{SUB}	α	引线电阻 R_l	α
每门栅电容 C_G	$1/\alpha$	引线相对时间常数 R_lC_l/τ_p	α
迁移率 $\mu_{N,eff}$	1	引线相对压降 $\Delta V/V$	α
开启电压 V_{TE}	$1/\alpha$	电流密度	α
开启电压 V_{TD}	$1/\alpha$	最大集成门数	α^2
工艺增益因子 k	α	最大芯片面积	1
每门电流 I	$1/\alpha$	最大芯片边长	1
每门功耗 P	$1/\alpha^2$	最大芯片功耗	1
单门延迟 τ_p（空载）	$1/\alpha$		

CE 理论的一个主要弱点，是许多影响电路性能的参数，如硅的禁带宽度 E_g，等效热电压 kT/q，等效氧化层电荷密度 Q_{ox}，功函数差 φ_{MS}，PN 结内建电势 φ_{bi}，载流子饱和速度 v_{SAT}，亚开启电流斜率 S_i，杂质扩散系数，周长面积比，介电常数，介质和硅的临界电场强度，载流子碰撞电离率以及某些工艺参数的误差等，不能按比例变化；一些不希望或不应按比例变化的参数又不得不按比例变化，这些参数包括场氧化层厚度（希望尽可能厚，以减小寄生电容），互连线厚度（希望尽可能厚，以减缓电阻的增加），衬底浓度（希望尽可能低，以减少寄生的 PN 结电容），接触孔的面积（希望尽可能大，以减少寄生串联电阻）等等。因此带来以下一些问题：

① 小尺寸器件的开启电压过低，造成噪声容限低以及器件截止态时电导过大（亚开启电导效应）；

② 互连线电流密度按 α 因子增大，引起可靠性问题（金属电迁移效应）；

③ 互连线上相对电压降及接触电压降按 α 因子增大，引起电路性能下降；

④ 低的电源电压使其与其他电路的兼容造成困难；

⑤ 由于温度不按比例降低，使开启电压在电路工作温度范围内起伏过大；

⑥ 由于 PN 结内建电势 φ_{bi} 不按 α 比例因子缩小，导致耗尽层宽度不按比例缩小。

7.6.2 按比例缩小的 CV 理论

按比例缩小的 CV 理论是对 CE 理论的一种修正，其主要特点是保持电源电压不变。与 CE 规则一样，器件和引线的水平方向尺寸及垂直方向尺寸均按比例因子 α 缩小，此处 $\alpha>1$。为了保证在电源电压不变情况下，漏区耗尽层宽度按比例缩小，衬底浓度必须有相应的调整。由漏区耗尽层宽度公式可知

$$W_d = \left[\frac{2\varepsilon_0\varepsilon_{Si}(\varphi_{bi} + V_{DS} + |V_{BS}|)}{qN_{SUB}}\right]^{1/2} \tag{7.42}$$

其中，电压量 V_{DS} 及 V_{BS} 均保持常数，并假定 φ_{bi} 保持不变，则要求

$$N'_{SUB} = \alpha^2 N_{SUB} \tag{7.43}$$

才能使耗尽区宽度按比例因子 α 缩小。

表 7.3 给出按 CV 理论缩小的器件和电路性能。

表 7.3 按 CV 理论缩小的器件和电路性能

参　数	比例因子 α	参　数	比例因子 α
器件最小尺寸	$1/\alpha$	延迟功耗乘积(空载)	$1/\alpha$
集成密度	α^2	单门延迟 τ_P(负载)	$1/\alpha^2$
电源电压 V_{DD}	1	延迟功耗乘积(负载)	$1/\alpha$
衬底偏压 V_{BS}	1	功耗密度	α^3
栅氧化层厚度 t_{ox}	$1/\alpha$	栅氧化层电场 E_{ox}	α
场氧化层厚度 t_{oxF}	$1/\alpha$	硅耗尽层电场 E_{Si}	α
结深 x_j	$1/\alpha$	接触电阻 R_C	α^2
衬底浓度 N_{SUB}	α^2	引线电阻 R_l	α
每门栅电容 C_G	$1/\alpha$	引线相对时间常数 R_lC_l/τ_P	α^2
迁移率 $\mu_{N.eff}$	1	引线相对压降 $\Delta V/V$	α^2
开启电压 V_{TE}	1	电流密度	α^3
开启电压 V_{TD}	1	最大集成门数	$1/\alpha$
工艺增益因子 k	α	最大芯片面积	$1/\alpha^3$
每门电流 I	α	最大芯片边长	$\alpha^{-3/2}$
每门功耗 P	α	最大芯片功耗	1
单门延迟 τ_P(空载)	$1/\alpha^2$		

按比例缩小的 CV 理论，解决了 CE 理论所带来的问题，但是器件中电场强度又带来许多与高电场有关的一系列新问题。

由表 7.3 可以清楚看到，按 CV 理论缩小电路尺寸，可以使 NMOS 电路的延迟时间、集成密度以及延迟功耗乘积有明显改善。但是，高电场强度、高的电流密度、高的功耗密度以及高的引线电压降，成为 CV 理论的主要问题。

从上面的讨论可知，无论 CE 理论或者 CV 理论，都使集成电路性能得到改善，集成密度得到显著提高。但是，各自都存在由于过低的电压量(CE 理论)或过高的电场强度(CV 理论)所带来的一系列性能限制。如果完全按照 CE 理论或 CV 理论缩小集成电路，器件性能显然不能得到最佳化。

事实上，按比例缩小的理论中，并不是所有的几何尺寸或其他参数的改变都能带来好处。例如，场氧化层厚度和互连线的厚度如能保持不变，则可使互连线的电阻保持不变，而其电容值却缩小 α^2 倍。相应地，互连线的时间常数以 α^2 倍减小，与电路中器件的性能改善相匹配。当然，这种做法必须有相应的工艺技术作为基础。可以根据工艺技术水平，减缓场氧化层厚度及互连线厚度减薄的速率。

又如，衬底浓度的过分提高，使载流子的有效迁移率减小，使漏和源 PN 结的寄生电容增大，还会带来体效应的增大，这是应该避免的。在按比例缩小的理论中，提高衬底浓度的目的，是要使耗尽层宽度按比例缩小。但是只有耗尽层的横向宽度才是防止穿通的主要参数，而这种耗尽层的横向扩展可以通过沟道离子注入改变沟道表面浓度而得到控制，并无必要改变体衬底浓度。假定注入剂量不变，而注入深度按比例缩小，则表面浓度按比例增大，衬底的掺杂浓度就可以不变。当然在实践中，由于注入以后仍有一系列热处理过程，要按比例缩小注入的深度是困难的，但显然衬底浓度并不需要按 CE 理论及 CV 理论要求的那样大的比例增大。

采用计算机辅助技术，开发适当的模拟程序，可以在确定的沟道长度、结深及电源电压的条件下，通过选择栅氧化层厚度、沟道注入浓度及衬底浓度，达到器件的开启电压、驱动电流及速度的设计指标，并把短沟道效应如开启电压的下降及亚开启电流的升高限制在可接受的范围内。再由可靠性的要求(如衬底电流的数值)修正电源电压，直到高性能及高可靠性的要求均能达到为止。这个方法比较准确，但也较复杂。更为简便的方法是研究类似 CE，CV 的简单明了的缩小理论，使电源电压的值满足开启电压可控及高场效应足够小两方面的要求。这就是按比例缩小的准恒定电压(QCV)理论以及其他的一些修正理论。这类理论与其说是按某种比例关系缩小器件尺寸，按比例改变电压及衬底掺杂，还不如说是一种根据实际工艺能力的最佳设计。

7.6.3 按比例缩小的 QCV 理论

按比例缩小的 QCV 理论，事实上也是 CE 理论的修正型。它要求电源电压及其他电压量按$\sqrt{\alpha}$而变化，以实现上述对电压的要求。选择$\sqrt{\alpha}$并没有明确的物理意义，但它们与目前半导体工业中电源电压下降的速率比较接近。

表 7.4 是 QCV 理论及相应的器件和电路的性能。由此表可见，按 QCV 理论缩小的器

件和电路的性能折衷了 CE 及 CV 理论各自的优点和缺点，因而表现出较好的电路性能。

表 7.4　按 QCV 理论缩小的器件和电路性能

参　　数	比例因子
器件及引线的水平尺寸(W,L,W_1,L_1,引线孔)	$1/\alpha$
器件及引线的垂直尺寸(t_{ox},t_{oxF},t_I,x_j)	$1/\alpha$
衬底掺杂浓度 N_{SUB}	$\alpha^{3/2}$
电压量(V_{DD},V_{BS})	$1/\sqrt{\alpha}$
每门栅电容 C_G	$1/\alpha$
开启电压 V_T	$\approx 1/\sqrt{\alpha}$
工艺增益因子 k	α
每门电流 I	1
单门延迟 τ_P	$\alpha^{-3/2}$
单门功耗 P	$1/\sqrt{\alpha}$
延迟功耗乘积	$1/\alpha^2$
功耗密度	$\alpha^{3/2}$
栅氧化层电场 E_{ox}	$\sqrt{\alpha}$
硅耗尽层电场 E_{Si}	$\approx\sqrt{\alpha}$
接触电阻 R_C	α^2
引线电阻 R_I	α
引线上相对压降 $\Delta V/V$	$\alpha^{3/2}$
引线相对时间常数 R_IC_I/τ_P	$\alpha^{3/2}$
电流密度	α^2
集成密度	α^2
最大集成门数	$\sqrt{\alpha}$
最大芯片面积	$\alpha^{-3/2}$
最大芯片边长	$\alpha^{-3/4}$
最大芯片允许功耗	1

器件尺寸的缩小是实现高性能超大规模集成电路的必经之路，各种缩小尺寸的理论均有各自的特点及存在的局限性。因此，它们只能作为缩小器件尺寸的指导性理论，我们必须根据具体的应用和工艺的可能性，实现设计的最佳化。

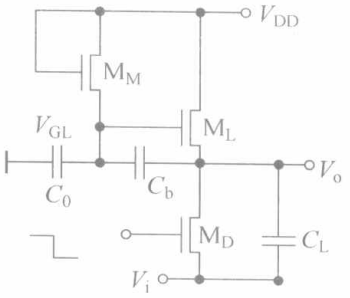
复习思考题

7.1　已知一自举反相器如图题 7.1 所示，其负载管的$W/L=2$，设其他参数为 $V_T=0.7\text{V}$，$V_{DD}=5\text{V}$，$k'=1\times10^{-5}\text{A/V}^2$，忽略衬底偏置效应。

(1) 当 $V_{IH}=V_{DD}$时，欲使 $V_{OL}=0.3\text{V}$，驱动管应取何尺寸？

(2) 设 $C_0=0$，做自举负载的动态负载线。

(3) 设 $C_0/C_b=1/4$，重复(2)，比较与(2)的不同，并分析其原因。



图题 7.1

7.2 有一 E/D NMOS 反相器，若 $V_{TE}=2V$，$V_{TD}=-2V$，$\beta_R=25$，$V_{DD}=5V$。

(1) 求此反相器的逻辑电平是多少？

(2) 当 $V_i=V_{OL}$，画出对负载电容充电时 I_o 随 V_o 的变化曲线。

7.3 两个 E/D NMOS 反相器的驱动管的参数与尺寸完全相同，负载管的饱和电流为 0.1mA，但负载管的开启电压与尺寸各不相同，设反相器 A 的开启电压为 $-4V$，反相器 B 的开启电压为 $-2V$，已知 $k'=1\times10^{-5}A/V^2$，$V_{DD}=5V$。

(1) 比较两个反相器的上升时间和两个负载管的沟道面积(设最小沟道长度和宽度为 $L_{min}=W_{min}=H$)。

(2) 设驱动管的开启电压为 1V，电路的逻辑低电平为 0.5V，求驱动管的宽长比(W/L)。

7.4 CMOS 反相器的设计指标如下所示：

参　量	单位	最小值	典型值	最大值
电源电压 V_{DD}	V	9.5	10	10.5
低电平噪容 V_{NL}	V	3	—	—
高电平噪容 V_{NH}	V	3	—	—
负载电容 C_L	pF	—	—	15
工作频率 f	MHz	—	—	1
N 管开启电压 V_{TN}	V		—	1.5
P 管开启电压 V_{TP}	V		—	−3.5
栅氧化层厚度 t_{ox}	Å		—	1700
电子迁移率 μ_N	$cm^2/(V\cdot s)$		—	200
空穴迁移率 μ_P	$cm^2/(V\cdot s)$		—	180

试计算负载管(P 管)和驱动管(N 管)的 W/L 和此反相器的动态功耗。

提示：为了保证最高工作频率为 1MHz，可以取上升和下降时间都是 300ns。

7.5 简述按比例缩小理论对集成电路发展的作用及其所受到的限制；试比较 CE，CV，QCV 理论的优点及其局限性。

第8章 MOS基本逻辑单元

任何复杂的MOS数字电路都是由一些基本逻辑单元(如与非门、或非门、触发器等)组成,而与非门、或非门等基本逻辑门则都可以在反相器的基础上构成,本章主要介绍这些基本逻辑门及触发器的构成和工作原理。

8.1 NMOS逻辑结构

8.1.1 NMOS或非门电路

图8.1是一个二输入或非门电路,它的负载器件是耗尽型NMOS管。当输入都是低电平时,两个驱动管同时截止,电路的工作状态与耗尽型MOS管负载的NMOS反相器几乎完全一样,输出高电平电压

$$V_{OH} \approx V_{DD} \tag{8.1}$$

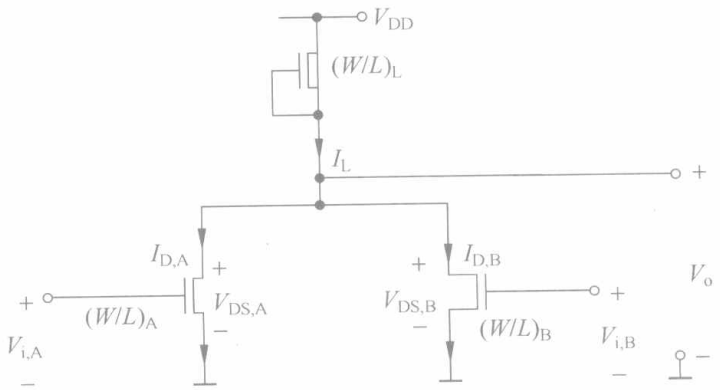


图8.1 或非门电路图

若考虑到驱动管截止时的漏电流,V_{OH}略有下降。它的低电平输出电压V_{OL}在只有一个管子导通或两个管子都导通时是不同的。若只有一个驱动管导通,电路相当于反相器,负载管处于饱和状态,导通的驱动管则处于非饱和状态。电流方程为

$$k_E[2(V_{OH}-V_{TE})V_{OL}-V_{OL}^2] = k_L[-V_{TL}(V_{OL})]^2 \tag{8.2}$$

式中：k_E 是导通驱动管的导电因子；V_{TE} 是它的开启电压；V_{OH} 是导通驱动管的输入电压；$V_{TL}(V_{OL})$ 是负载管源端为 V_{OL} 时的开启电压。从上式中解出 V_{OL} 为

$$V_{OL} = (V_{OH} - V_{TE}) - \sqrt{(V_{OH} - V_{TE})^2 - \frac{1}{\beta_R}[-V_{TL}(V_{OL})]^2} \tag{8.3}$$

式中 β_R 是导通驱动管导电因子与负载管导电因子的比值。设两个驱动管沟道的宽长比分别为 $(W/L)_A$ 和 $(W/L)_B$，式(8.3)中的 β_R 将有两种取值，即

$$\beta_R = \frac{k_A}{k_L} = \frac{k'_A\left(\frac{W}{L}\right)_A}{k'_L\left(\frac{W}{L}\right)_L} \tag{8.4}$$

和

$$\beta_R = \frac{k_B}{k_L} = \frac{k'_B\left(\frac{W}{L}\right)_B}{k'_L\left(\frac{W}{L}\right)_L} \tag{8.5}$$

前者对应着输入电压 $V_{i,A}$ 为高电平，后者对应着输入电压 $V_{i,B}$ 为高电平的情况。若两个驱动管的输入同为高电平，即同时导通，则

$$I_{D,A} + I_{D,B} = I_L \tag{8.6}$$

考虑到两个驱动管在同一工艺过程中制成，它的开启电压相同，则式(8.2)可修正为

$$(k_A + k_B)[2(V_{OH} - V_{TE})V_{OL} - V_{OL}^2] = k_L[-V_{TL}(V_{OL})]^2 \tag{8.7}$$

解得 V_{OL} 为

$$V_{OL} = (V_{OH} - V_{TE}) - \sqrt{(V_{OH} - V_{TE})^2 - \frac{k_L}{k_A + k_B}[-V_{TL}(V_{OL})]^2} \tag{8.8}$$

上式表明当两个驱动管同时导通时，式(8.3)中的 β_R 值等效为

$$\beta_R = \frac{k_A + k_B}{k_L} \tag{8.9}$$

V_{OL} 小于只有一个驱动管导通的情况。因此在设计时应该考虑的最坏情况是只有一个驱动管导通时的 V_{OL} 值。对于给定的 V_{OL}，由式(8.2)可得到导通驱动管与负载管的导电因子之比

$$\beta_R = \frac{|V_{TL}(V_{OL})|^2}{2(V_{OH} - V_{TE})V_{OL} - V_{OL}^2} \tag{8.10}$$

当两个输入端的高电平 V_{OH} 相等时，通常取 $k_A = k_B$。

下面讨论或非门的开关特性，这时需要估算等效输出电容。图 8.2 是电路中电容的分布情况。

图 8.2 中 C_G 是下级的输入电容；C_{line} 为线路电容，它比反相器的略大。与反相器相比较，或非门的等效输出电容 C_{out} 中增加了驱动管 B 的电容 $C_{GD,B}$，$C_{DB,B}$。因此或非门的 C_{out} 将

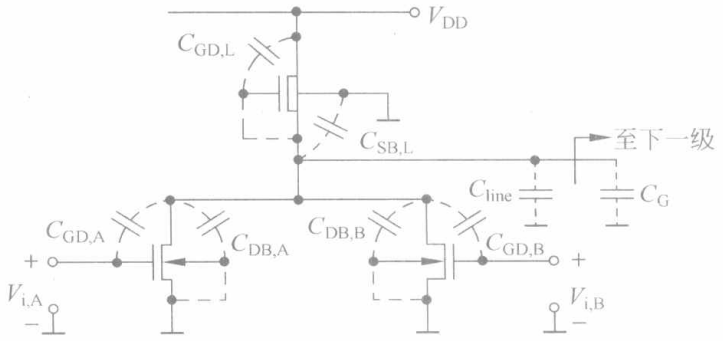


图 8.2　电路中电容的分布情况

大于反相器的等效输出电容，开关速度也低于反相器。输出电压下降是 C_{out} 对驱动管放电的过程，显然，最坏情况发生在只有一个驱动管导通时，即只有一个输入电压是高电平的情况。输出电压上升是负载管对 C_{out} 充电的过程。

图 8.3 中是有 N 个输入端的或非门电路，图中 N 个驱动管并联。设计 V_{OL} 时应考虑长宽比最小的驱动管对 V_{OL} 的影响，同时应注意等效输出电容将随 N 的增大而增大。

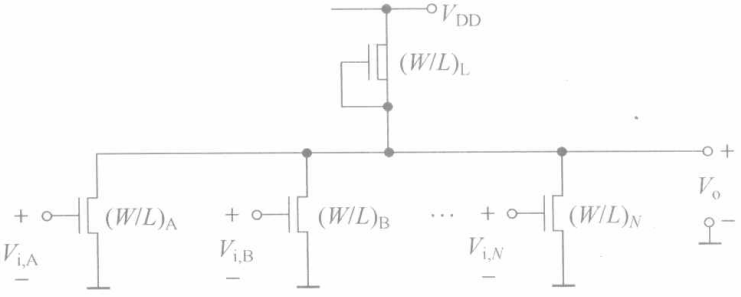


图 8.3　N 个输入端的或非门电路

8.1.2　NMOS 与非门电路

图 8.4 为 E/D NMOS 二输入与非门的电路，它是在 E/D NMOS 反相器的驱动管处串入另一个增强型 NMOS 管构成的。

现在来计算 V_{OL}。设输入电压 $V_{i,A}=V_{i,B}=V_{OH}$，此时驱动管处于非饱和状态，负载管处于饱和状态，电路中晶体管的电流相等：

$$\begin{aligned} k_L \mid V_{TL}(V_{OL}) \mid^2 &= k_A[2(V_{GS,A}-V_{TA})V_{DS,A}-V_{DS,A}^2] \\ &= k_B[2(V_{OH}-V_{TB})V_{DS,B}-V_{DS,B}^2] \end{aligned} \tag{8.11}$$

输出电压

$$V_{OL}=V_{DS,A}+V_{DS,B} \tag{8.12}$$

忽略 $V_{DS,B}$ 的影响，认为 $V_{GS,A}=V_{OH}$，由于此时输出电压 V_{OL} 通常很小，忽略 $V_{DS,B}$ 不会带来很

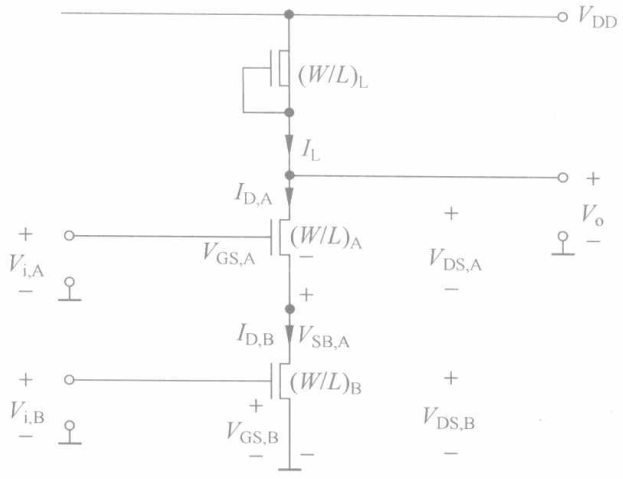


图 8.4　与非门的电路图

大误差。另外，忽略调制效应，故驱动管的开启电压 $V_{TA}=V_{TB}=V_{TE}$。又假设两驱动管具有相同的沟道宽长比，即

$$\beta_{R,A}=\beta_{R,B}=\beta_R \tag{8.13}$$

则 V_{OL} 值为

$$V_{OL}=2\left[(V_{OH}-V_{TE})-\sqrt{(V_{OH}-V_{TE})^2-\frac{1}{\beta_R}\mid V_{TL}(V_{OL})\mid^2}\right] \tag{8.14}$$

与反相器的特性相比，在器件的工艺参数相同的条件下，与非门的 V_{OL} 为反相器的两倍。为了降低 V_{OL}，就应该增大 β_R 值。在进行设计时，设

$$V_{DS,A}=V_{DS,B}=\frac{1}{2}V_{OL} \tag{8.15}$$

可得到 β_R 为

$$\beta_R=\beta_{R,A}=\beta_{R,B}=\frac{2\mid V_{TL}(V_{OL})\mid^2}{2(V_{OH}-V_{TE})V_{OL}-\frac{1}{2}V_{OL}^2} \tag{8.16}$$

即 β_R 相当于反相器的两倍。因此要得到相同的 V_{OL} 值，与非门每个驱动管所占芯片的面积应相当于反相器驱动管的两倍。

图 8.5 是电路中电容的分布情况。由于驱动管串联，因此等效输出电容 C_{out} 在不同输入电平时可能具有不同的数值。若输入端均处于高电平 $V_{i,A}=V_{i,B}=V_{OH}$，输出为低电平 $V_o=V_{OL}$，则两驱动管连接处的电压 V_x 也处于低电平。若 $V_{i,B}$ 降为零，$V_{i,A}$ 保持不变，则所有电容的电压都将发生变化。

若 $V_{i,A}$ 降为零，$V_{i,B}$ 仍保持在 V_{OH}，由于驱动管 A 截止，驱动管 B 与输出端断开，输出电容将小于上一种状态，在设计时应考虑最坏情况。

可以通过将多个驱动管串联的方式得到多输入与非门，如图 8.6 所示。但为了得到与

反相器同样的 V_{OL}，要求每个驱动管的长宽比应增大 N 倍（N 为输入端数），使得最坏情况的等效输出电容也将增大，因此，实际上很少应用输入端数大于三的与非门。对于多输入端的与非门，可以设计成最靠近输出端的 MOS 管的尺寸最小，而位置越靠近 V_{SS} 端的 MOS 管尺寸越大，用这种方法可以减小开关时间。

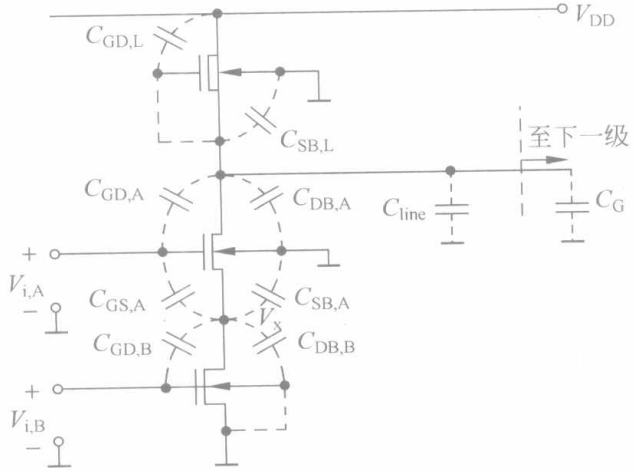


图 8.5　电路中电容的分布情况

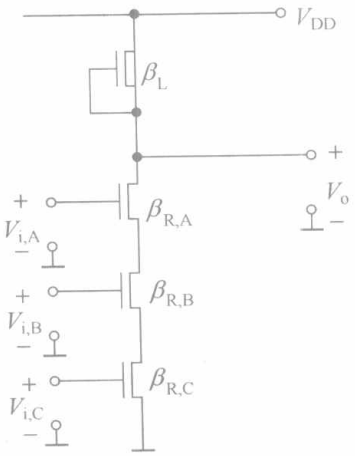


图 8.6　三输入与非门电路

8.1.3　NMOS 组合逻辑电路

图 8.7 为 E/D NMOS 的组合逻辑电路，其逻辑关系为 $G=\overline{(E+F)A+BC}$。

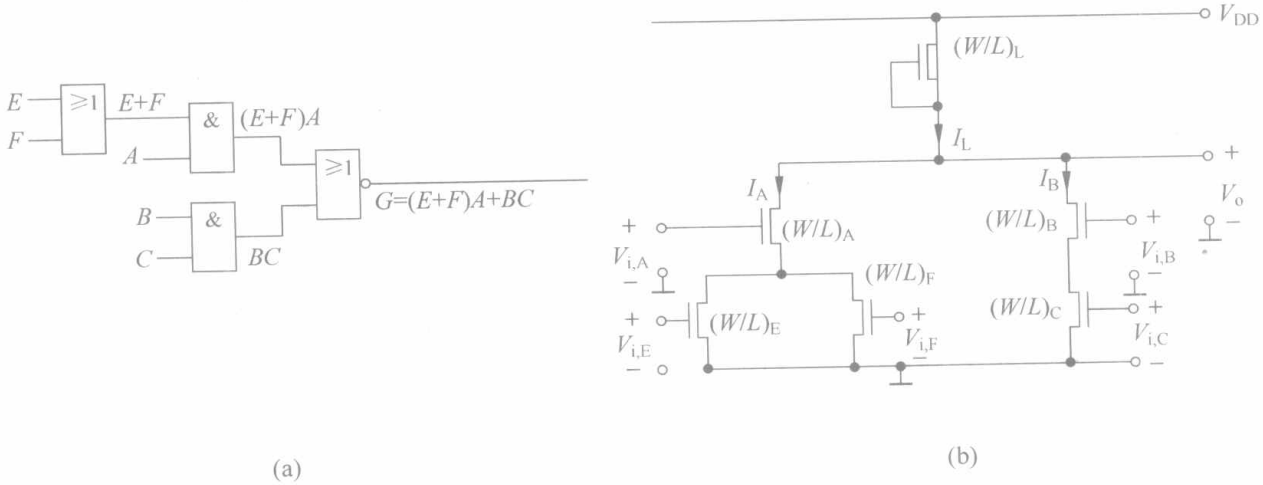


图 8.7　组合逻辑及实现的电路

（a）逻辑图；（b）电路图

在计算输出低电平电压 V_{OL} 时，它的最坏情况发生在 $I_L=I_A$ 或 $I_L=I_B$ 时，即只有一个并联支路导通的情形。还要注意这两个支路中晶体管器件参数 W/L 的取值。如果

$(W/L)_A$ 和 $(W/L)_B$ 是最小长宽比值，电路则可简化为一个二输入的或非电路，于是得最坏情况时的 V_{OL} 值为

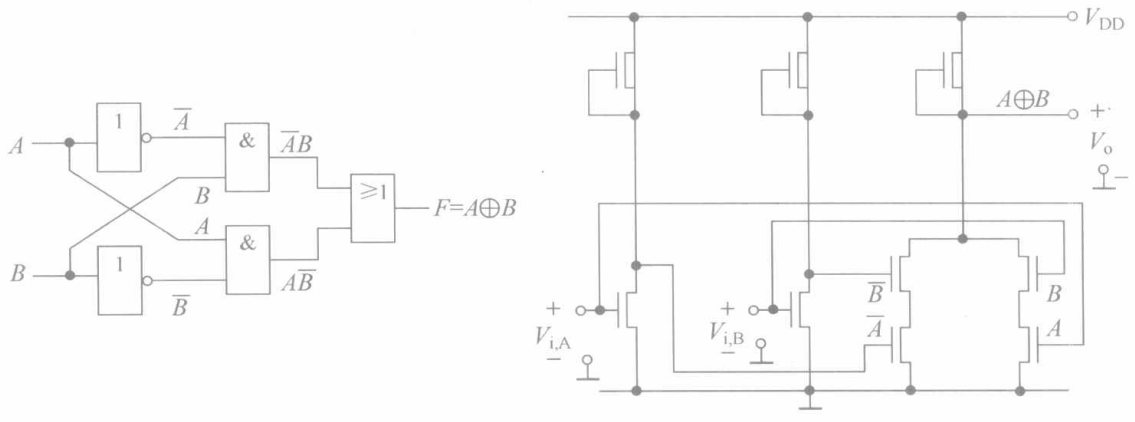
$$V_{OL}=(V_{OH}-V_{TE})-\sqrt{(V_{OH}-V_{TE})^2-\frac{1}{\beta_{R,A}}\mid V_{TL}(V_{OL})\mid^2}$$

或

$$V_{OL}=(V_{OH}-V_{TE})-\sqrt{(V_{OH}-V_{TE})^2-\frac{1}{\beta_{R,B}}\mid V_{TL}(V_{OL})\mid^2} \tag{8.17}$$

在选定器件参数 W/L 时，必须满足最坏情况的要求。

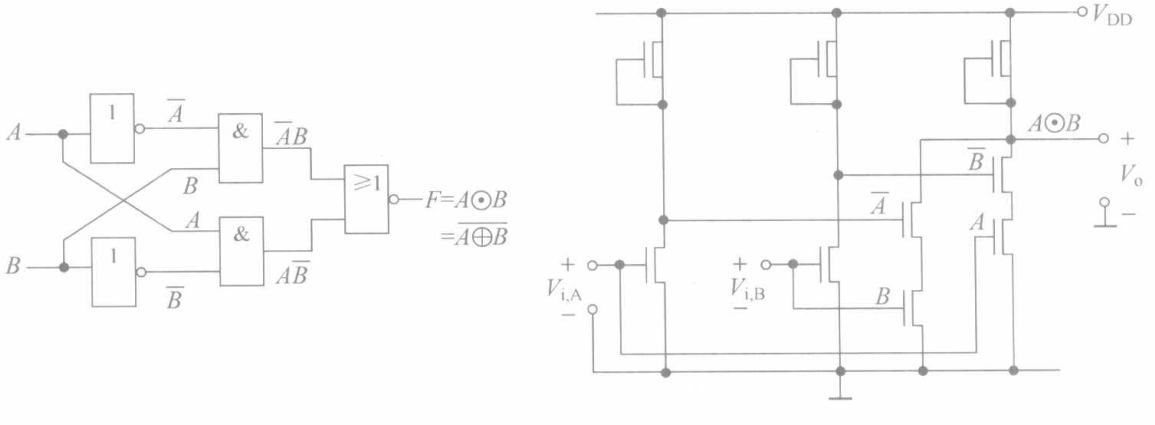
异或门及异或非门是两种常用的逻辑门，其电路图如图 8.8 和图 8.9 所示。



(a)　　(b)

图 8.8　异或门

(a) 逻辑图；(b) 电路图



(a)　　(b)

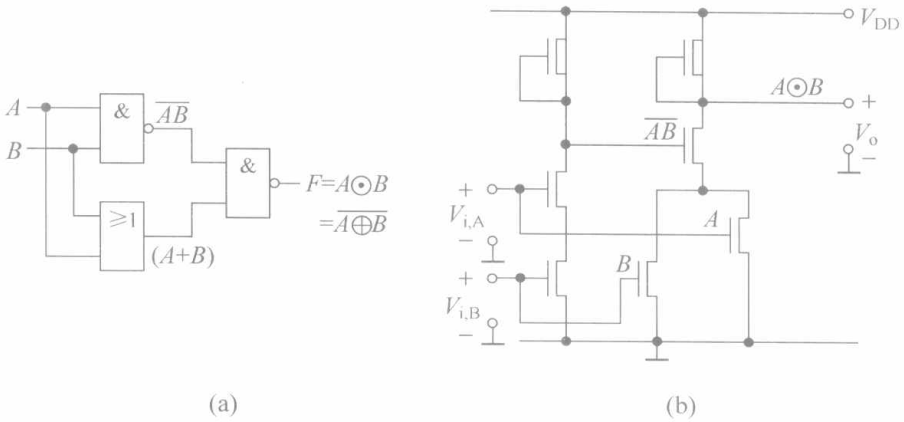
图 8.9　异或非门

(a) 逻辑图；(b) 电路图

图 8.9(a)和(b)分别是异或非门的逻辑图与电路图，它与异或门电路用了相同数量的晶体管。如果将异或非门的逻辑函数改写成

$$F = \overline{A \oplus B} = AB + \overline{A}\,\overline{B} = \overline{(\overline{AB})(A+B)} \tag{8.18}$$

就能得到图 8.10 较紧凑形式的逻辑图与电路图。与图 8.9 相比，它较节省芯片面积。



(a) (b)

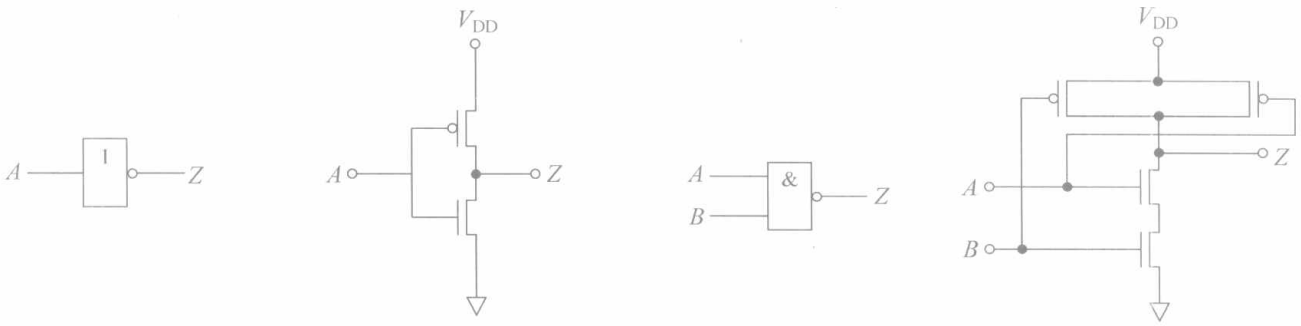
图 8.10 异或非门另一种实现方式

(a) 逻辑图；(b) 电路图

8.2 CMOS 逻辑结构

8.2.1 CMOS 互补逻辑

互补 CMOS 反相器、与非门、或非门和综合逻辑门的电路图分别示于图 8.11(a)、(b)、(c)、(d)。它们的分析方法与 E/D NMOS 相似，但是所有互补门都可以设计成无比的电路。也就是说，即使所有 MOS 管有相同的尺寸，电路仍能正常工作。



(a) (b)

图 8.11 CMOS 互补逻辑

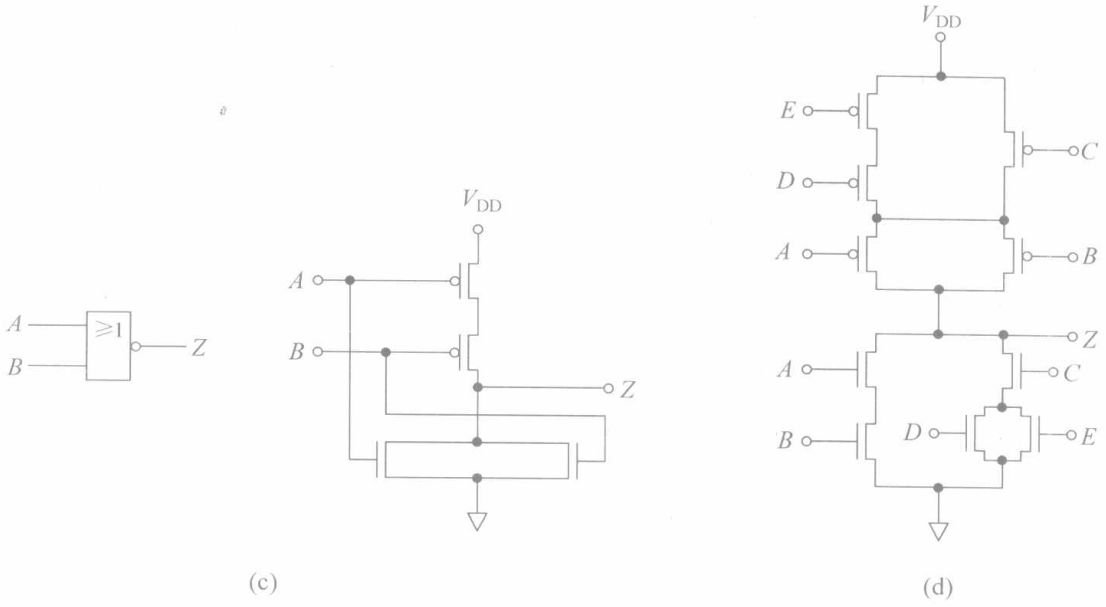


图 8.11 （续）

8.2.2 伪 NMOS 逻辑

图 8.12 是一个伪 NMOS 门，它是一种 CMOS 变型电路。伪 NMOS 门的负载器件是一个栅极接 V_{SS} 的 P 型管。这种门相当于一个普通的 NMOS 门，只不过用 P 型器件代替了 NMOS 负载管。为保证正确的开关特性，这种门的设计包括定出各有比 MOS 管的尺寸比。这种伪 NMOS 门的主要问题和 E/D NMOS 门的一样：每当“下拉电路”导通时，要产生静态功耗。在伪 NMOS 门中，由于输入函数的每一个变量仅仅用了一个 MOS 管，所以，最小的负载可以是一个单位栅极负载。单位栅极负载就是单位尺寸 MOS 管的栅极输入电容。而在 CMOS 门中，每个输入的电容至少是两个单位栅极负载。伪 NMOS 门提供了一种在 CMOS 工艺中模仿 NMOS 电路的方法，且 PMOS 负载没有衬偏调制效应。由于 P 型负载管始终是导通的，所以当 N 型下拉管导通时，有电流流过这种门。n 个输入的伪 NMOS 门有 $n+1$ 个 MOS 管。同完全互补的 CMOS 相比，这样实现的门可以有较高的密度，但对某些输入组合，其速度较低，且直流功耗较大。

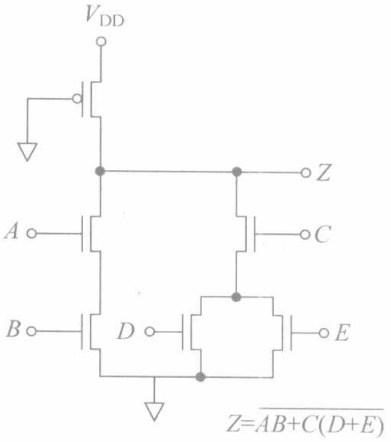


图 8.12 伪 NMOS 逻辑

8.2.3 动态 CMOS 逻辑

基本的动态 CMOS 门如图 8.13(a)所示，它的核心是一个 N 型 MOS 管的逻辑块，该逻辑块的输出端由 P 型 MOS 管（预充管）预先充电到 V_{DD}，再由接到 V_{SS} 的 N 型 MOS 管（求值

管)有条件地放电(也可采用 P 型逻辑块,N 型 MOS 管为预充管,P 型 MOS 管为放电管)。图 8.13 中 ϕ 是单相时钟,对于 N 型 MOS 管的逻辑块,在 $\phi=0$ 时,进行预充电;在 $\phi=1$ 期间,经过 N 型 MOS 管(接地开关管)接通 V_{SS} 电源的通路。这种门的输入电容大小和伪 NMOS 门的一样。由于采用有源开关,使上升时间缩短。但是串入的接地开关管使下降时间增加。图 8.13(b)为图 8.13(a)的简化等效电路。

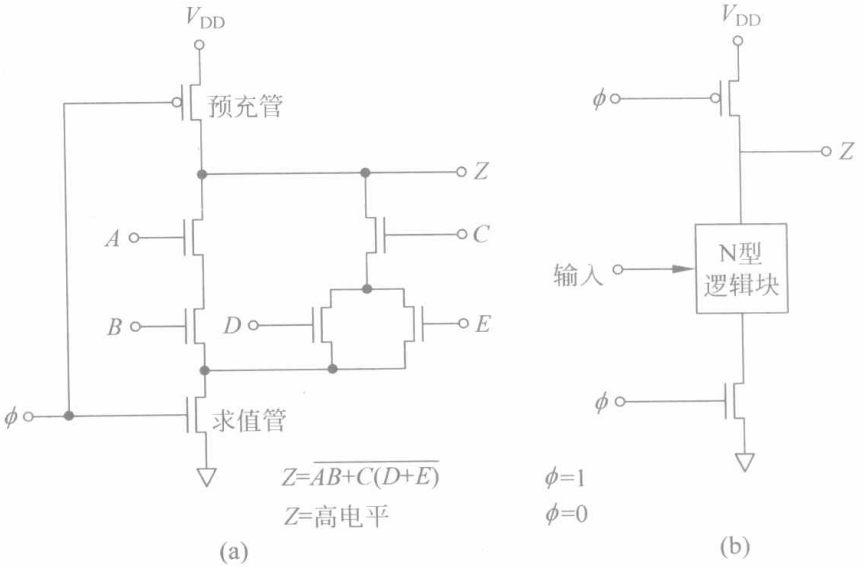


图 8.13　动态 CMOS 逻辑

上述的动态 CMOS 电路有许多问题。第一,各输入信号只能在预充期间内改变。否则,电荷再分配效应能够破坏输出点的电压。第二,简单的单相时钟动态 CMOS 门不能进行级联。例如,我们考虑图 8.14(a)所示的电路。当两个门同时进行预充电时,其输出端都预充电到 V_{DD}。在求值期间,第一个门的输出将有条件地放电。然而,由于下降时间有限,

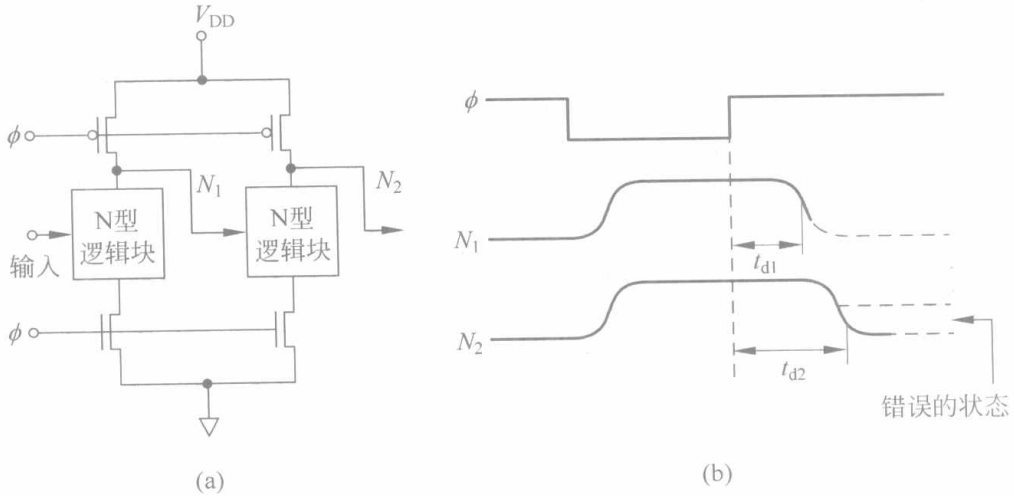


图 8.14　级联的动态 CMOS 逻辑

造成了一定的延时。因此，在第一个门正确地求值以前，其被充电的输出端会使下一个门的输出端放电(如图 8.14(b)所示)。

动态 CMOS 结构的改进办法是采用两相和四相逻辑，下面简单介绍两相时钟方案的选择。

1. 准两相时钟

准两相时钟是两相不交叠的 NMOS 时钟，再加上与其互补的两相时钟。各时钟之间的时间关系的选择取决于电路。一些指导原则如下：第一，如果 ϕ_1 是用做预充电的时钟，那么，它必须有一定的宽度，使得在 ϕ_1 期间，电路中充电最慢的节点也能充电完毕。第二，两个时钟之间的间隔要足够长，以保证在最坏的偏移情况下，两个时钟仍不会发生交叠。时钟偏移可以有两种形式。第一种偏移如图 8.15(a)所示，时钟是通过不同的延时路径到达的，这种偏移造成两个时钟有同时为高电平的一段时间。另一种类型的偏移，即使在时钟完全对准时也会出现，如图 8.15(b)所示。图 8.15(b)中的上升和下降沿是如此之缓慢，以至于在这个过渡过程期间，ϕ_1，ϕ_2 会有交叠。上述两种情况都导致错误的值储存在电容 C_1 和 C_2 上。因此，时钟周期必须考虑到需锁存的组合块中最坏的逻辑传输时间。

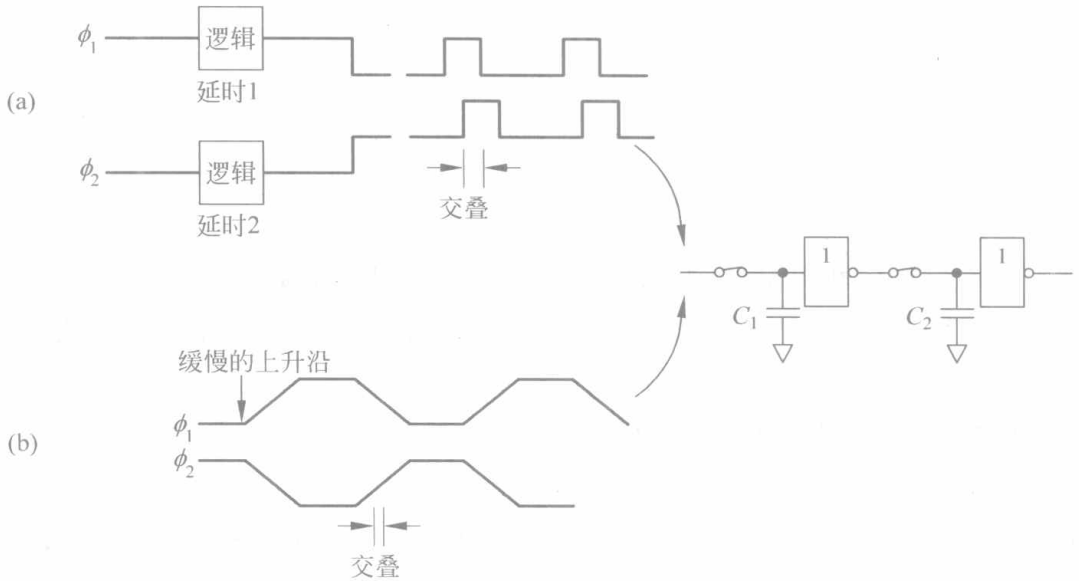
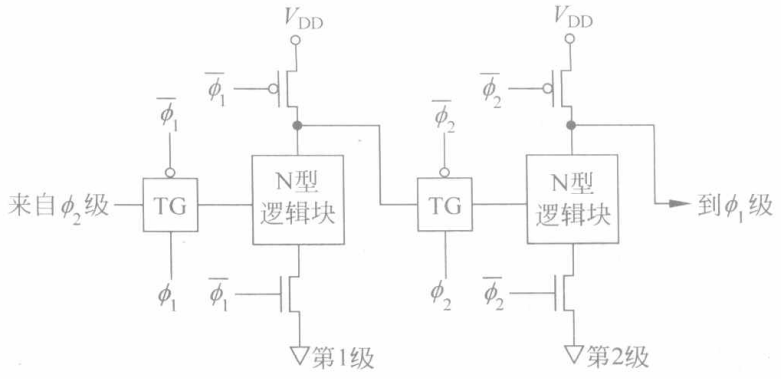


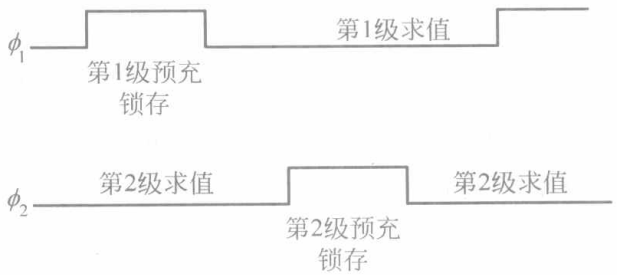
图 8.15　准两相时钟

(a) 时钟的偏移；(b) 缓慢的时钟沿

图 8.16 为准两相逻辑电路，图中(a)为等效电路图，(b)为 ϕ_1 及 ϕ_2 的波形图。在该电路中，第 1 级在 ϕ_1 期间进行预充电，在 ϕ_2 期间求值。当第 1 级求值时，第 2 级进行预充电，并且第 1 级的输出存储在第 2 级的输入端。在 ϕ_1 期间，第 2 级求值，并且其输出值锁存在后面的 ϕ_1 级。



(a)



(b)

图 8.16　准两相动态逻辑

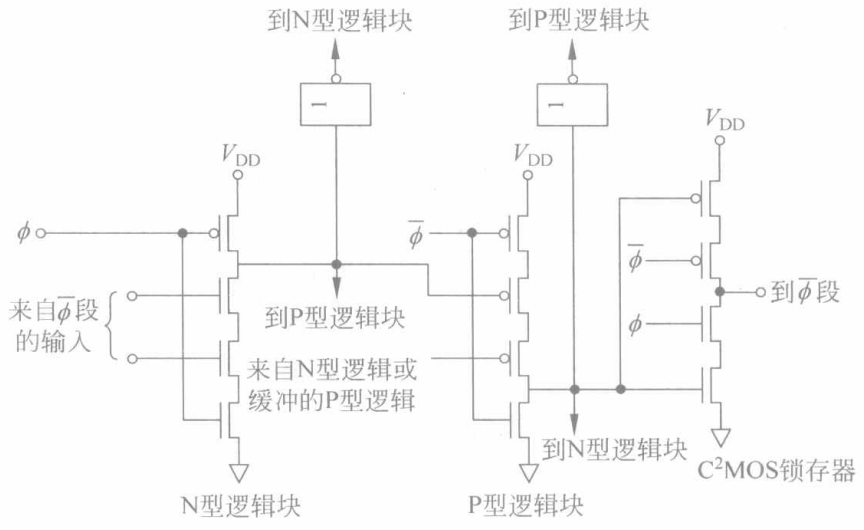
2. 两相时钟

采用 ϕ 和 $\bar{\phi}$ 这种两相时钟结构，可以减小芯片上时钟线的数目。

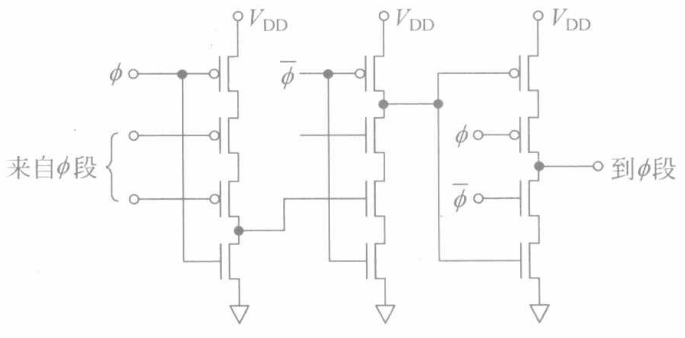
两相时钟电路也会出现准两相时钟电路中所遇到的时钟偏移的问题，因此需要密切注意时钟的产生和传送，以减小时钟的偏移。

在两相时钟电路中，如图 8.17(a)和(b)所示的 N-P CMOS 动态逻辑系列，通过较仔细的电路和系统设计，可以使速度和密度达到优化。将它们按图 8.17(c)所示的结构进行级联，可以构成一种流水线式的结构。当 $\phi=0,\bar{\phi}=1$ 时，ϕ 逻辑段预充电，$\bar{\phi}$ 逻辑段进行求值。当 $\phi=1,\bar{\phi}=0$ 时，ϕ 逻辑段进行求值，$\bar{\phi}$ 逻辑段进行预充电。

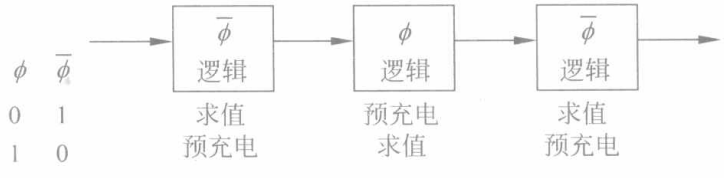
当用不同逻辑段级联起来构成流水线式系统时，要注意避免时钟偏移引起的毛刺造成的有害影响。因为当时钟出现偏移时，一个逻辑块的早先的输出变化可能对下一级产生毛刺(当下一级仍在接收前一级的信息时)。为了保证时钟偏移引起的毛刺不能从一个逻辑块的输出传送到下一个逻辑块的 C^2MOS(钟控 CMOS)锁存器，应该使一个 C^2MOS 级和前面的 C^2MOS 级之间，总的反相次数为偶数。



(a)



(b)



(c)

图 8.17　流水线式两相 N-P 逻辑

(a) N-P CMOS ϕ 逻辑级；(b) N-P COMS $\overline{\phi}$ 逻辑级；(c) 级联图

8.2.4　钟控 CMOS 逻辑

钟控 CMOS 逻辑如图 8.18 所示。这种逻辑结构主要用来构成钟控结构，用它把锁存器(或接口电路)和其他类型的动态逻辑连接起来。这种门具有和普通互补门一样的输入电容，但是，由于串联了钟控 MOS 管，其上升和下降时间较长。

8.2.5 CMOS 多米诺逻辑

改进的钟控 CMOS 逻辑如图 8.19 所示。它是把静态 CMOS 缓冲器合并到每一个逻辑门上。在预充电期间($\phi=0$),动态逻辑门的输出端被预充电到高电平,缓冲器的输出为低电平。下一级逻辑块中的 MOS 管处于截止状态。当门求值时,门的输出端有条件地放电,使缓冲器的输出有条件地变到高电平。于是级联中的每一个门依次至多发生一次由 1 到 0 的电平变化。因而,缓冲器也只能有一次从 0 到 1 的电平变化。在级联的逻辑块中,每一级进行状态的求值,并引起下一级的求值,这就好像多米诺骨牌一个个地倒下去一样。可以级联的逻辑级是任意的,在求值时钟相位期间,它们顺序地求值。一个逻辑块内的所有逻辑门可以只用单个时钟来预充电和求值。

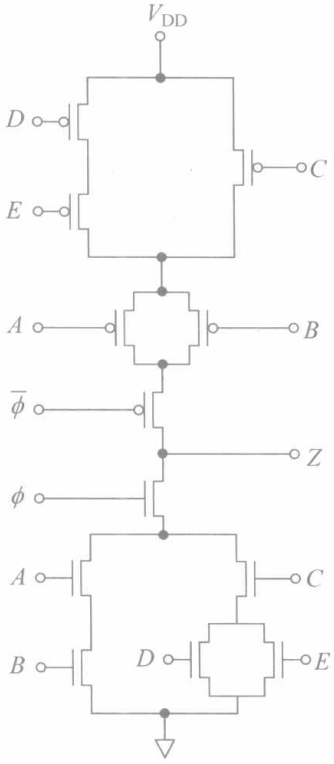


图 8.18 钟控 CMOS 逻辑(C^2MOS)

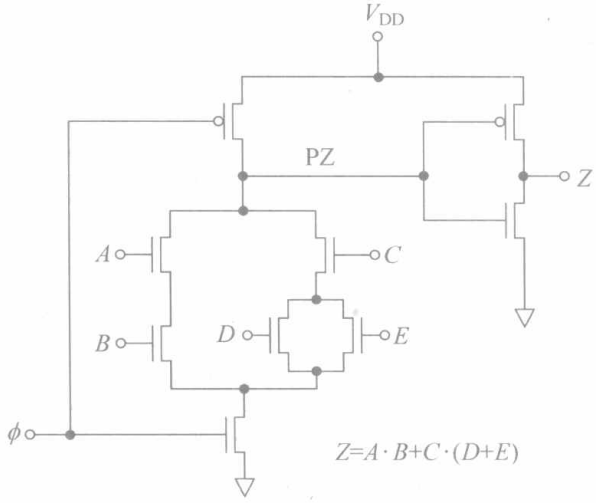
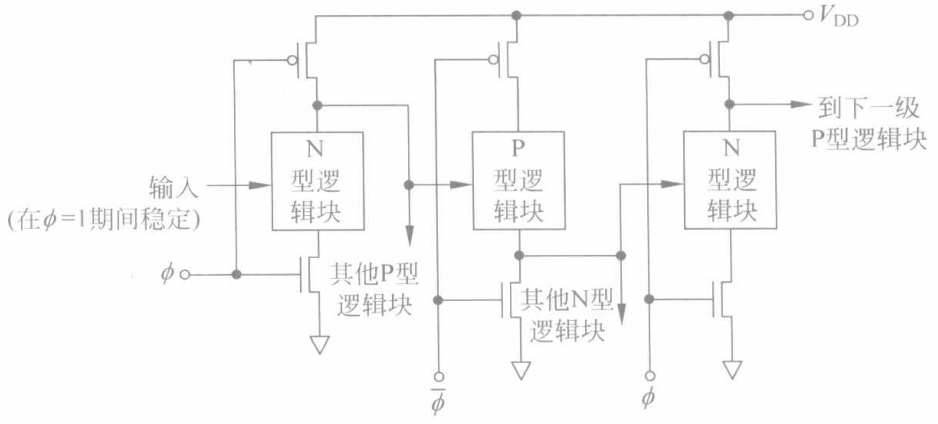
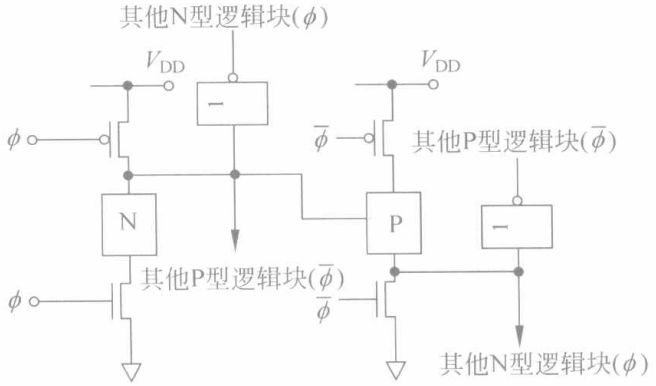


图 8.19 CMOS 多米诺逻辑基本的门电路

进一步改进的多米诺 CMOS 逻辑如图 8.20(a)所示。其主要特点是:省掉了多米诺缓冲器,级联的各逻辑块交替地由 P 型管和 N 型管构成。在图 8.20(a)电路中,当 $\phi=0$ 时,第 1 级(N 型 MOS 管逻辑)预充电到高电平,第 2 级预充电到低电平,第 3 级预充电到高电平。由于第 2 级由 P 型 MOS 管构成,在预充电期间,这些 P 型 MOS 管都处于截止状态。由于第 2 级预充电到低电平,第 3 级中的 N 型 MOS 管也都是截止的。因此,可进行多米诺的连接,如图 8.20(b)所示。



(a)



(b)

图 8.20　交替排列的 N 型和 P 型多米诺逻辑块

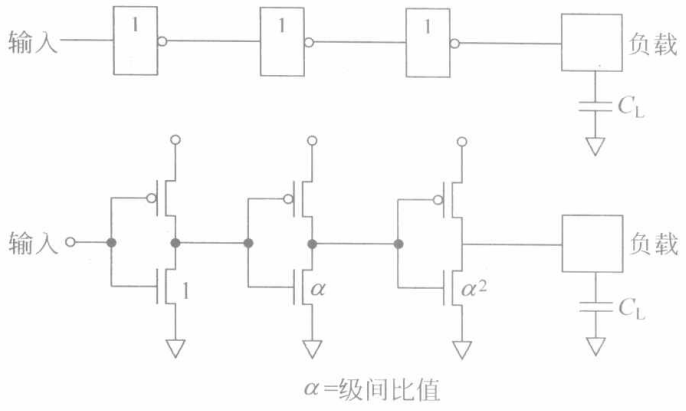
8.3　级联级的负载

在电路中，往往是一串级联门中最后的一个门要去驱动大的负载，如数据总线、I/O 驱动器或者芯片外部的负载(用 I/O 缓冲器驱动)。对于一个简单的级联反相器的组合，可以定义一个级间比值，这个比值就是相邻级中 MOS 管宽度增加的倍数。图 8.21(a)是一个反相器级联的组合。从延迟时间最小考虑，最佳的级间比值是 2.7。然而，如果要求尺寸或功耗最佳，级间比值可在 2～10 内选择。下面举例来说明这个概念。图 8.21(b)绘出了一个异或门电路，它由一个二输入与非门、一个或与非门和一个反相器构成。上升和下降时间近似如下：

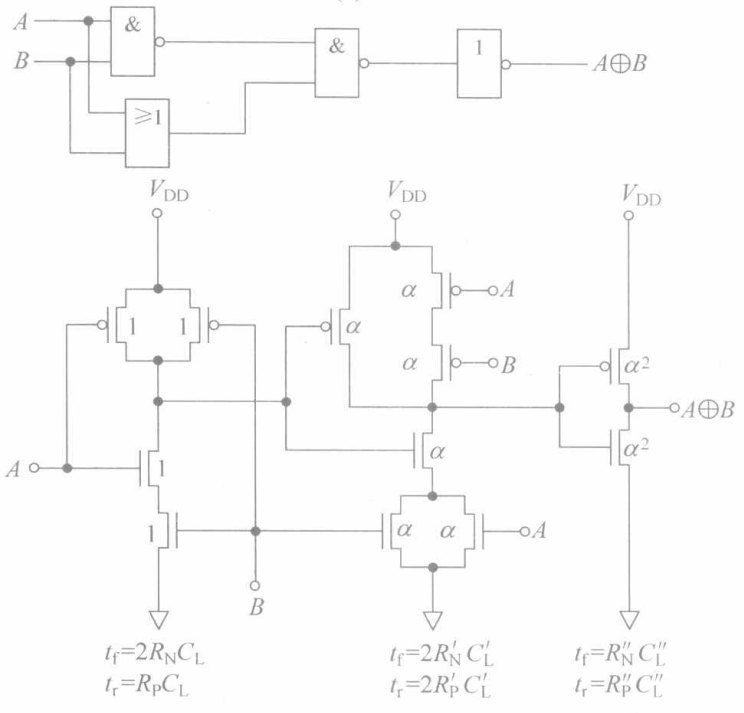
与非门：　$t_f = 2R_N C_L$　　$t_r = R_P C_L$

或与非门：　$t_f = 2R'_N C'_L$　　$t_r = 2R'_P C'_L$

反相器：　$t_f = R''_N C''_L$　　$t_r = R''_P C''_L$



(a)



(b)

图 8.21　级间比值和对级联门工作速度的影响

上述各式中，C_L，C'_L和C''_L是各级的负载电容；R_N，R'_N和R''_N是各级中 N 型 MOS 管的导通电阻；R_P，R'_P和R''_P是各级中 P 型 MOS 管的导通电阻。因此，如果级间比值是α，则通过这一串门的平均延时为

$$T_{AV}=\frac{1}{2}\left(2\alpha R_N C_L+\alpha R_P C_L+\frac{2\alpha^2 R_N C_L}{\alpha}+\frac{2\alpha^2 R_P C_L}{\alpha}+\frac{R_N C_{LOAD}}{\alpha^2}+\frac{R_P C_{LOAD}}{\alpha^2}\right) \tag{8.19}$$

式中，C_{LOAD}是最终的负载电容。若$C_{LOAD}=100C_L$，$\alpha=1$，则

$$T_{AV}=52R_N C_L+51.5R_P C_L \tag{8.20}$$

然而，若$\alpha=5$，则

$$T_{AV} = 12R_N C_L + 9.5R_P C_L \tag{8.21}$$

这清楚地说明该方法可以大大提高工作速度。

8.4 影响门的电气和物理结构设计的因素

复杂的门是前面讨论的各种门的扩展。但在进行设计时，要考虑 MOS 管的串并联、衬偏调制效应、源漏电容和电荷的再分配等对性能的影响。

8.4.1 MOS 管的串联和并联

首先讨论管子串联和并联对性能的影响。

两个 N 型 MOS 管的串联，如图 8.22(a)所示。对具有负载电容 C_L 的反相器来说，下降时间 t_f 正比于 $C_L R_N$，式中 R_N 是组合成一组的 MOS 管总电阻。若两个管子的 k_N 相等，则可以得出其下降时间 t_f' 是尺寸相同的单个 MOS 管的 t_f 的两倍。通常，m 个 N 型 MOS 管串联的下降时间 t_f' 为 mt_f；同样地，k 个 P 型 MOS 管串联的上升时间 t_r' 是 kt_r。

在几个 MOS 管串联构成的门中，版图设计时，按照 MOS 管在串联结构中的位置来改变管子的尺寸，可以提高工作速度。如图 8.23 所示的四输入与门，最靠近输出端的 MOS 管的尺寸最小；而位置越靠近 V_{SS} 端的 MOS 管的尺寸越大。由于在门的 RC 时间常数中，电容是决定的因素，所以，这种方法可以减小开关时间。可以预期有 15%～30%的性能提高。

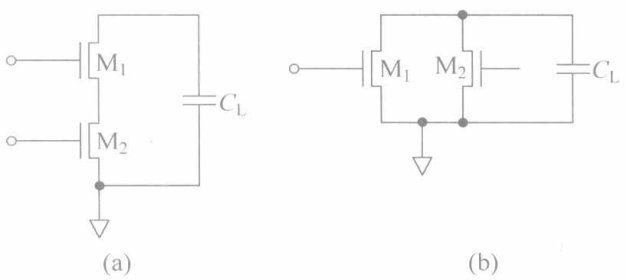


图 8.22 MOS 管串联和并联的影响

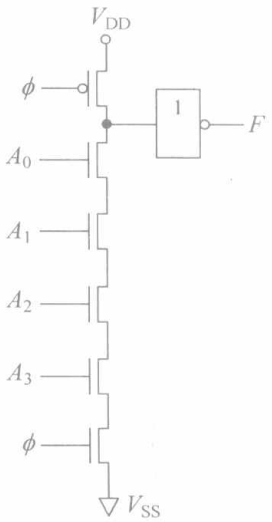


图 8.23 尺寸优化的串联 MOS 结构

相应地，如果 m 个并联的 N 型 MOS 管同时导通(如图 8.22(b)所示)，则并联 NMOS 管的下降时间 t_f'' 是 t_f/m。k 个 P 型 MOS 管同时导通时，上升时间 t_r'' 是 t_r/k。若要估算通过门的最短延时，这些时间都是很重要的。

8.4.2 衬偏调制效应

在图 8.24(a)所示的多输入与非门中，如果与输出端相连的 N 型 MOS 管的源极电位与衬底的电位不相等，则该管的开关速度就较慢。假定输入分别为 A，B，C 的三个 N 型 MOS 管最初都是截止的，输入为 D 的 N 型 MOS 管导通之后又截止，这将使该管源极的节点电容 C_1 充电至高电平。假设所有的输入后来又同时变为高电平，如图 8.24(b)所示。此时由于输入为 D 的 MOS 管的源极电位仍是高电平，于是，C_1 通过栅极信号分别为 A，B，C 的各个 N 型 MOS 管进行放电，输入信号为 D 的 N 型 MOS 管才逐渐导通。因此，这个门的下降时间比原来的估计值要长一些。为了减小衬偏调制效应的影响，在门电路设计时，应使“内部”节点的电容尽可能地小。此外，还应考虑到 N 型 MOS 管和 P 型 MOS 管的衬偏调制效应是不同的，如果前者较后者严重，则选用或非结构比较合适。

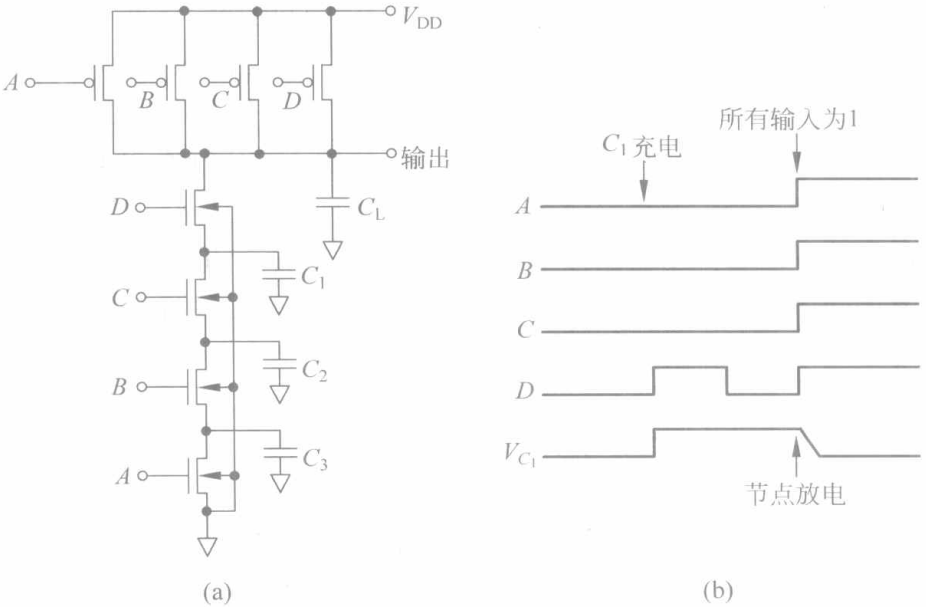


图 8.24　多输入门的衬偏调制效应

8.4.3 源漏电容

在 MOS 管并联情况下，源漏电容的影响使电路性能不如理想门。在图 8.22(b)所示的或非门电路中，输出端与一个 P 型 MOS 管的漏区和两个 N 型 MOS 管的漏区相连(假设是伪 NMOS 逻辑电路)。然而，在某种或非门版图中，把两个 N 型 MOS 管的漏区合并在一起，从而减小了输出端的电容。两个源区并联接到地线会增加地线的电容，但是这不影响输出的开关速度。又如，在实现函数 $F=\overline{(A+B+C)D}$ 的门电路中(见图 8.25(a))N 型 MOS 管的连接(见图 8.25(b))问题。地线可以接在 1 点或 2 点，但选择 1 点是较合适的，因为它连接了三个源区到地(V_{SS})，两种接法的版图见图 8.25(c)和(d)。通常，考虑到源漏电容效

应和衬偏调制效应，应尽可能把最大的电容节点安置到靠近电源线和地线的地方。凡是这些电容起主导作用的场合，优化的版图可以产生工作速度较快的电路。

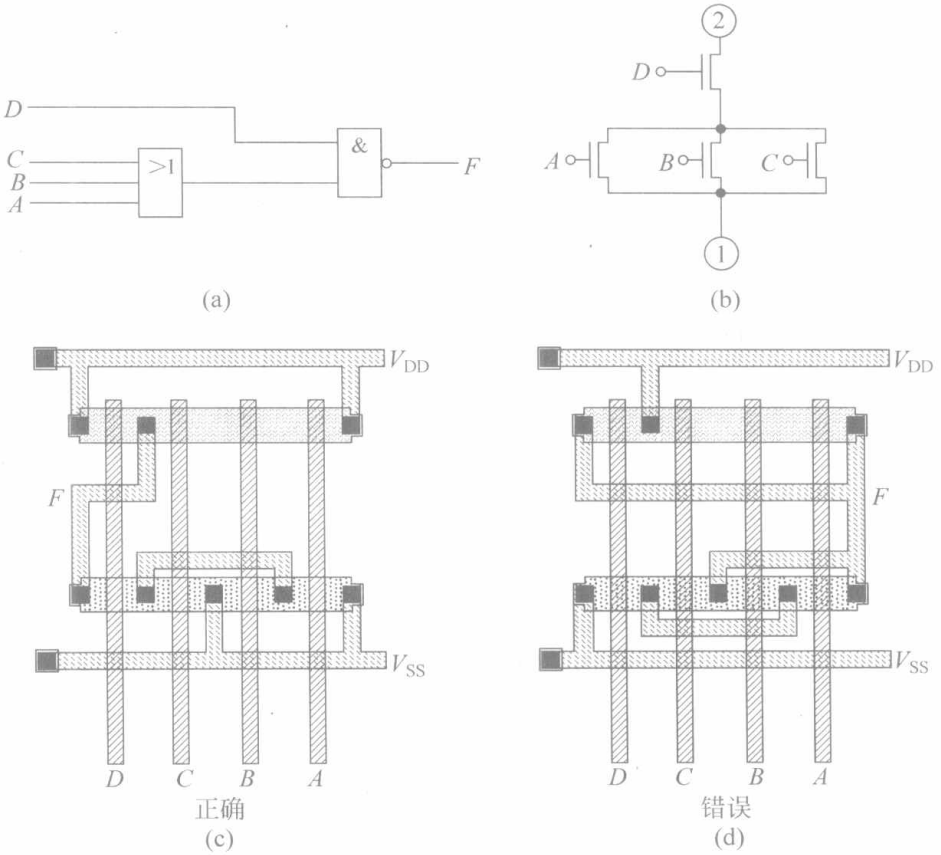


图 8.25　多个源漏连接的优化

8.4.4　电荷的再分配

对于动态门应考虑电荷的再分配效应。如图 8.26(a)所示的钟控反相器，图中 C_3 为源漏的寄生电容，C_o 为输出电容。典型的信号波形示于图 8.26(b)。如果时钟脉冲 ϕ 为高电平，输入是低电平，那么，节点 3 放电，而输出端预充电到高电平。当时钟变为低电平时，输出端维持原来所充的高电平。此后，如果输入变为高电平，电容 C_3 将充电，输出电压 V_o 减小为

$$V'_o = \frac{C_o}{C_3 + C_o} V_o$$

这个效应会根据电容的比值影响到下一级门。

解决电荷再分配的方法是使 MOS 管电路中总的内部节点电容应小于一个限定的值，输出电容 C_o 和内部电容 C_i 的比值至少应为 10∶1，使得输出电压不可能造成下一级门的错误动作；如果需要一个很大的 MOS 管电路，可以在输出端附加一个电容；采用或非结构也有助于减小电荷的再分配效应。还有一种解决办法是对内部节点电容单独进行预充电，如图 8.26(c)所示。

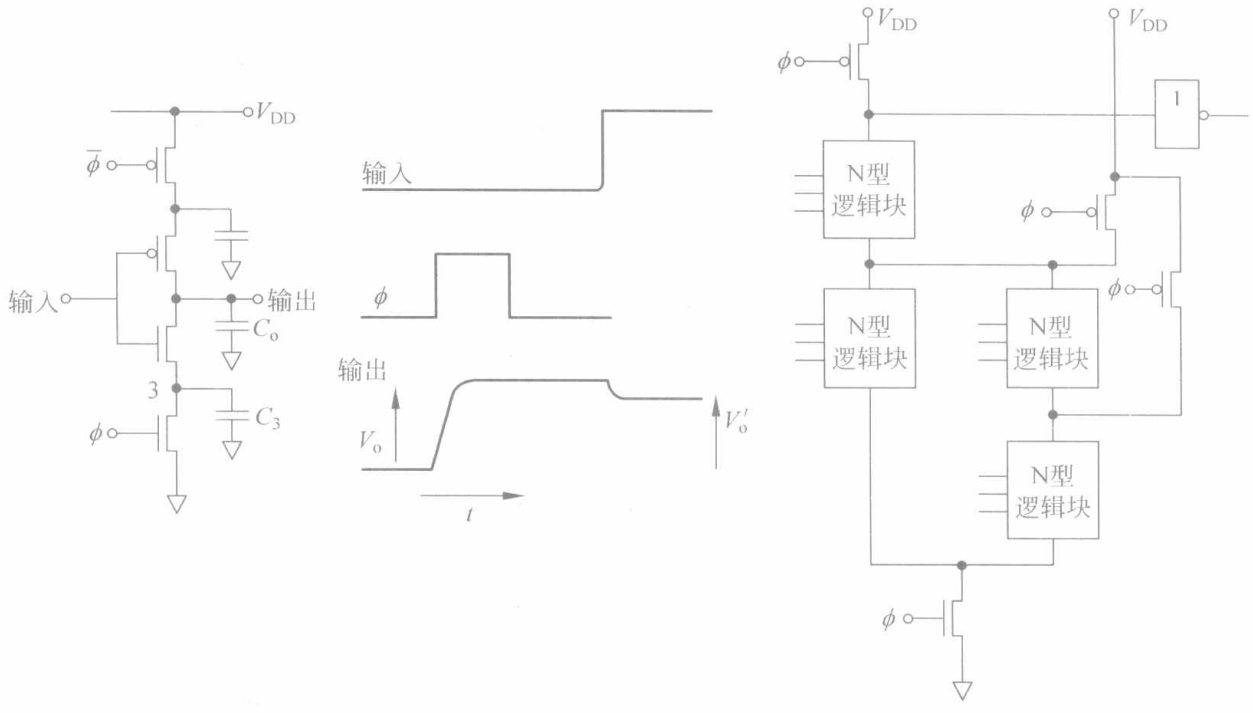


图 8.26　钟控门的电荷再分配

8.5　各种逻辑类型的比较

下面，从面积、功耗、速度、噪声容限及故障敏感性等方面对各种逻辑类型进行比较。假设一个“标准”反相器是由一个“单位”尺寸的 N 型 MOS 管和一个“单位”尺寸的 P 型 MOS 管构成的，其输入电容是 $2C_g$，上升时间是 2τ，下降时间是 τ，此处 $\tau=2R_N(C_g+C_D)$。式中 R_N 为单位尺寸 N 型 MOS 管的导通电阻，C_g 和 C_D 为单位尺寸 MOS 管的栅电容和漏区电容。

表 8.1 总结了 m 个输入端的门(假定负载电容很大而忽略寄生电容)的有关参数。

表 8.1　各种 CMOS 逻辑系列的比较

逻辑系列		输入电容 C	t_r	t_f	晶体管数
互补 CMOS	与非门	$2mC_g$	2τ	$m\tau$	$2m$
	或非门	$2mC_g$	$2m\tau$	τ	
伪 NMOS	与非门	mC_g	6τ	$m\tau$	$m+1$
	或非门	mC_g	6τ	τ	
动态 CMOS	与非门	mC_g	—	$(m+1)\tau$	$m+2$
	或非门	mC_g	—	2τ	
钟控 CMOS	与非门	$2mC_g$	4τ	$(m+1)\tau$	$2m+2$
	或非门	$2mC_g$	$2(m+1)\tau$	2τ	

续表

逻辑系列		输入电容 C	t_r	t_f	晶体管数
多米诺 CMOS（包括改进的多米诺逻辑）	与非门(N 块)	mC_g	—	$(m+1)\tau$	$m+4$（改进的多米诺逻辑为 $m+2$）
	或非门(N 块)	mC_g	—	2τ	
	与非门(P 块)	mC_g	$2(m+1)\tau$	—	
	或非门(P 块)	mC_g	4τ	—	

除了伪 NMOS 外，其他各种系列的直流功耗为 0。伪 NMOS、动态 CMOS 和多米诺 CMOS 的 0 电平噪声容限(NM_L)比互补 CMOS 的有所下降。

8.6 传输门逻辑

在 NMOS 电路中，传输门逻辑是比较有用的逻辑形式，图 8.27(a)是一个 NMOS 二输入端多路选择器。图 8.27(a)中每一个 N 型 MOS 管用一个 CMOS 传输门取代之后，就成

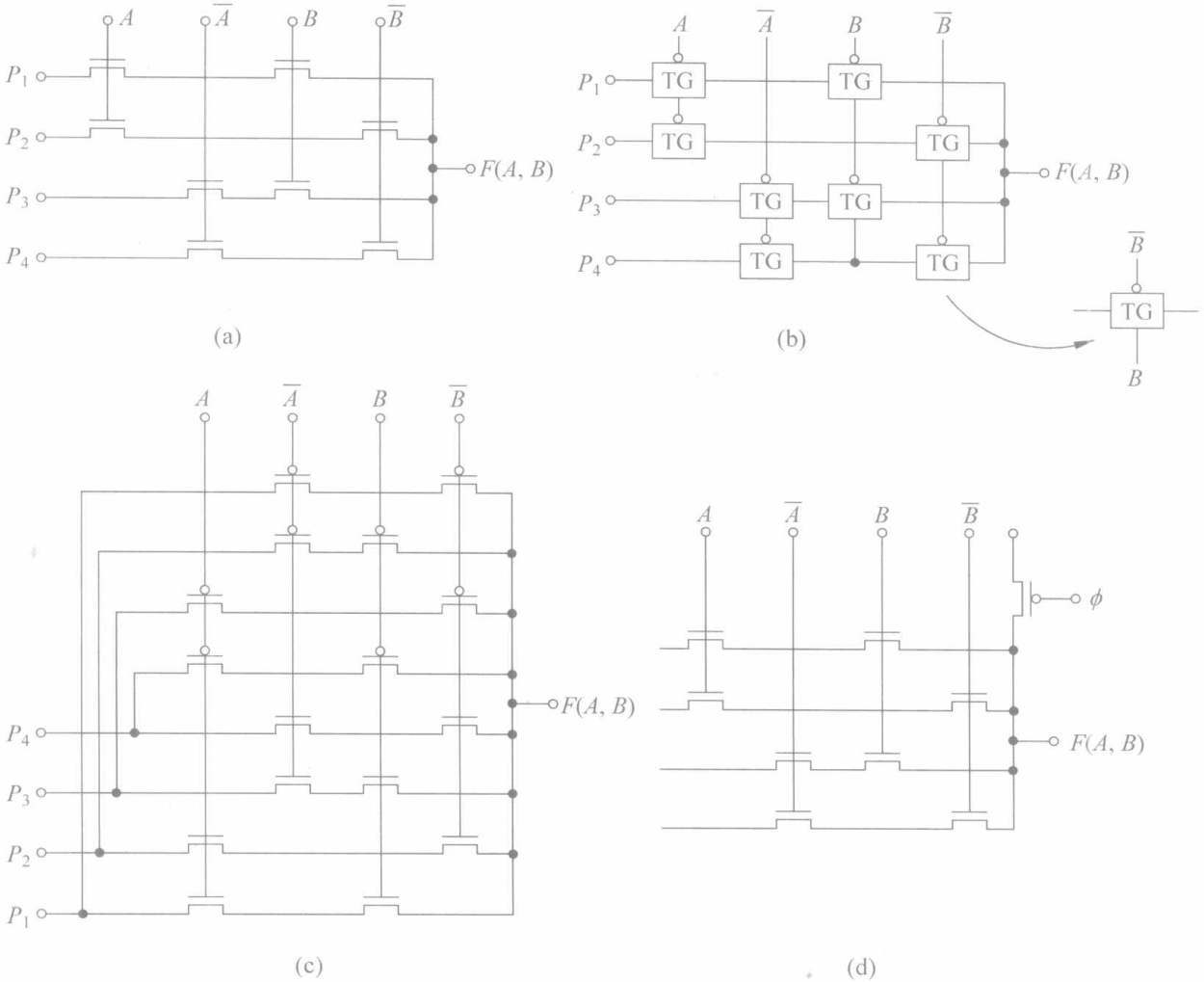


图 8.27 传输门逻辑电路

(a) NMOS 型；(b) 全传输门型；(c) CMOS 型；(d) PMOS 上拉管型

为 CMOS 二输入端多路选择器，如图 8.27(b)所示。采用图 8.27(c)的电路，版图设计就更易实现了。这样可以减少许多条 N 型 MOS 管到 P 型 MOS 管的直接连线。图 8.27(d)为一种动态型结构。在工作速度方面，NMOS 结构的下降时间最短，CMOS 结构的上升时间最短。采用较大的 P 型 MOS 管，可以缩短上升时间，但会使下降的时间加长。动态型的工作速度和 NMOS 型的基本上相同，但需要有预充电的时间，所以时钟周期加长。

下面介绍 NMOS 传输门逻辑的设计方法，它们是在图 8.28 所示模型基础上产生的。表 8.2 为异或非门的真值表，传输函数列中给出了为实现该函数能够传输到输出端的输入变量。例如，在表 8.2 的第 1 行 $\overline{A}$ 或 $\overline{B}$ 可以传到输出端，并产生逻辑 1，因此，满足异或非函数的要求，其电路如图 8.29 所示。



输入	控制	输出
0	0	×
1	0	×
0	1	0
1	1	1

(a)

输入	控制	输出
0	0	0
1	0	1
0	1	×
1	1	×

(b)

图 8.28　传输门逻辑模型

表 8.2　异或非真值表

A	B	$\overline{A \oplus B}$	传输函数
0	0	1	$\overline{A}+\overline{B}$
0	1	0	$A+\overline{B}$
1	0	0	$\overline{A}+B$
1	1	1	$A+B$

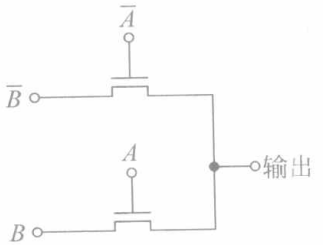


图 8.29　传输门构成的异或非电路

采用互补传输网络可以达到好的逻辑电平，但是，这会使下拉的延时加长，而且由于传输管网络的源区和漏区的合并更加困难，因而，内部节点的电容较大。此外，传输管要求原变量和反变量的控制输入。

8.7　RS 触发器

8.7.1　NMOS RS 触发器

触发器是一种双稳态电路，它有两个稳定状态，这两个状态可以用来代表二进制信息 1 或 0。双稳态电路的特点是只有在外界信号的作用下，它才能由一种稳定状态转变为另一

种稳定状态。

触发器由基本逻辑门电路组成，它是时序电路中最基本的单元电路。在各种计数器、分频器、移位寄存器等功能电路中都要用到触发器。

根据电路结构和工作方式的不同，触发器可分为 RS 触发器、D 触发器、JK 触发器和施密特触发器。

RS 触发器是最简单的一种触发器，一种由或非门构成的 RS 触发器结构以及 RS 触发器的逻辑符号如图 8.30 所示，其真值表如表 8.3 所示。输入端 R(reset)和 S(set)表示置 0 端和置 1 端。

由图 8.30 可以写出 RS 触发器的逻辑关系式

$$\begin{cases} Q = \overline{R + \overline{Q}} \\ \overline{Q} = \overline{S + Q} \end{cases} \tag{8.22}$$

在触发器置 1 时($S=1, R=0$)，触发器输出 $Q=1$；触发器置 0 时($S=0, R=1$)，$Q=0$；当 $S=R=0$ 时，触发器状态保持不变；但在 $S=R=1$ 时，Q 和 $\overline{Q}$ 都将为 0，这与它们自身符号表示应互为非的逻辑关系相矛盾，故在实际使用中将不允许这种状态出现，即不允许 S, R 同时为 1。在输入电路中设置保护电路能够避免这种状态出现。

表 8.3　RS 触发器真值表

S	R	Q	$\overline{Q}$
0	0	Q	$\overline{Q}$
1	0	1	0
0	1	0	1
1	1	0	0

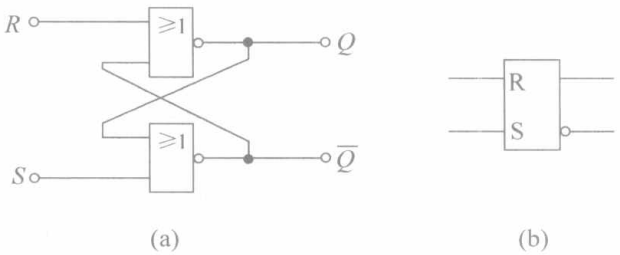


图 8.30　RS 触发器

(a) 或非门构成方法；(b) 逻辑符号

用 NMOS 电路做成的 RS 触发器电路图如图 8.31 所示。在电路结构上，我们也可以认为该触发器电路是由交叉耦合的两个反相器加上控制电路转换动作的两个晶体管 M_R 和

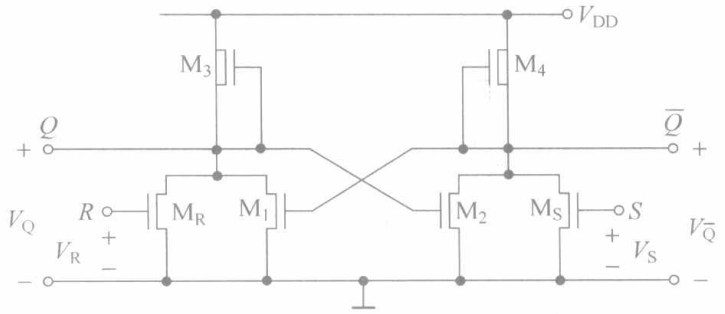


图 8.31　NMOS RS 触发器

M_S 所构成的。图中 M_3 和 M_4 是耗尽型晶体管，所以触发器输出高电平是

$$V_{OH} = V_{DD} \tag{8.23}$$

假定电路是对称的(两个或非门结构相同)，相应晶体管的宽长比相等，即

$$\begin{aligned}(W/L)_1 &= (W/L)_2 = (W/L)_E \\ (W/L)_3 &= (W/L)_4 = (W/L)_L\end{aligned} \tag{8.24}$$

因而驱动管和负载管导电因子比是

$$\beta_R = \frac{k_E}{k_L} = \frac{k'_E(W/L)_E}{k'_L(W/L)_L} \tag{8.25}$$

式中 k'_E 和 k'_L 分别是驱动管和负载管的本征导电因子。假设相应的低电平输出端的控制晶体管 M_R 或 M_S 处于截止状态，则根据 MOS 晶体管方程和式(8.25)，可以求出

$$V_{OL} = (V_{OH} - V_{TE}) - \sqrt{(V_{OH} - V_{TE})^2 - \frac{1}{\beta_R} \mid V_{TL}(V_{OL}) \mid^2} \tag{8.26}$$

一种最基本的 NMOS RS 触发器的版图布局如图 8.32 所示。

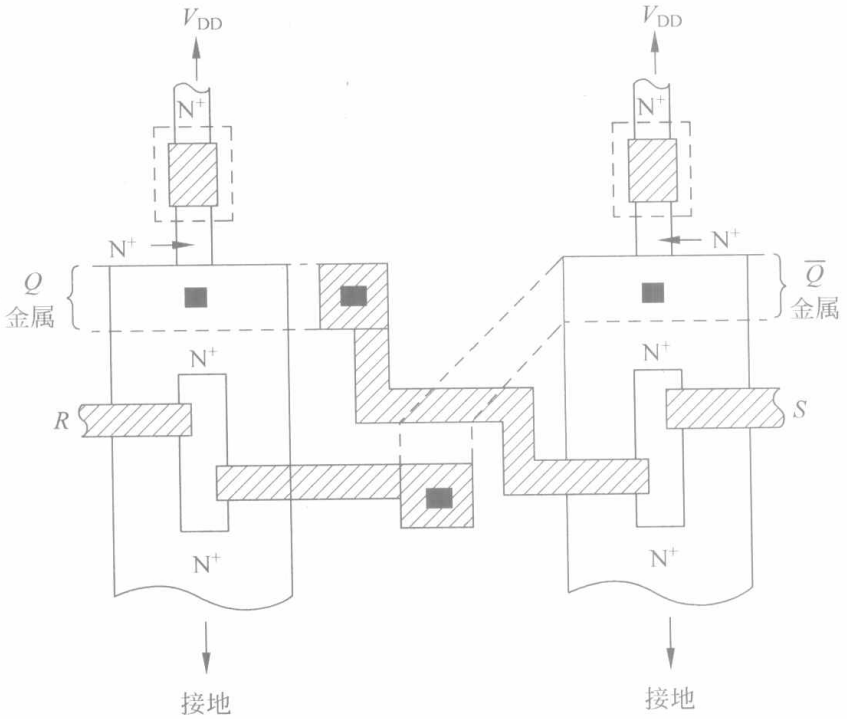


图 8.32　图 8.31 所示 NMOS RS 触发器的一种版图设计

8.7.2　CMOS RS 触发器

CMOS 或非门结构的 RS 触发器如图 8.33 所示，图 8.34 是它的一种版图结构，其工作过程和 NMOS 电路是一致的。

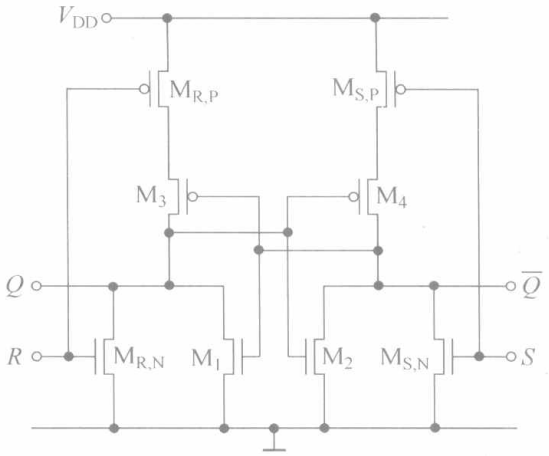


图 8.33　CMOS 或非门结构的 RS 触发器

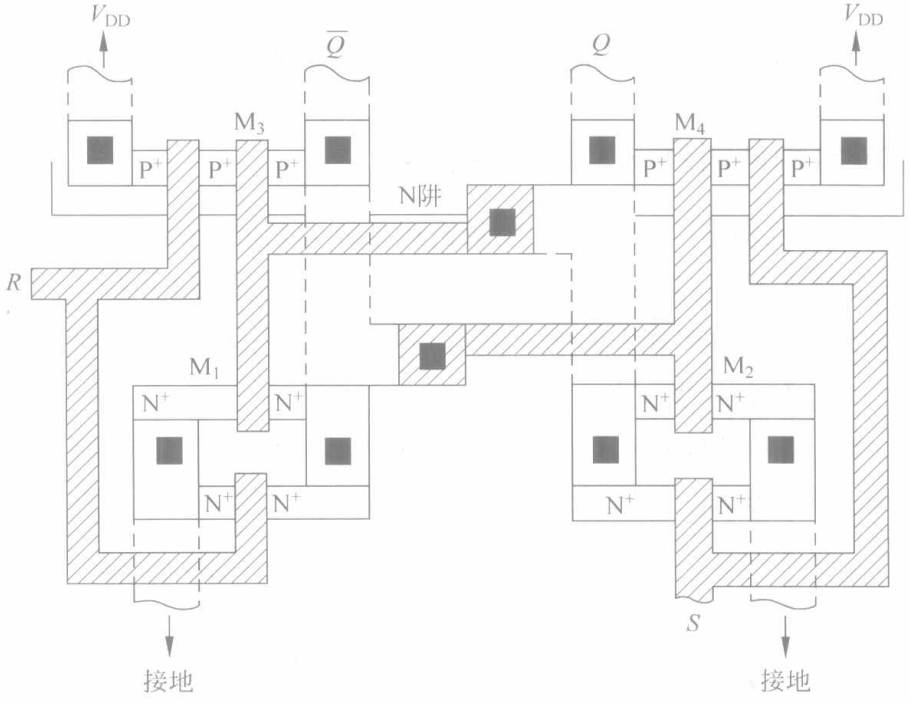
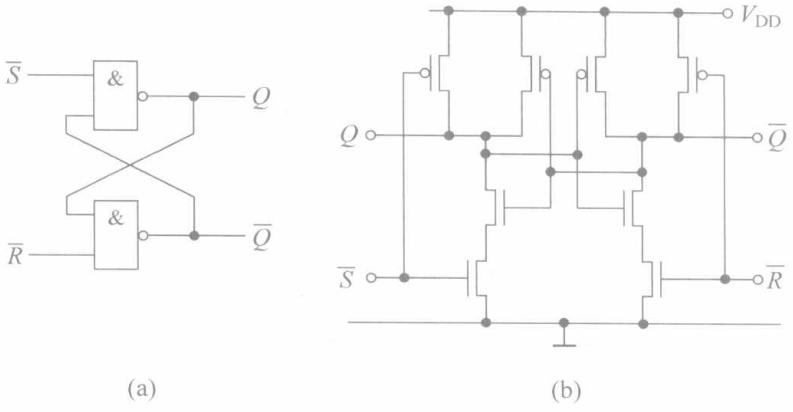


图 8.34　CMOS 或非门 RS 触发器版图结构

由与非门组成的 RS 触发器，其逻辑框图和 CMOS 电路分别如图 8.35(a)、(b)所示。这个电路的输入端采用 $\overline{R}$ 和 $\overline{S}$ 是为了使该电路同以或非门构成的 RS 触发器有相同的真值表。按照图 8.35(b)的电路既可以用统一的最小场效应晶体管结构，也可以采用 $(W/L)_P=2.5(W/L)_N$ 的所谓对称结构，对称结构能使输出波形有相同的上升和下降时间。



(a) (b)

图 8.35 CMOS 与非门结构 RS 触发器
(a) 逻辑图；(b) CMOS 电路图

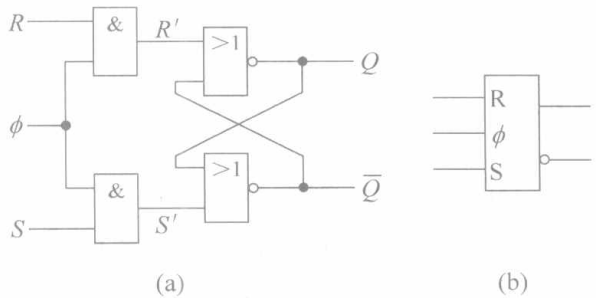
8.8 时钟脉冲控制触发器

8.8.1 NMOS 结构的时钟脉冲控制触发器

实用的触发器通常都需要用时钟脉冲来进行控制，以使整个系统能够协调一致。

在上面讨论的 RS 触发器中加上控制时钟 ϕ 就得到了钟控 RS 触发器。由或非门和与门组成的钟控 RS 触发器逻辑图及符号如图 8.36 所示。输入信号 S 和 R 只有在时钟脉冲作用期间($\phi=1$)才能使触发器工作。

用 NMOS 电路实现钟脉冲 RS 触发器非常简单，只需在图 8.31 所示电路中的输入信号支路 M_R 和 M_S 中各串入一个时钟控制器晶体管即可，如图 8.37 所示。



(a) (b)

图 8.36 钟脉冲 RS 触发器
(a) 结构图；(b) 逻辑符号

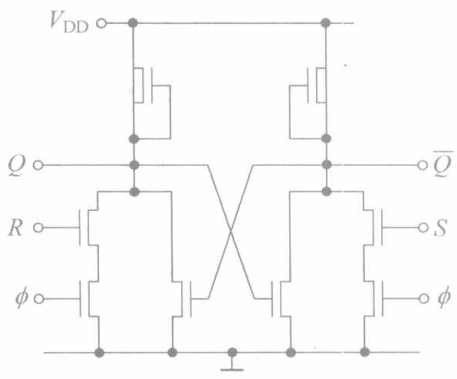


图 8.37 一种 NMOS 结构的钟脉冲 RS 触发器

8.8.2 CMOS 结构的时钟脉冲控制触发器

钟控 CMOS RS 触发器电路如图 8.38 所示，该电路是以标准 CMOS 电路构成的。用 CMOS 传输门也能够构成触发器，而且这种由传输门开关组成的触发器电路简单，所用的晶体管数少。图 8.39 为一个 CMOS 传输门构成触发器的逻辑图和具体电路图。可以看到，这是由一对交叉耦合的反相器分别通过传输门接至输入的电路，其传输门开关受时钟脉冲控制。当时钟 $\phi=V_{DD}$时，传输门开关导通，S 端输入信号直接联通至输出 Q，而 R 端输入信号则直接联通至输出$\overline{Q}$。

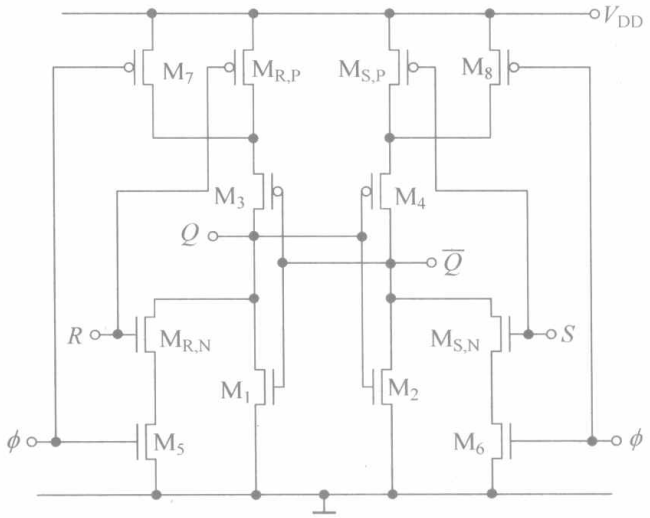


图 8.38　钟脉冲 CMOS RS 触发器

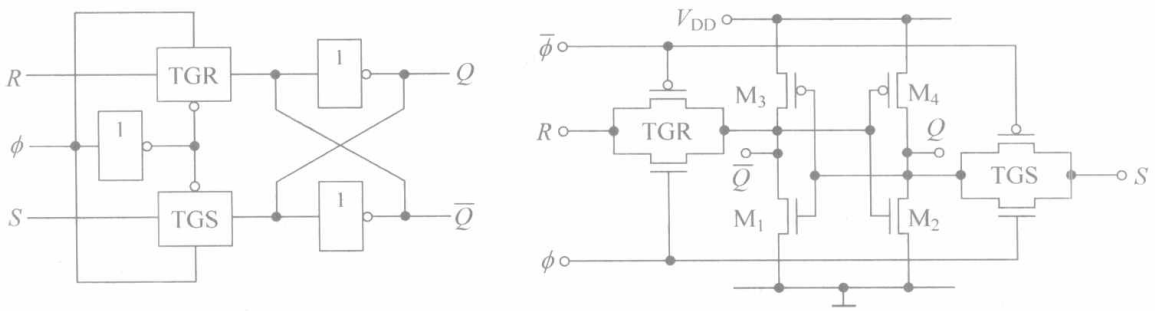


图 8.39　传输门—反相器结构 RS 触发器

(a) 逻辑图；(b) 电路图

在图 8.39(b)的电路中，晶体管 M_1，M_3 和 M_2，M_4 作为交叉耦合的反相器，它们的宽长比决定了触发器的传输特性。

8.9 D触发器

8.9.1 NMOS D触发器

用一对互补的输入信号送入RS触发器，就得到单输入的D触发器，其逻辑结构如图8.40(a)所示。由于D触发器有一对互补信号接至RS触发器的输入端，所以它避免了RS输入端同时为1的不允许工作状态。D触发器通常用来暂时存储一个比特(bit)的信息或用做时延元件。由图8.40(a)也可以看出，当$\phi=1$时，触发器能把输入信息D的值传送到输出端Q。但这个传送过程中信息要通过好几个门电路，对于高速工作的数字电路，必须考虑延迟时间。D触发器的逻辑电路符号和由NMOS构成的D触发器电路图分别如图8.40(b)、(c)所示。

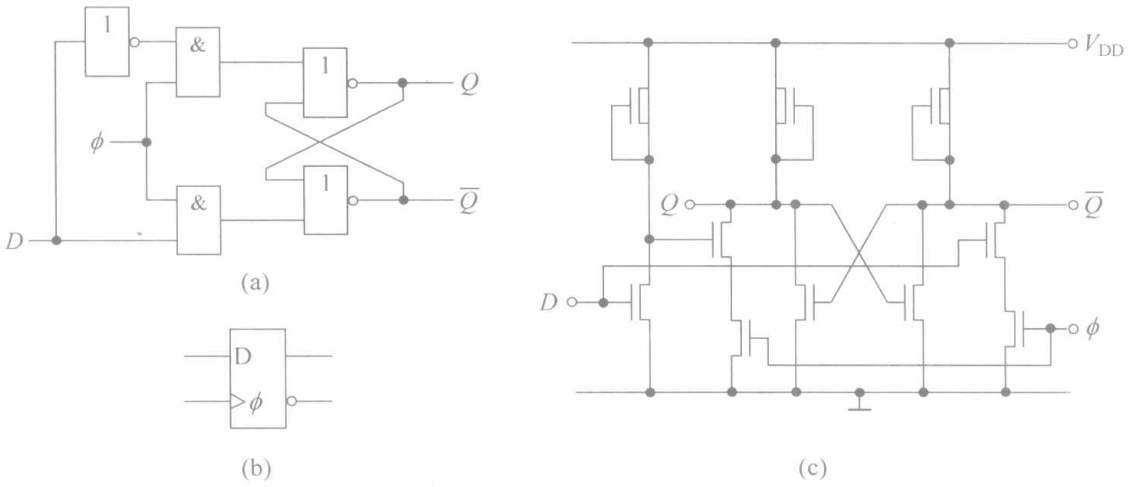


图8.40 E/D NMOS D触发器

(a) 逻辑图；(b) 逻辑符号；(c) 电路图

8.9.2 CMOS D触发器

用CMOS传输门可以构成D触发器，其逻辑图、电路图和版图分别如图8.41(a)、(b)、(c)所示。当$\phi=1$时，传输门TG_1导通，TG_2截止，因而$Q=D$。$\phi=0$时，TG_1截止，TG_2导通，这时两个反相器通过传输门TG_2构成反馈环，保存了在$\phi=1$时输入的信息。此电路最简单的电气设计是选取$k_N=k_P$和$V_{TH}=V_{DD}/2$，最简单的版图布局结构则选取所有器件有相同的宽长比W/L。

用两个由反相时钟控制的D触发器级联就得到了一个D型主从触发器，其逻辑框图如图8.42(a)所示。当$\phi=1$时，输入数据通过传输门TG_1被送入主触发器；在$\phi=0$时，这个

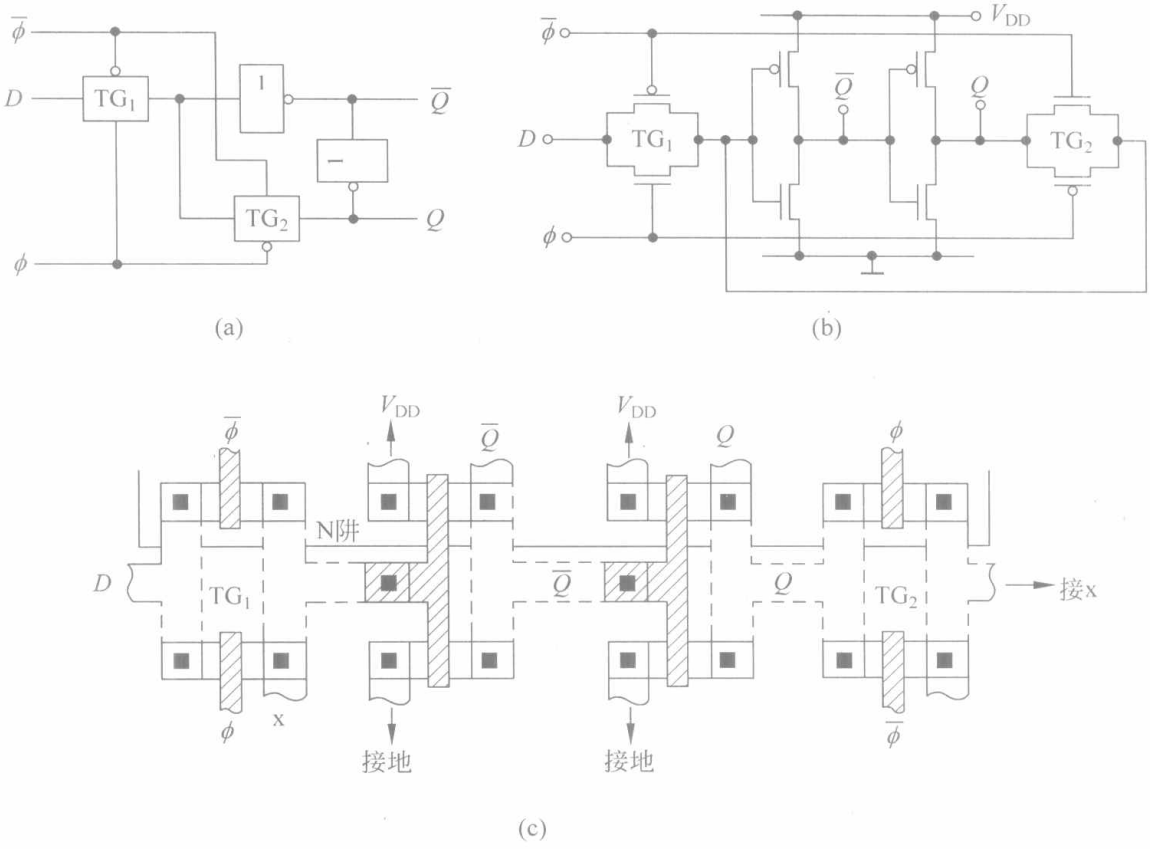


图 8.41　CMOS 传输门 D 触发器

(a) 逻辑图；(b) CMOS 电路；(c) 版图结构

数据被保存在主触发器中并同时通过传输门 TG_3 送入从触发器。第二个时钟脉冲周期来到时主触发器将接收新的数据，从触发器将保存上一时钟周期送入主触发器的数据。与图 8.42(a)相应的标准 CMOS 电路结构如图 8.42(b)所示。

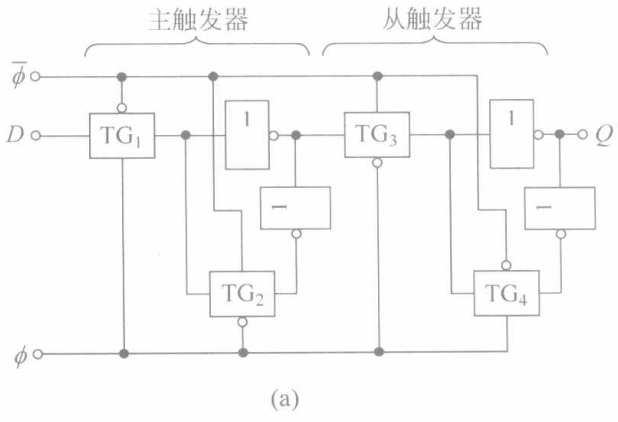
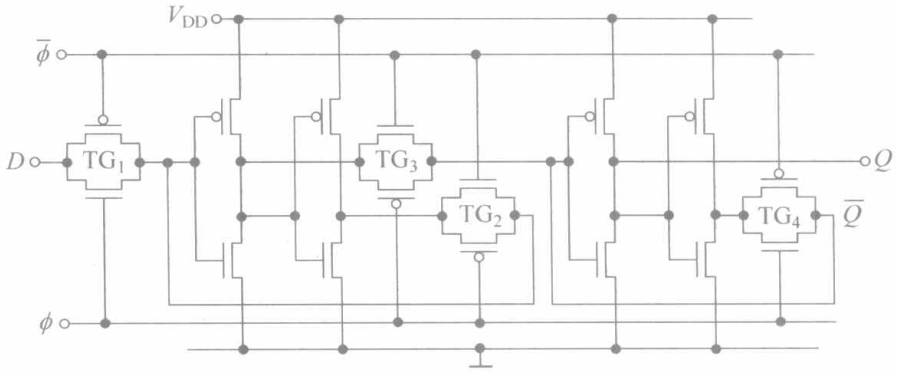


图 8.42　主从 D 触发器

(a) 逻辑图；(b) CMOS 电路图

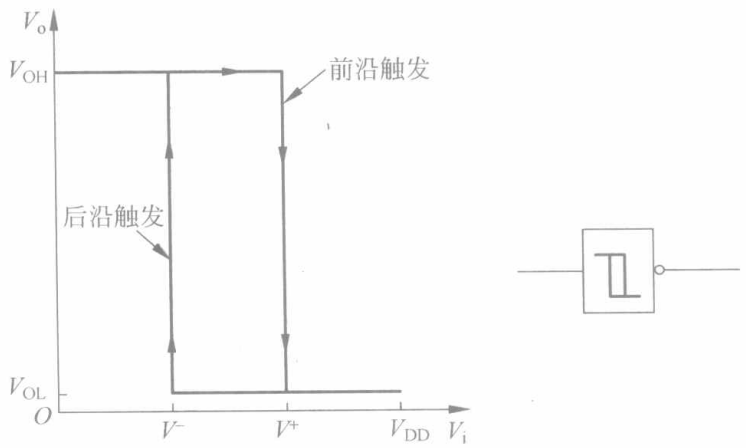


(b)

图 8.42 （续）

8.10 施密特触发器

施密特触发器是一种脉冲波形整形电路，它可以把变化缓慢的信号或变化不规则的信号转换为陡变信号，理想的施密特触发器的直流电压传输特性曲线如图 8.43 所示，这种曲线类似于磁滞回线，其特性的两个重要参数是前沿触发电压 V^+ 和后沿触发电压 V^-。前沿触发电压 V^+ 是输入电压增加过程中引起电路翻转动作的触发电压，后沿触发电压 V^- 是输入电压减小过程中引起电路翻转动作的触发电压。由于 $V^- < V^+$，所以施密特触发器可以作为一种门限开关。具有反相性质的施密特触发器其逻辑符号如图 8.43(b)所示。

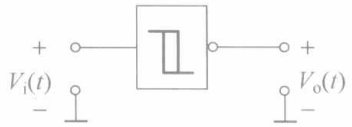


(a)　　(b)

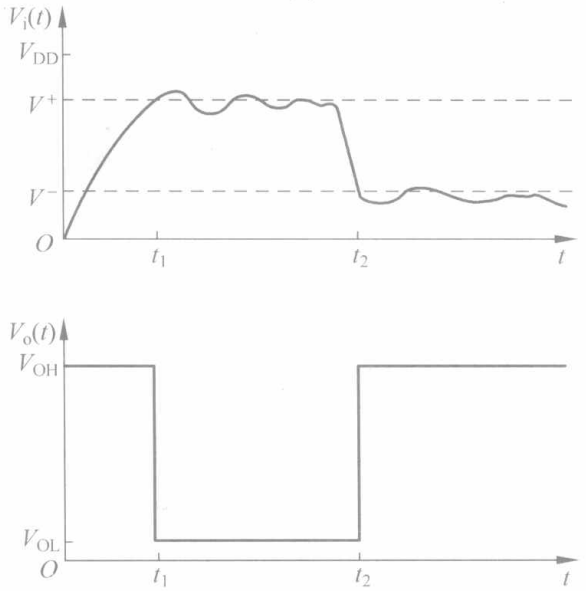
图 8.43 施密特触发器

(a) 电压转换特性；(b) 逻辑符号

施密特触发器的波形整形原理可以由图 8.44 中得到说明。在 $t<t_1$ 时，不规则或受到干扰的输入脉冲缓慢增加，但在 $V_i<V^+$ 这段时间内，施密特触发器不动作，仍保持其高电平输出 V_{OH}。在 $t=t_1$ 时刻，输入电压等于前沿触发电压 V^+，导致施密特触发器翻转，输出低电平 V_{OL}。类似地，当 $t=t_2$，输入脉冲下降到与后沿触发电压 V^- 相等时，施密特触发器的输出将由低电平 V_{OL} 翻转至高电平 V_{OH}。



(a)



(b)

图 8.44　施密特触发器波形整形原理

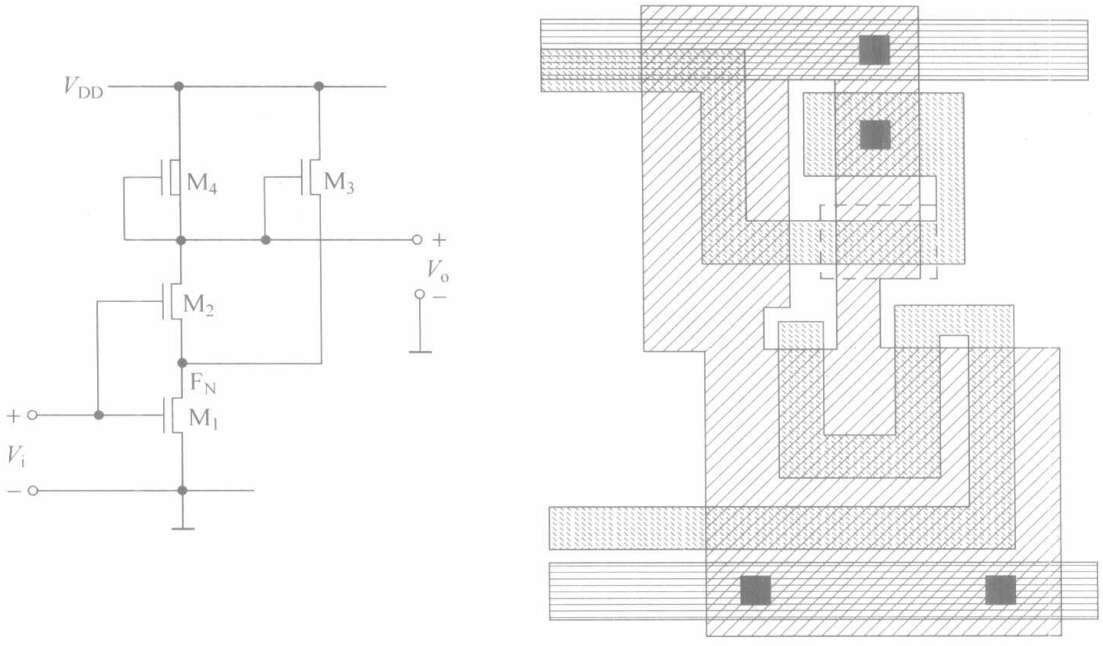
(a) 电路；(b) 波形图

图 8.45 表示 NMOS 电路实现的施密特触发器和它的版图，下面分析它的电压传输特性。作为一级近似，且忽略体效应，可以认为 M_2 开始导通时出现触发点。下面分析 M_2 的电流为零时的触发点。如果输入触发电压为 V^+，则反馈电压 V_{FN} 为

$$V_{FN}=V^+-V_{T0} \tag{8.27}$$

其中 V_{T0} 是 N 沟道晶体管的开启电压。对于触发点处的输入电压，下拉管 M_1 处在饱和区的边缘。V_{FN} 决定于 M_3 与 M_1 的 W/L 之比。求解触发电压，可有

$$V^+=\frac{V_{DD}+\sqrt{\frac{k_1}{k_3}}V_{T0}}{1+\sqrt{\frac{k_1}{k_3}}} \tag{8.28}$$



(a)　　(b)

图 8.45　NMOS 施密特触发器

(a) 电路图；(b) 版图

从式(8.28)中可以看出，影响前沿触发电压 V^+ 数值大小的一个重要设计参数就是驱动管和负载管导电因子之比

$$\frac{k_1}{k_3}=\frac{(W/L)_1}{(W/L)_3} \tag{8.29}$$

从式(8.28)中可求出这个比值是

$$\frac{(W/L)_1}{(W/L)_3}=\left(\frac{V_{DD}-V^+}{V^+-V_{T0}}\right)^2 \tag{8.30}$$

改变比值 k_1/k_3 就可以调整前沿触发电压 V^+ 的大小。

一旦晶体管 M_2 导通，施密特触发器输出电压立即翻转为低电平 V_{OL}，晶体管 M_3 随即截止。

类似地，根据输入电压 V_i 从 V_{DD} 降至零，可以计算后沿触发电压 V^-。在这一过程中，触发器最初输出低电平 V_{OL}，晶体管 M_3 截止，此时电路是一个二输入与非门，所以后沿触发特性就是与非门的电压传输特性，如图 8.46 所示。近似地从与非门电压传输特性曲线上可以确定后沿触发电压是

$$V^-=V_{IH} \tag{8.31}$$

式中，V_{IH} 是输入高电平，它与 β_{R1} 和 β_{R2} 有关 $\left(\beta_{R1}=\frac{k_1}{k_4},\beta_{R2}=\frac{k_2}{k_4}\right)$，当 β_{R1} 和 β_{R2} 增大时，V_{IH} 将变小。

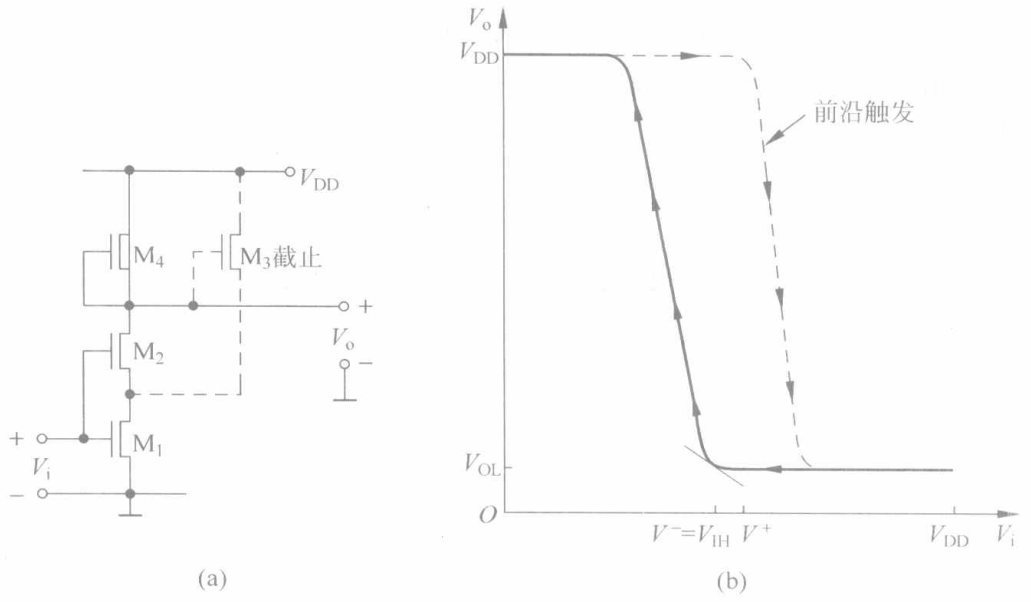


图 8.46　施密特触发器的后沿触发特性

(a) 后沿触发电路；(b) 后沿触发特性

从上面的分析可见，整个设计制约条件都是与 MOS 场效应管的尺寸比有关。V^+ 取决于 k_1/k_3，而 V^- 又取决于 k_1/k_4 和 k_2/k_4。在双阈值(触发电压)施密特触发器中必须有

$$V^+ > V^- \tag{8.32}$$

可见 k_1 对 V^+，V^- 都有影响。为了获得较大的前沿触发电压值，k_1/k_3 应取得小些。但是，为了使式(8.32)得到满足，又必须使 k_1/k_4 尽可能地大些。在电路设计时只能折中地选取 k_1 的值以获得较满意的结果。

对于输入由低变高时 CMOS 施密特触发器(见图 8.47)的分析和 NMOS 施密特触发器的分析是同样的。

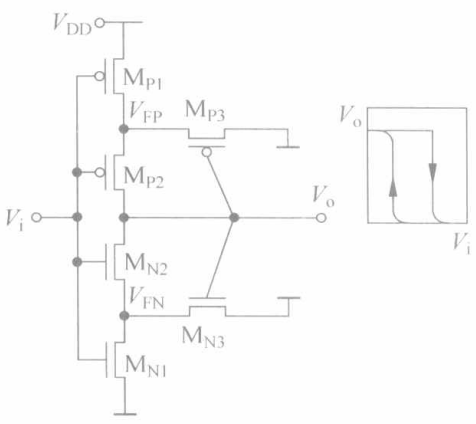


图 8.47　CMOS 施密特触发器及其静态传输曲线

复习思考题

8.1　输入为 A,B,C，输出为 $Y=A\cdot\overline{B}+\overline{A}\cdot C$。

(1) 用与非-与非逻辑实现，并画出逻辑图及 NMOS 电路图。

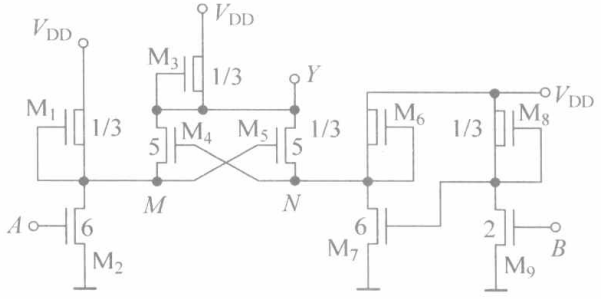
(2) 将函数 Y 化为或与形式，用或非-或非逻辑实现，画出逻辑图及 NMOS 电路图。

(3) 上述(1)，(2)方案均需三级逻辑门(三次“非”)，试改为只含两级逻辑门的方案，画出逻辑图及 NMOS 电路图。

8.2　图题 8.2 为一 E/D NMOS 电路。

(1) 试问此电路可实现何种逻辑运算？

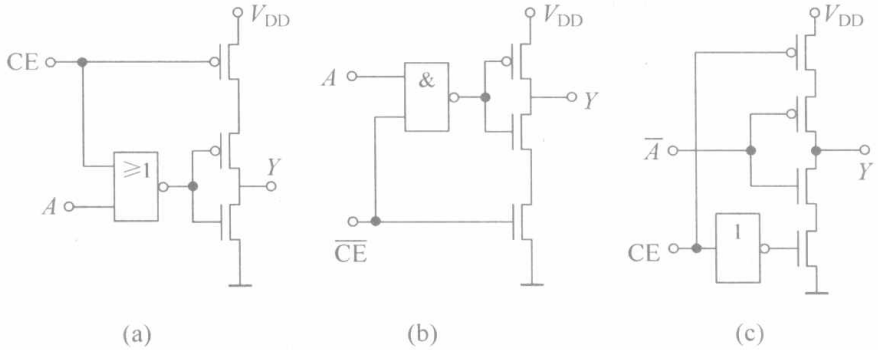
(2) 设 $V_{DD}=5V$，$V_{TD}=-3V$，$V_{TE}=1V$，求各种输入情况下电路的直流工作状态、各节点电位、各支路电流及直流功耗。设输入高电平为 $V_{IH}=V_{DD}$，输入低电平为 $V_{IL}=0V$，$k'=1\times10^{-5}A/V^2$。



图题 8.2

8.3 二输入的 E/D NMOS 或非门的电路参数为：$V_{TD}=-3V$，$V_{TE}=1V$，$k'_D=k'_E=25\mu A/V^2$，$\beta_{R,A}=5$，$\beta_{R,B}=8$，$V_{DD}=5V$，试计算最坏情况的 V_{OL} 值和最好情况的 V_{OL} 值。

8.4 说明图题 8.4 的电路均为三态输出门，用传输门逻辑推导电路的逻辑表达式。



图题 8.4

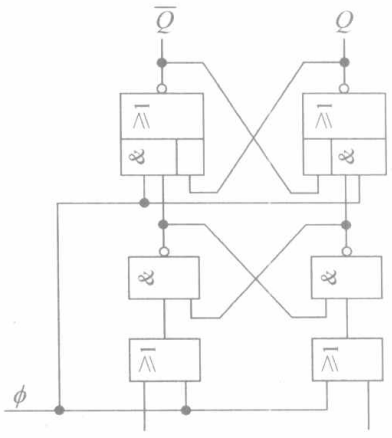
8.5 图题 8.5 是一个主从 RS 触发器的逻辑图，要求：

(1) 分析此触发器的工作原理，它是高电平触发，还是低电平触发。用合适的符号(S 和 $\overline{S}$，R 和 $\overline{R}$)标示置 1 端和置 0 端。

(2) 用 E/D NMOS 电路实现此电路。

8.6 设计一个 E/D NMOS 结构的时钟脉冲 RS 触发器，假设 $V_{OL}=0.4V$，最小线条宽度是 $3\mu m$。

8.7 根据题 8.6 的结果，将其扩充设计成一个 D 触发器。



图题 8.5

第9章 MOS逻辑功能部件

从电路简单、设计时间短、功耗低、工作速度快等因素及这些因素的综合权衡考虑，在设计子系统时可以采用的设计方案是非常多的。本章介绍的逻辑功能部件，都可采用不同的设计方案来实现。

9.1 多路开关

多路开关也叫数据选择器，它可以在控制信号的作用下从多个数据通道中选送某一路到输出端。假定有 m 组数据，每组又有 n 位数，则对此数据进行选择的电路称做 n 位 m 选一多路开关。

表 9.1 多路开关真值表

K_1	K_0	Y
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

图 9.1 为一位四选一多路开关逻辑图，其中 D_0，D_1，D_2，D_3 为四路数据，为了从四路数据中选择一路数据输出，至少需要两个选择控制变量（或地址）K_0，K_1。其真值表示于表 9.1，从真值表中可得出输出 Y 的表达式为

$$Y = \overline{K}_0 \cdot \overline{K}_1 \cdot D_0 + K_0 \cdot \overline{K}_1 \cdot D_1 + \overline{K}_0 \cdot K_1 \cdot D_2 + K_0 \cdot K_1 \cdot D_3 \qquad (9.1)$$

图 9.2 是以或非门为基础的 E/D NMOS 一位四选一多路开关的电路图。

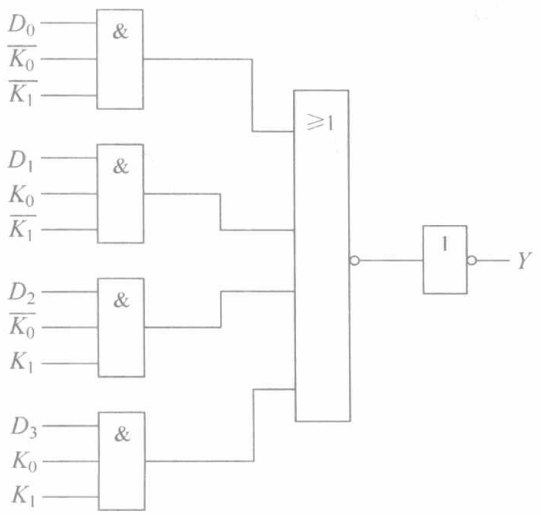


图 9.1 一位四选一多路开关

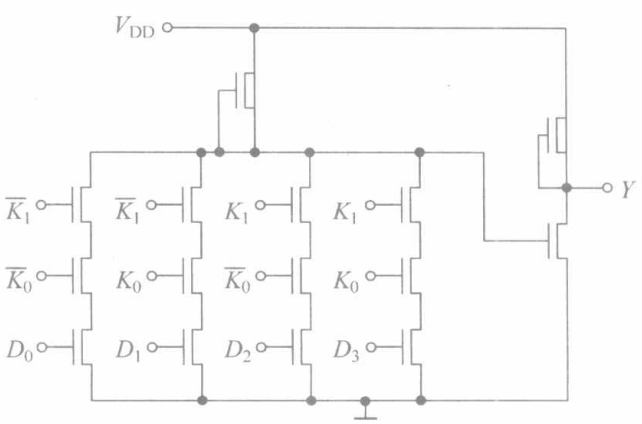


图 9.2 E/D NMOS 多路开关之一

如前所述，利用传输门可以构成逻辑电路，图 9.3 是一个由传输门构成的一位四选一多路开关的电路图和版图。根据传输门逻辑关系可以写出

$$Y = \overline{K}_0 \cdot \overline{K}_1 \cdot D_0 + K_0 \cdot \overline{K}_1 \cdot D_1 + \overline{K}_0 \cdot K_1 \cdot D_2 + K_0 \cdot K_1 \cdot D_3 \qquad (9.2)$$

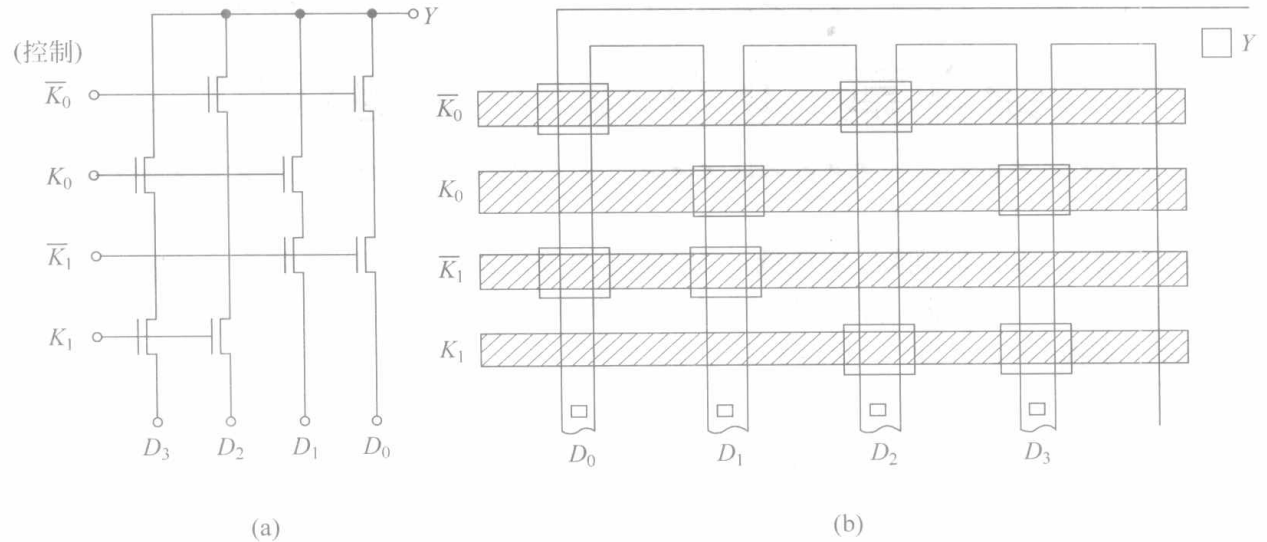


图 9.3　传输门多路开关

(a) 电路图；(b) 版图

这个逻辑式所代表的功能和真值表 9.1 是一样的。此电路能自然满足约束条件，它比图 9.2 的电路要省许多个管子，而且版图结构简单，所以是一种比较好的电路形式。

多路开关可灵活地用于顺序数据选择、并串行数据转换，实现多通道数据传送，也可用来实现逻辑函数及数码比较、序列脉冲产生，还可用来构成主从触发器等，是一种应用广泛的功能部件。

9.2　加法器和进位链

加法器是构成很多系统的重要部件，一位二进制全加器的真值表如表 9.2 所示。表中，A 和 B 是加法器的输入，C 是“进位输入”，SUM 是“和输出”，CARRY 是“进位输出”。当加法器内部产生“进位输出 CARRY”时，“进位产生函数 G”(即 $A \cdot B$)为 1。当“进位传输函数 P”(即 $A+B$)为 1 时，进位输入信号 C 传送到进位输出 CARRY 端，即此时若 $C=1$，则 CARRY=1。在某些加法器中，可以用 $A \oplus B$ 作为 P 函数。

表 9.2　加法器真值表

C	A	B	$G=A \cdot B$	$P=A+B$	$A \oplus B$	SUM	CARRY
0	0	0	0	0	0	0	0
0	0	1	0	1	1	1	0
0	1	0	0	1	1	1	0

续表

C	A	B	$G=A\cdot B$	$P=A+B$	$A\oplus B$	SUM	CARRY
0	1	1	1	1	0	0	1
1	0	0	0	0	0	1	0
1	0	1	0	1	1	0	1
1	1	0	0	1	1	0	1
1	1	1	1	1	0	1	1

9.2.1 组合逻辑加法器

设计加法器的最简单方法是用逻辑门实现所需的各个主要的逻辑函数。根据真值表(见表 9.2),可得

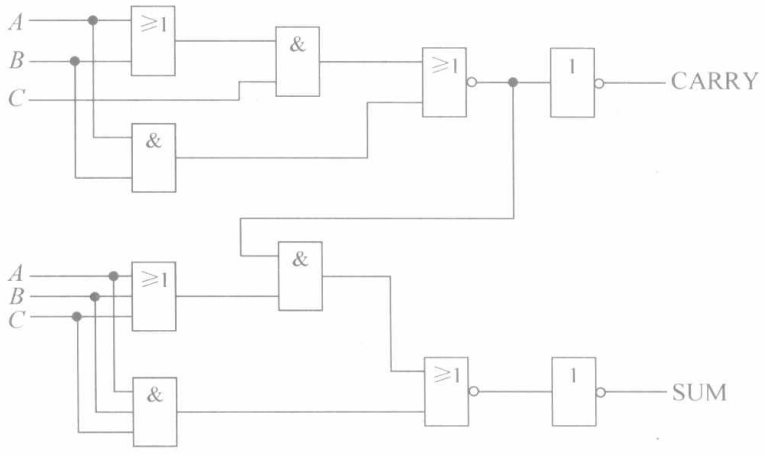
$$\text{SUM} = ABC + A\bar{B}\bar{C} + \bar{A}B\bar{C} + \bar{A}\bar{B}C \tag{9.3}$$

$$\text{CARRY} = AB + AC + BC = AB + C(A + B) \tag{9.4}$$

以上二式对应的逻辑门示于图 9.4(a),图 9.4(b)为电路图。利用进位输出信号 $\overline{\text{CARRY}}$产生 SUM 时,SUM 信号相对 CARRY 会有一个延时。在 n 位加法器中,CARRY 信号是"逐位"通过各级的,如图 9.5(a)所示。在这种情况下,进位延时应尽量地小,整个加法器的延时 t_a 等于 nt_c(t_a 是总的求和时间,n 是级数,t_c 是一个进位级的延时)。为了减少进位延时,进位门输出端的反相器可以省略。这时,每隔一级按反变量运算,如图 9.5(b)所示。

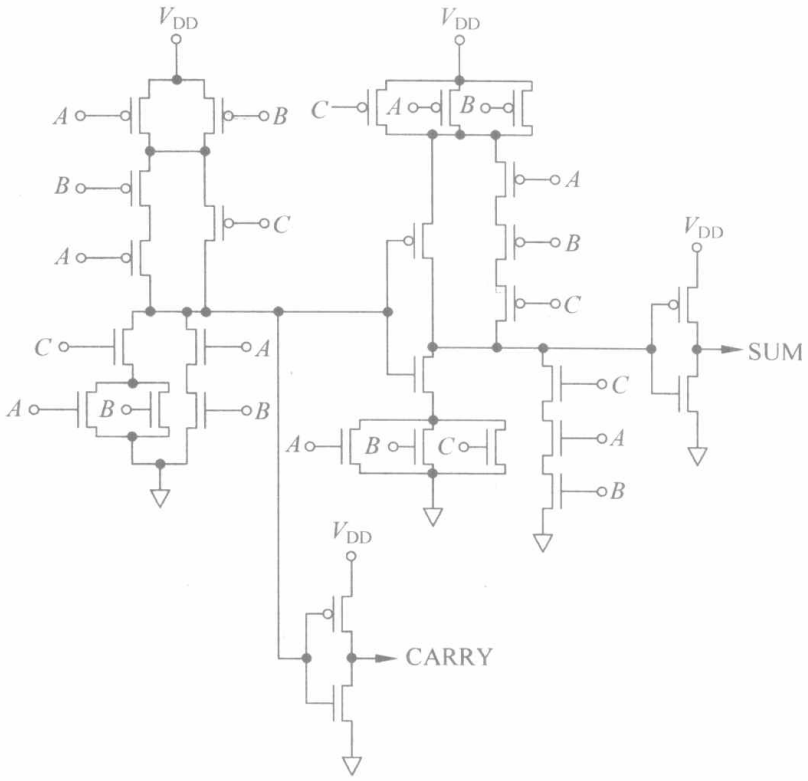
通过优化进位门,可以减小逐位进位的延时。例如,对组合逻辑加法器(见图 9.4)可进行如下优化:

(1) 把由进位输入信号 C 控制的 MOS 管放置在靠近输出端的地方,使得其他各输入信号能够先对门电路进行控制,以减小受 C 控制的 MOS 管的衬偏调制效应。



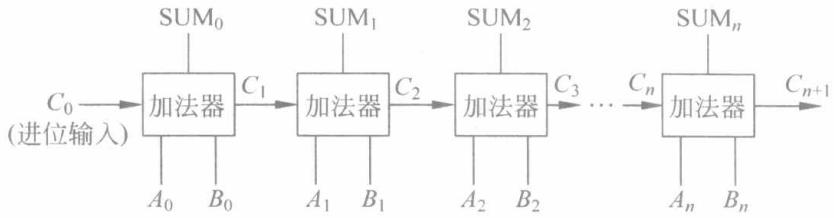
(a)

图 9.4 组合逻辑加法器电路

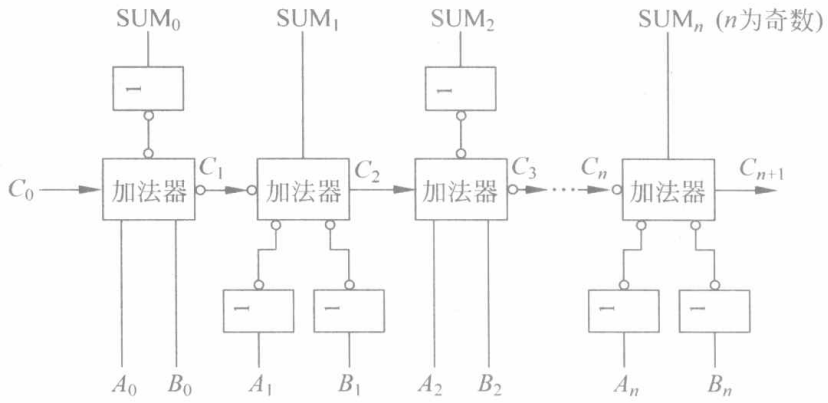


(b)

图 9.4 （续）



(a)



(b)

图 9.5 n 位逐位进位加法器

(2) 在求“和”门中，栅极与$\overline{\text{CARRY}}$相连的所有 MOS 管均采用最小的尺寸，以使$\overline{\text{CARRY}}$信号的电容负载最小。这个信号的连线也尽可能地短，并且少用扩散区作为连线。

9.2.2 传输门加法器

利用 4 个传输门、3 个反相器和 2 个异或门，可以构成图 9.6 所示的加法器。这个加法器和组合逻辑加法器都需要 24 个 MOS 管，但是，它有 SUM 延时和 CARRY 延时相同的优点，并且 SUM 和 CARRY 信号是不反相的，完整的电路如图 9.7 所示。

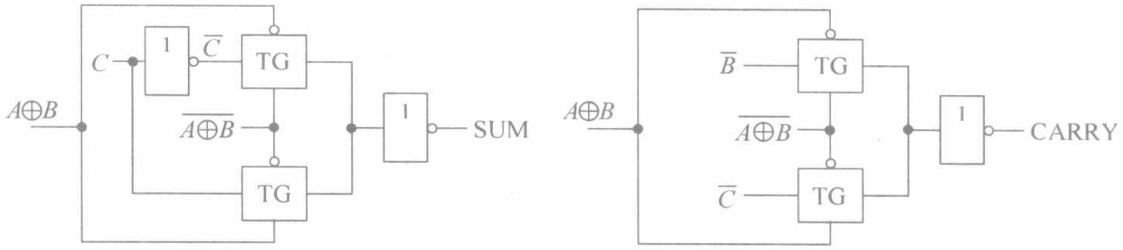


图 9.6 传输门实现的加法器

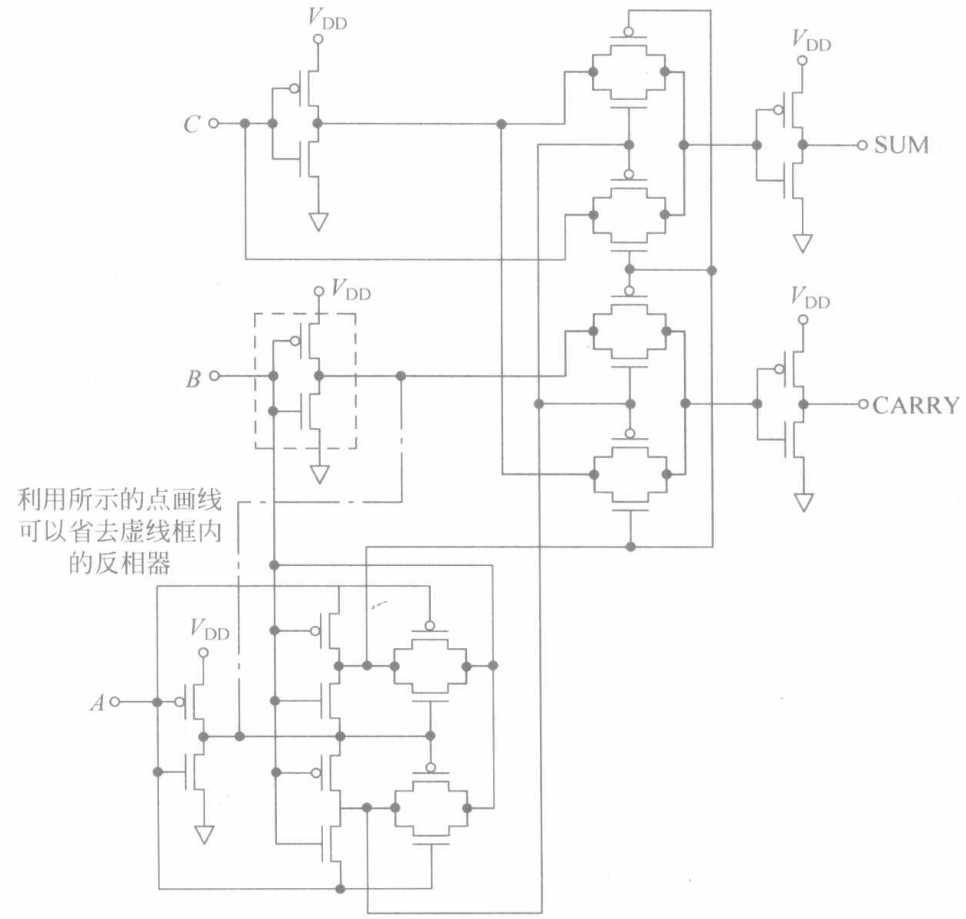


图 9.7 完整的传输门实现的加法器

9.2.3 进位链

为了提高加法器的运算速度，必须减少进位信号的传输时间，可以采用提前进位的办法，将进位信号同时送到各位全加器的进位输入端，实现同时进位，其电路结构如图 9.8 所示。分析表 9.1(全加器的真值表)可见，第 i 级进位的 C_i 可以表示为

$$C_i = G_i + P_i C_{i-1} \tag{9.5}$$

式中：$G_i = A_i \cdot B_i$，是进位产生信号；

$P_i = A_i + B_i$ 或者 $P_i = A_i \oplus B_i$，是进位传输信号。

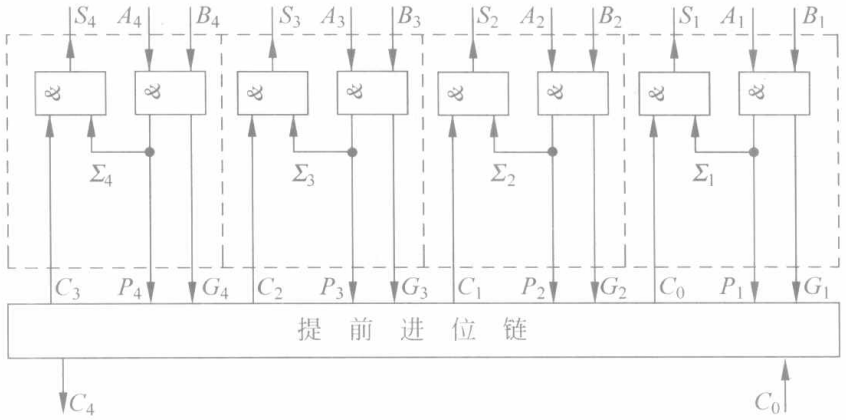


图 9.8 四位提前进位全加器

将式(9.5)展开：

$$C_i = G_i + P_i G_{i-1} + P_i P_{i-1} G_{i-2} + \cdots + P_i \cdots P_1 C_0 \tag{9.6}$$

式(9.6)表示，任何一位的进位输出都只直接和各位全加器的输入信号(A_i 和 B_i)有关。也就是说，只要各位的输入信号一到，再经过一、两级门的延迟，就可以产生所有位的“和”输出及“进位”输出，并不需要等待进位信号逐级从低位门到高位，因而大大提高了加法器的运算速度，能实现这种超前进位功能的电路叫做“提前进位链”。图 9.9 是四位提前进位链逻辑图。

“和”S_i 由下式得出

$$\begin{aligned} S_i &= C_{i-1} \oplus A_i \oplus B_i \\ &= C_{i-1} \oplus P_i \end{aligned} \tag{9.7}$$

这种超前进位电路所需的门的尺寸显然会增大到难以实现，因此，超前进位的级数通常不超过 4 级。对于四位提前进位加法器由式(9.6)可列出其对应的各 C_i 项是

$$\begin{aligned} C_1 &= G_1 + P_1 C_0 \\ C_2 &= G_2 + P_2 G_1 + P_2 P_1 C_0 \\ C_3 &= G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 C_0 \\ C_4 &= G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1 + P_4 P_3 P_2 P_1 C_0 \end{aligned}$$

对应的各 S_i项是

$$S_1 = P_1 \oplus C_0$$
$$S_2 = P_2 \oplus C_1$$
$$S_3 = P_3 \oplus C_2$$
$$S_4 = P_4 \oplus C_3$$

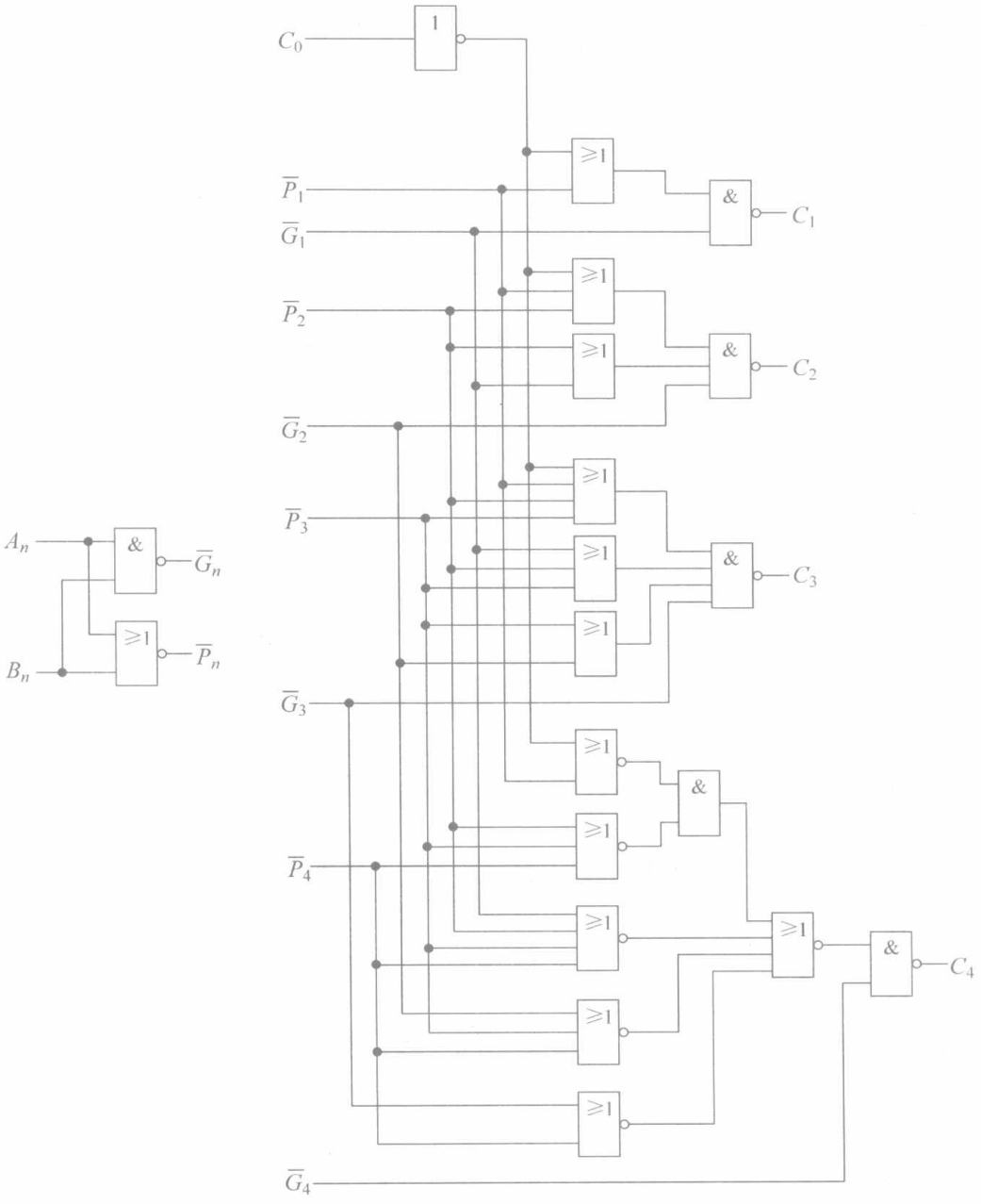


图 9.9　四位提前进位逻辑图

9.3 算术逻辑单元

算术逻辑单元(arithmetic logic unit,ALU)既能进行算术运算,又能进行逻辑运算,左/右移、加/减一、传送等,所以又称为多功能函数发生器。下面介绍两种算术运算单元电路。

9.3.1 以 E/D NMOS 反相器为主体的算术逻辑单元

图 9.10 给出了一个一位多功能函数发生器的逻辑图。它所实现的功能详见表 9.3。为了便于分析,将图 9.10 中的逻辑门作了编号。下边对表 9.3 中所列各项功能逐一加以讨论。

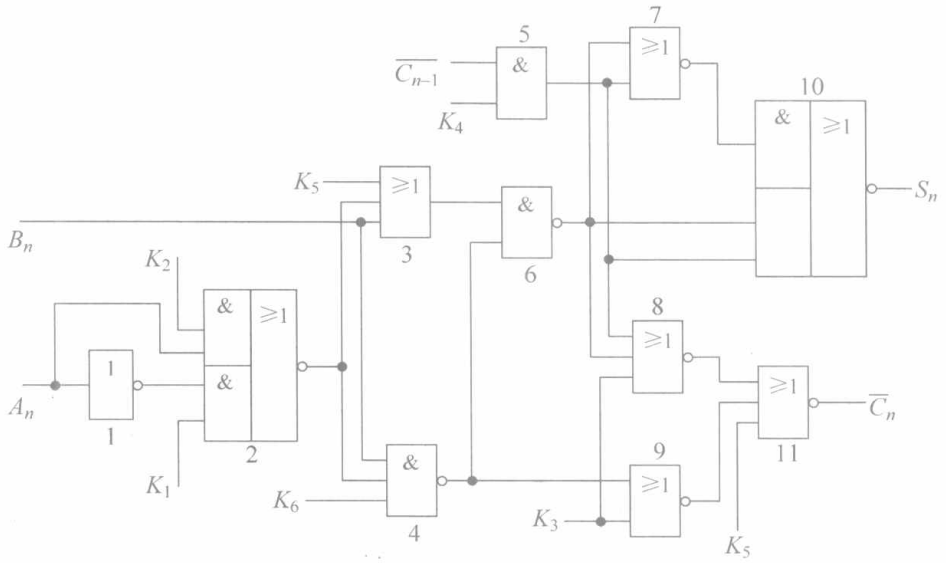


图 9.10 一位多功能函数发生器

表 9.3 E/D 多功能函数发生器功能表

输入控制信号	K_1	1	0	1	1	1
	K_2	0	1	0	0	0
	K_3	0	0	1	1	1
	K_4	1	1	0	0	0
	K_5	0	0	0	1	0
	K_6	1	1	1	1	0
功能		+	−	⊕	与	或非
输出	S_n	$A_n \oplus B_n \oplus C_{n-1}$		$A_n \cdot \overline{B_n} + \overline{A_n} \cdot B_n$	$A_n \cdot B_n$	$\overline{A_n + B_n}$
	$\overline{C_n}$	$\overline{A_n} \cdot \overline{B_n} + (\overline{A_n} + \overline{B_n}) \cdot \overline{C_{n-1}}$		1	0	1

1. 加法操作(B_n+A_n)

由于 $K_1=1, K_2=0$,使门 2 的输出为 A_n。又因为 $K_5=0, K_6=1$,所以门 6 的输出就是

$$\overline{\overline{A_n \cdot B_n} \cdot (A_n + B_n)} = \overline{(\overline{A_n} + \overline{B_n}) \cdot (A_n + B_n)} = \overline{A_n \oplus B_n} = \overline{H}$$

又因为 $K_4=1$,因此可得

$$S_n = \overline{\overline{C_{n-1}} \cdot (\overline{A_n \oplus B_n}) + (\overline{\overline{A_n \oplus B_n}}) + \overline{\overline{C_{n-1}}}}$$

所以

$$S_n = \overline{\overline{C_{n-1}} \cdot (\overline{A_n \oplus B_n}) + (A_n \oplus B_n) \cdot C_{n-1}} = A_n \oplus B_n \oplus C_{n-1} \tag{9.8}$$

另外,因 $K_3=0$,故进位输出可写成

$$\begin{aligned} \overline{C_n} &= \overline{\overline{\overline{A_n \cdot B_n} + \overline{\overline{C_{n-1}} + \overline{H}}}} = \overline{A_n \cdot B_n} \cdot (\overline{C_{n-1}} + \overline{H}) \\ &= (\overline{A_n} + \overline{B_n}) \cdot (\overline{C_{n-1}} + A_n \cdot B_n + \overline{A_n} \cdot \overline{B_n}) \end{aligned}$$

即

$$\overline{C_n} = \overline{A_n} \cdot \overline{B_n} + (\overline{A_n} + \overline{B_n}) \cdot \overline{C_{n-1}} \tag{9.9}$$

式(9.8)和式(9.9)与表 9.3 中所示的相应公式是一样的,它所实现的正是加法操作。

2. 减法操作(B_n-A_n)

在图 9.10 的电路中,减法是通过被减数及减数的补码相加实现的,即

$$B_n - A_n = B_n + \overline{A}_n + 1 \tag{9.10}$$

因为加 1 可以在运算器的最低位通过另外的电路实现,所以,运算器中的任意位只要在减法时能进行 $B_n+\overline{A_n}$的运算就可以了。参看表 9.3 和图 9.10 可见,当 $K_1=0, K_2=1$ 时,门 2 的输出为$\overline{A_n}$。与加法操作相比,除此以外的其他控制信号二者都是相同的。所以,这时所实现的正是 $B_n+\overline{A_n}$运算。

3. 异或操作($A_n \oplus B_n$)

如前所述,当 $K_1=1, K_2=0$ 时,门 6 的输出为$\overline{A_n \oplus B_n}$。因为这时 $K_3=1, K_5=0$,所以 $\overline{C_n}=1$。又因为 $K_4=0$,封锁了门 5,这就使得 $S_n=\overline{\overline{A_n \oplus B_n}}=A_n \oplus B_n$。

4. 与操作

这时 $K_4=0$,封锁了门 5。又因 $K_5=1$,使得$\overline{C_n}=0$,门 6 的输出成为 $A_n \cdot B_n$,因而

$$S_n = \overline{\overline{A_n \cdot B_n}} = A_n \cdot B_n$$

5. 或非操作

这时 $K_6=0$,使门 4 输出恒为 1。因此,门 6 的输出为$\overline{A_n+B_n}$。因为 $K_3=1, K_5=0$,使 $\overline{C_n}=1$。又因为 $K_4=0$,封锁了门 5,所以,得到 $S_n=\overline{\overline{A_n+B_n}}=\overline{A_n+B_n}$。

如果要求功能更多的多功能函数发生器。只要按照上述类似的方法就可以设计出相应的逻辑图来。

9.3.2 以传输门为主体的算术逻辑单元

采用传输门亦可构成多功能函数发生器，这种电路仍具有节省管子、结构简单的优点。图 9.11 是以传输门为主体的算术逻辑单元，根据传输门逻辑，此电路的逻辑表达式为

$$Y = A \cdot B \cdot K_4 + A \cdot \overline{B} \cdot K_3 + \overline{A} \cdot B \cdot K_2 + \overline{A} \cdot \overline{B} \cdot K_1 \qquad (9.11)$$

将式中的 $K_4 \sim K_1$ 作为控制信号，A，B 作为输入信号，则可根据式(9.11)列出表 9.4 所示的功能表。在这个电路中，仅用 12 个管子就可根据 $2^4 = 16$ 个不同的输入控制状态实现 16 种不同的逻辑功能，与图 9.10 所组成的电路相比节省了许多管子。不仅如此，图 9.11 所示电路在设计版图时，可安排成规整的矩阵式布局，这将大大有利于画图、查错，并节省较多的管芯面积。

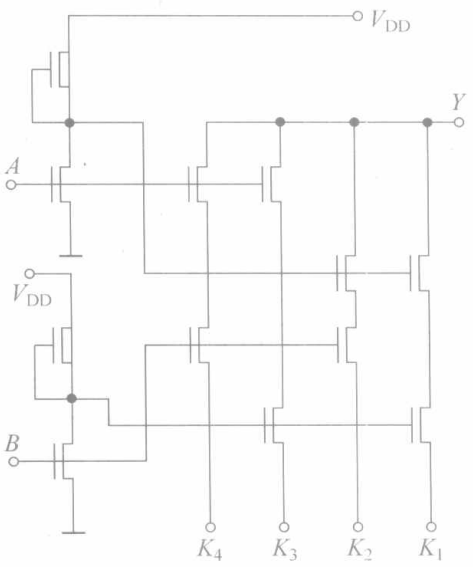


图 9.11 传输门的多功能函数发生器

表 9.4 传输门多功能函数发生器真值表

K_4	K_3	K_2	K_1	Y
0	0	0	0	0
0	0	0	1	$\overline{A} \cdot \overline{B}$
0	0	1	0	$\overline{A} \cdot B$
0	0	1	1	$\overline{A}$
0	1	0	0	$A \cdot \overline{B}$
0	1	0	1	$\overline{B}$
0	1	1	0	$A \oplus B$
0	1	1	1	$\overline{A} + \overline{B}$
1	0	0	0	$A \cdot B$
1	0	0	1	$\overline{A \oplus B}$
1	0	1	0	B
1	0	1	1	$B + \overline{A}$
1	1	0	0	A
1	1	0	1	$A + \overline{B}$
1	1	1	0	$A + B$
1	1	1	1	1

9.4 寄 存 器

寄存器是用以暂时存放信息的、有记忆功能的时序逻辑部件。在 MOS 电路中，多数寄存器是用静态或准静态 D 触发器构成的。

一个触发器可以存储一位二进制数码，所以存放 n 位二进制数码需要 n 个触发器。此外，为实现数据的接收、清除等功能，寄存器中还应包含一定数量的控制电路。下面重点介绍几种寄存器。

9.4.1 双港寄存器

由于数据通道一般采用双母线结构(Bus A 和 Bus B)，因此要求寄存器也是双港结构，可以与 A，B 母线相互传输数据。图 9.12 为这种寄存器的电路图(E/D NMOS 形式)。该电路由两级 E/D NMOS 反相器及 ϕ_2 控制门组成准静态触发器，寄存数据。它通过 4 个控制门管与 A，B 母线联系。母线在 ϕ_2 期间预充，数据的传输在 ϕ_1 期间进行。控制信号来自控制器，它们的功能如下：

$LdA \cdot \phi_1$——母线 A 上的数据写入寄存器；

$LdB \cdot \phi_1$——母线 B 上的数据写入寄存器；

$RdA \cdot \phi_1$——寄存器向母线 A 送数；

$RdB \cdot \phi_1$——寄存器向母线 B 送数。

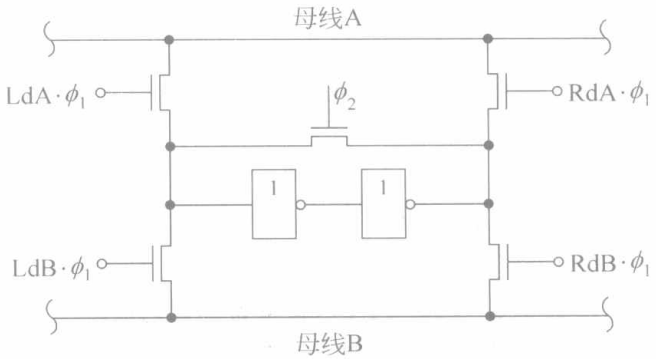


图 9.12 双港寄存器

9.4.2 移位寄存器

下边以一个 CMOS 四位 PI-UO 型(并入-万能输出，即兼有并出、串出、左移、右移等功能)移位寄存器为例，对 CMOS 静态移位寄存器的一般原理作进一步讨论。该电路的逻辑图如图 9.13 所示，电路的主体部分是四个 CMOS 静态 D 触发器。$\overline{MR}$为复位输入。不论

其他控制信号为何状态，只要$\overline{MR}=0$，则对四个触发器强行复位。$Q_3 \sim Q_0$ 为电路的四个并行输出端，其输出值取决于控制信号 S_1 和 S_0 的状态。根据 S_1 和 S_0 的不同组合，该电路可执行保持、右移、左移和并行置数四种功能。数据 D（D_{SR} 或 D_{SL}）是在时钟脉冲 CP 的上升沿送入 D 触发器的。由于没有另加输出控制信号，所以数据也是在时钟上升沿时送到 $Q_3 \sim Q_0$ 输出端的。此电路的上述功能如表 9.5 所示。

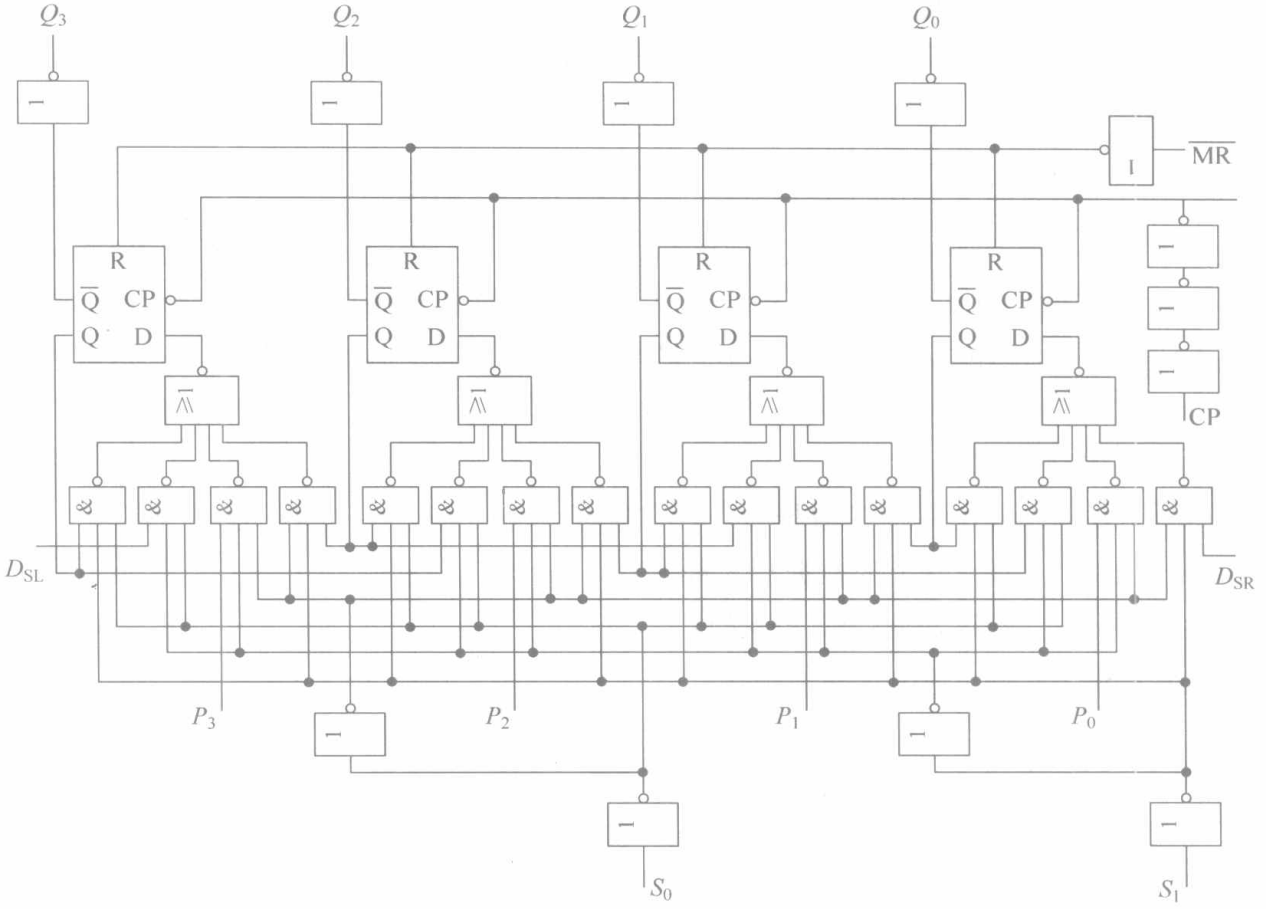


图 9.13　四位 PI-UO 型移位寄存器

表 9.5　四位 PI-UO 移位寄存器功能表

工作	复位输入	状态	控制	时钟输入	输　出			
方式	$\overline{MR}$	S_1	S_0	CP	Q_3	Q_2	Q_1	Q_0
复位	0	×	×	×	0	0	0	0
保持	1	0	0	↑	Q_3	Q_2	Q_1	Q_0
右移	1	1	0	↑	D_{SL}	Q_3	Q_2	Q_1
左移	1	0	1	↑	Q_2	Q_1	Q_0	D_{SR}
并行置数	1	1	1	↑	P_3	P_2	P_1	P_0

9.4.3 堆栈移位寄存器

堆栈是由一组移位寄存器所组成，具有后进先出(LIFO)的功能，是一种在数据管理中非常有用的存储器结构，可用于保存中断点的数据。图 9.14 是它的功能框图和电路示意图。由图可见，它有数据输入端、数据输出端、堆栈控制端和时钟端。堆栈具有三种操作功能：

(1) 将母线上的数据不断推入寄存(即压入(PUSH))；

(2) 保存这些数据；

(3) 将所存数据按后进先出的顺序输到母线上去(即弹出(POP))。

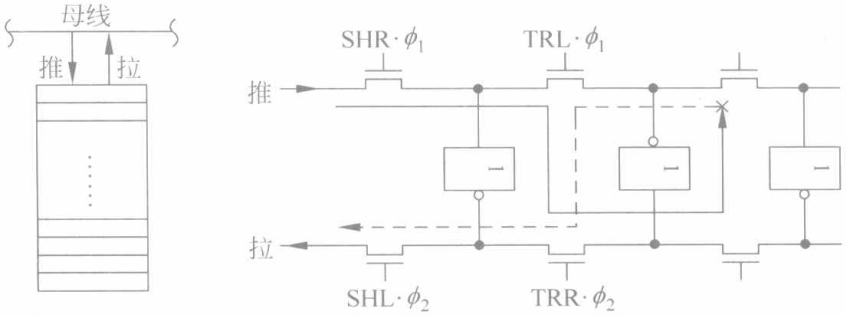


图 9.14 堆栈的功能框图和电路示意图

该电路有 4 个控制信号以组合成上述三种操作，如表 9.6 所示。

表 9.6 后进先出堆栈的操作表

操 作	ϕ_1	ϕ_2
压入(右移)	SHR	TRR
弹出(左移)	TRL	SHL
保持	TRL	TRR

9.4.4 动态移位寄存器

1. 两相有比动态移位寄存器

在用传输门作级间耦合的动态有比反相器链中，若相邻两个传输门分别受两相互不重叠的时钟控制，则可构成两相有比动态移位寄存器，如图 9.15 所示。当 $\phi_1=1$ 时，存在电容 C_2 上的数据 $\overline{D}$ 传送到下一级反相器驱动管的栅电容 C_3 上。当 $\phi_2=1$ 时，数据经第二级反相器受 ϕ_2 控制的传输门 M_7 传至第三级反相器驱动管的栅电容 C_5 上，从而实现了数据的移位寄存功能。为了提高各级输出信号的上升速度，通常采用幅度高于电源 V_{DD} 的时钟脉冲。这样，C_3 和 C_5 上的高电平就可以接近或达到 V_{DD} 值，它们的低电平则由动态有比反相

器的 β_R 决定。一般按下式选取其中传输门的宽长比 $\left(\frac{W}{L}\right)_T$ 值：

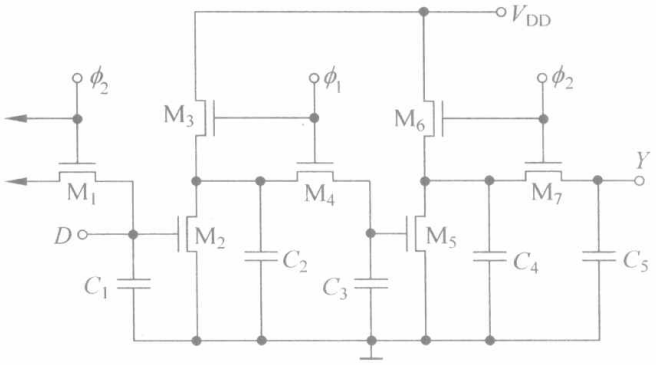


图 9.15　两相有比动态移位寄存器

$$\left(\frac{W}{L}\right)_D : \left(\frac{W}{L}\right)_T : \left(\frac{W}{L}\right)_L = \beta_R : \sqrt{\beta_R} : 1 \tag{9.12}$$

在两相有比动态移位寄存器中，信息是存储在电容 C_1，C_3 和 C_5 上的。因此，电路的速度主要取决于它们的充放电速度。为了使电路能够正常工作，时钟的频率必须满足一定的要求。显然，时钟的宽度应该大于反相器的充电时间 t_r。而为了避免两相时钟的重迭，时钟的宽度应略小于 1/2 时钟周期。由此可以确定出时钟频率的上限为

$$f_{max} = \frac{1}{2t_r + 2t_\phi} \tag{9.13}$$

其中 t_ϕ 为两相时钟的间隙。时钟频率的下限是由电荷保持时间决定的。当 C_1 上的电平为高时，ϕ_2 从 1 降为 0 的时刻起，C_1 进入动态保持阶段。在 $\phi_1=1$ 期间，C_1 上的信息被转移至 C_3，当 ϕ_1 从 1 降为 0 时起改为由 C_3 保持信息。此时 C_1 的保持任务就已经完成了，所以 ϕ_2 的下降沿到 ϕ_1 的下降沿为 C_1 的必要保持时间。这就是说，C_1 必须能在半个时钟周期内将信息有效地加以保持。若电容对信息保持时间为 t_H，则可由此定出时钟频率的下限为

$$f_{min} = \frac{1}{2t_H} \tag{9.14}$$

2. 两相无比动态移位寄存器

图 9.16 所示的电路是由并联传输门式反相器构成的，ϕ_1 和 ϕ_2 为两相时钟，且 ϕ_1 超前于 ϕ_2。

当 $\phi_1=1$，$\phi_2=0$ 时，M_1 导通，数据 $D=1$ 对 C_1 充电到高电平，同时 M_3 导通，使 C_2 充电到高电平。此时，M_2 截止。当 ϕ_1 从 1 变为 0 时，M_2 导通，C_2 放电到 0V，同时 M_1，M_3 截止。这样 C_2 的信息为输入数据 D 的反码 $\overline{D}$。

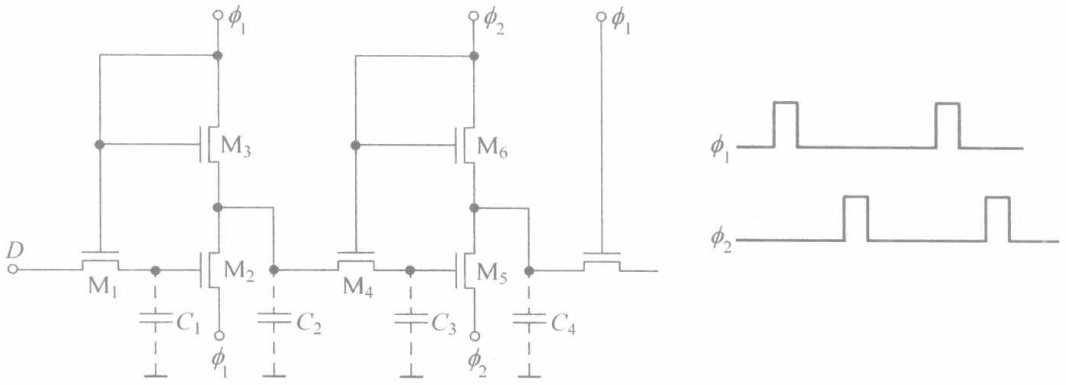


图 9.16　两相无比动态移位寄存器

当 $\phi_1=0$，$\phi_2=1$ 时，M_4 导通，C_3 的信息为 0V，同时 M_6 导通，使 C_4 为高电平，此时，M_5 截止。

当 ϕ_2 从 1 变为 0 时，M_4，M_5，M_6 均截止，C_4 上的信息保持不变，是 C_2 信息的反码，即是输入数据 D。

综上所述，经过一个时钟周期，即 ϕ_1，ϕ_2 都来了一个脉冲，信息从这一位输入移到该位的输出。再经过一个周期，又有新的信息移到该位的输出，而该位原先的信息移到下一位的输出。

前边已经指出，当动态无比反相器用传输门耦合时，由于电荷分配将使 1 电平有所降低。假定 $\phi_1=1$，C_1 上的电平为 0 时 C_2 被预充至 V_H；在 $\phi_2=1$ 期间，C_1 保持为 0，M_2 和 M_3 截止，M_4 导通，C_2 上的电荷将在 C_2 和 C_3 间进行分配，高电平降低到 V'_H，则

$$V'_H=\frac{V_H}{1+C_3/C_2} \tag{9.15}$$

C_3 是驱动管的栅电容，C_2 是相应管子的 PN 结电容，一般情况下 $C_3>C_2$，因此，由于电荷分配所引起的高电平降低是比较严重的。为了改善高电平的传输效率，对于铝栅 MOS 电路，可以设法加大 M_4 管在 C_2 一端的栅源迭交电容，这就等效于 C_2 端增加了一个新的电容 C_8（见图 9.17(a)）。对于硅栅 MOS 电路，可用一个 MOSFET(M_8)形成的可变电容来替代 C_8（见图 9.17(b)）。

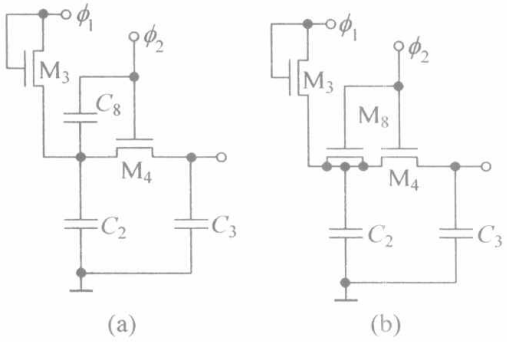


图 9.17　高电平传输效率的改善
(a) 加大迭交电容；(b) 引入附加 MOS 管

复习思考题

9.1　试画出传输门结构的一位八选一多路开关的电路图，写出逻辑表达式和真值表。

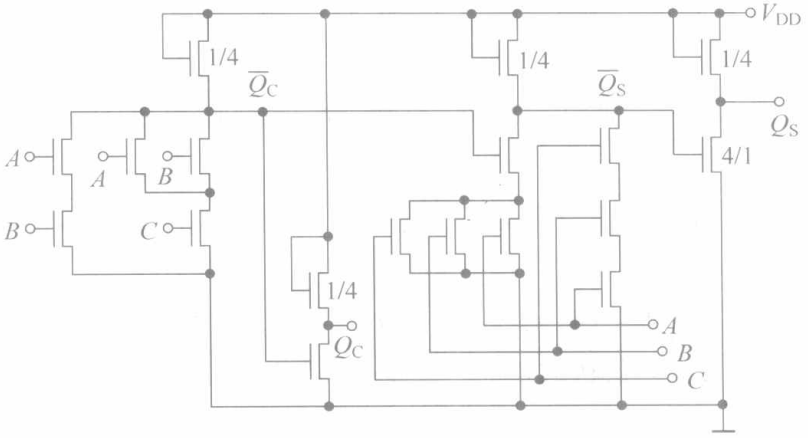
9.2　图题 9.2 是一个 NMOS 全加器电路，A，B 为本位输入，C 是全加和输出，Q_C 是进位输出。

(1) 将电路转换成逻辑图，写出 Q_S 和 Q_C 的逻辑式；

(2) 利用下述真值表验证此电路具有全加器功能：

A	B	C	$\overline{Q_C}$	Q_C	$\overline{Q_S}$	Q_S
0	0	0	1	0	1	0

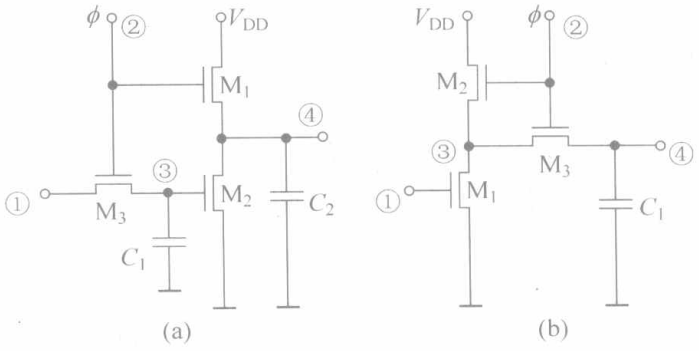
(3) 从真值表导出与本电路一致的逻辑函数(即(2)的结果)。



图题 9.2

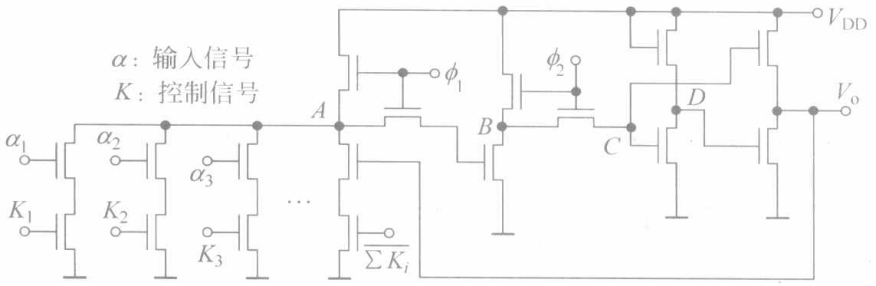
9.3　用什么方法可提高全加器的运算速度？试举例加以说明。

9.4　如果图题 9.4(a)反相器是有比的，试画出此电路各节点工作波形，分析其功能；如果图题 9.4(b)中 M_1 和 M_2 为无比的，分析此电路能否工作？为什么？



图题 9.4

9.5　分析图题 9.5 所示的两相动态电路的逻辑功能，并说明各级电路分别是有比的还是无比的。假如图中 $K_1=K_2=K_i$，$\alpha_2=\alpha_3=\alpha_i=0$；$\alpha_1$ 从 $0\to1\to0$，$\phi_1=\phi_2$，试画出图中 α_1，A，B，C，D 和 V_o 各点的波形图。



图题 9.5

9.6　画出与图 9.11 对应的多功能函数发生器的版图(版图尺寸比例不作要求)。

9.7　简述双港寄存器的工作原理。

第10章 存 储 器

存储器是各种电子数字计算机的主要存储部件，并广泛用于其他电子设备中。对半导体存储器的基本要求是高密度、大容量、高速度、低功耗。

存储器按其特性分，可以分为挥发性存储器和非挥发性存储器。

1. 挥发性存储器(volatile memory)

挥发性存储器是指关掉电源之后，存储在存储单元内部的信息会丢失。挥发性存储器一般指随机存取存储器(random access memory，RAM)。这类存储器可以随时将外界信息写入到其中的任何一个单元中去，也可以随意的读出任何一个单元中的信息。根据存储单元存储信息所用电路的类型，又可分为以下几类：

(1) SRAM (静态随机存取存储器)，其存储单元由某种锁存器作为存储元件，所以只要不断掉电源，存储的信息就一直保留着。SRAM 的系统设计比较容易，潜在的故障少，工作速度快，但功耗大，且占用的芯片面积大。

(2) DRAM (动态随机存取存储器)，其存储单元是利用一个很小的电容存储电荷来保持信息的。存储在电容上的电荷会逐渐泄漏，因此必须在电荷完全泄漏掉以前，重新写入信息，即存储单元必须被刷新。DRAM 的集成度高，功耗低，但速度不及 SRAM。DRAM 又可以分为 SDRAM 和 DDR DRAM。

① SDRAM 是指同步动态随机存储器(synchronous dynamic random access memory)。

② DDR DRAM 是指双倍数据速率动态随机存储器(double data rate dynamic random access memory)。

(3) PSRAM (伪静态随机存取存储器)，其内部的存储单元为 DRAM 结构，但外部是 SRAM 的电路接口，所以叫伪静态随机存取存储器 (pseudo SRAM)。现代工业界的 PSRAM 主要有 CRAM，CosmoRAM 和 UtRAM 三大类。同时 PSRAM 又可以分为异步 PSRAM (asynchronous PSRAM)和同步 PSRAM (synchronous PSRAM)。

2. 非挥发性存储器(non-volatile memory)

非挥发性存储器是指关掉电源之后，存储在存储单元内部的信息不会丢失。非挥发性存储器又可以分为 ROM 和 Flash。

只读存储器(read only memory)，简称 ROM。它又可以分为以下两大类：

(1) 掩模编程 ROM，它所存储的固定逻辑信息，是由生产厂家通过光刻掩模版来决定

的。典型的应用例子如字符发生器。

(2) 现场可编程 ROM(programmable read only memory),它又可细分为三类:

① PROM(可编程 ROM)。此类 ROM 通常采用熔丝结构,用户可根据编程的需要,把无用的熔丝烧断来完成编程工作(即把信息写入到存储器中)。但一旦编程完成,就无法再变更,故用户只可编程(写)一次。

② EPROM(可擦除可编程 ROM)。此类 ROM 存储单元中存储信息的管子采用浮栅(floating-gate)结构,利用浮栅上有无电荷来存储信息,当需要重新编程时,可先用紫外光或 X 射线把原存的信息一次全部擦除,再根据需要编入新的内容,可反复编程。EPROM 不能逐字擦除所存内容,擦除需要紫外光或 X-射线源,且擦除时间长,使用不便。

③ EEPROM(电可擦除可编程 ROM,也写做 E^2PROM)。此类 ROM 存储单元中存储信息的管子采用浮栅隧道氧化物(FLOTOX)结构,它是利用 Fowler-Nordheim 隧道效应来实现存储管子中信息的存储和擦除,它可以在较低的电压(约 20V)下实现逐字的擦和写。

(3) Flash (闪存)是近年发展比较快、应用非常广泛的存储器。按照其存储单元之间的逻辑关系以及其在市场上的应用,它主要包括以下两类。

① NOR Flash。NOR Flash 的存储单元之间是"或"逻辑,所以称为 NOR Flash。

② NAND Flash。NAND Flash 的存储单元之间是"与"逻辑,所以称为 NAND Flash。

闪存具有非挥发性、低成本、低功耗、高速度、高容量等优点,正日益成为存储器中的重要产品类别。

SRAM,PSRAM,LPSDR(低功耗 SDRAM)或 LPDDR(低功耗 DDR)经常和 NOR 或 NAND Flash 一起使用,用以存储代码或数据。各类存储器之间怎样搭配组合取决于各种存储器的存储容量、系统集成后的特性以及系统的总线操作情况。

10.1 存储器的结构

存储器的结构框图如图 10.1 所示,它主要包括存储体(单元阵列)、地址译码器、读写电路。此外,为了使存储器各部分电路能按一定顺序动作,需要时序控制电路对各部分电路进行时间控制。

1. 存储体(单元阵列)

它是由若干个存储单元组成,每个存储单元有两个相对稳定的状态,以代表所存储的二进制信息(0 或 1)。如果要存储 N 组二进制数据,每组二进制数据又由 M 个二进制数构成,则需要 $N\times M$ 个存储单元。这时,称该存储器的容量为 $N\times M$ 位 (b)。N 代表能存储的字数,M 代表每个字的位数。一般市场上的表示存储器容量所用的单位为 B。1B=8b。比如一个 8MB 的存储器中实际的存储单元的个数是 64 兆个(8M×8)。

2. 地址译码器

为了能正确地写入或读出单元阵列中某一单元的信息,必须把存储单元编上号码(即给

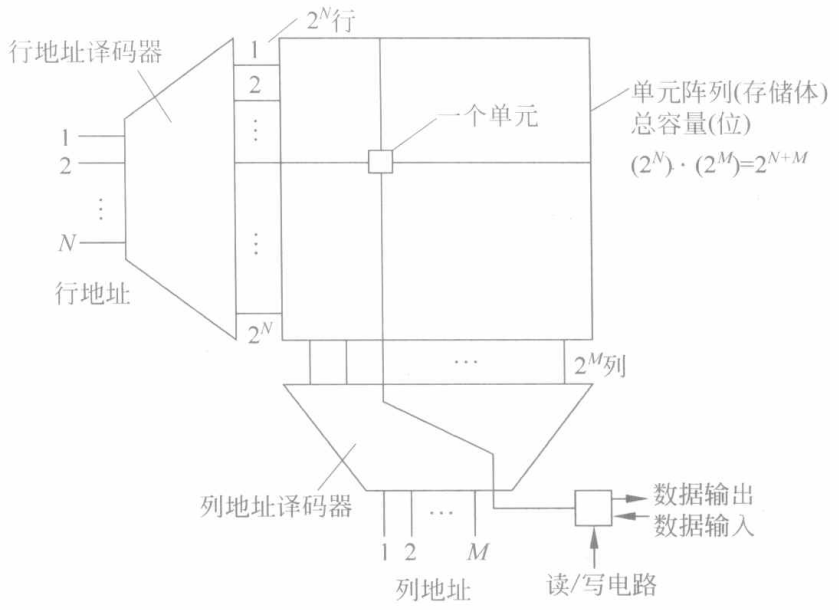


图 10.1　存储器的结构框图

每个存储单元一个唯一的地址),通过地址来"寻找"存储单元。能够实现地址选择的电路叫做地址译码器。一个二输入端的译码器,可选择 2^2 个地址(00,01,10,11),如此类推,有 n 个地址输入端的存储器,可被寻址的存储单元为 2^n 个。在存储器的设计中,为了减少输入端的个数、减小芯片面积,常常采用地址与地址复用(AAMUX),或地址与数据复用(ADMUX),或地址同时与地址和数据复用(A-ADMUX)的方式。所以不能根据芯片外部引脚的个数判断芯片的存储容量。由于每个存储单元的电路形式是一样的,为了节省芯片面积,他们在集成电路中总是排列成矩阵形式,此时,为了选择某一存储单元,需要有行地址译码器和列地址译码器(如图 10.1 所示)。

3. 读写电路

存储单元的状态 0 或 1,不能直接提供给外电路,必须经过读出放大器的放大。有些存储器对写入信号有特殊要求,此时需要专门的写入电路。

10.2　掩模编程 ROM

掩模编程的 ROM 可以用接触孔的掩模版来编程,也可以通过"存在"和"不存在"栅开启 MOS 管,或利用离子注入方法使 MOS 管永远截止(或永远导通)等方法来实现编程,下面以 96 字符发生器为例来加以说明。

96 字符发生器是通过"存在"和"不存在"MOS 管来实现编程的,其框图如图 10.2 所示,它包括存储矩阵、字地址译码器、列译码器、列选择电路四部分。

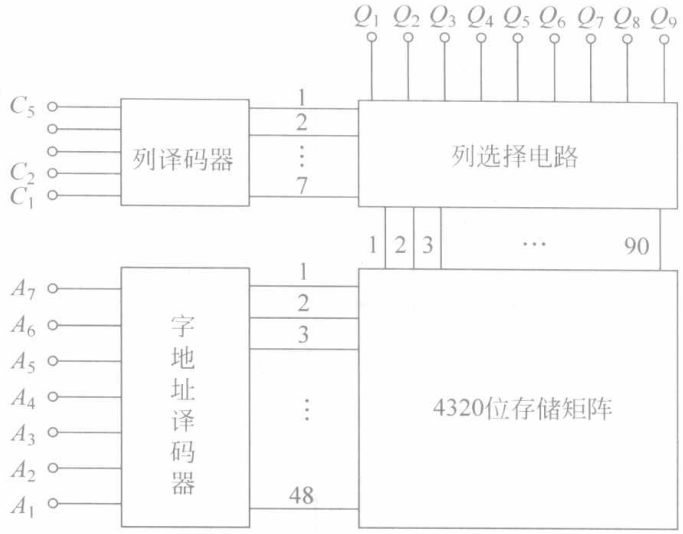


图 10.2　96 字符发生器框图

1. 存储矩阵

96 字符发生器的每个字符，由 5×9 个存储单元组成的点阵构成，如图 10.3 所示。通过控制 45 个点的明暗来显示字符图形。存 1 的单元是亮点，它是薄栅 MOS 管；存 0 的单元是暗点，它是厚栅 MOS 管。按照一定的字形码，把 45 个这样的存储单元排成一行，把它们的源接地，把它们的栅连接在一起（称为字线）；把它们的漏端分别引出（称为位线）。每根位线接一个负载管通到电源 V_{DD}，如图 10.4 所示。当字线为高电平时，存 1 的薄栅管导通，其位线为低电平（代表 1），而存 0 的厚栅管仍不导通，其位线为高电平（代表 0）。这样，从 45 根位线就可以读出所储存的字形码，每根位线读出字形码的一位。

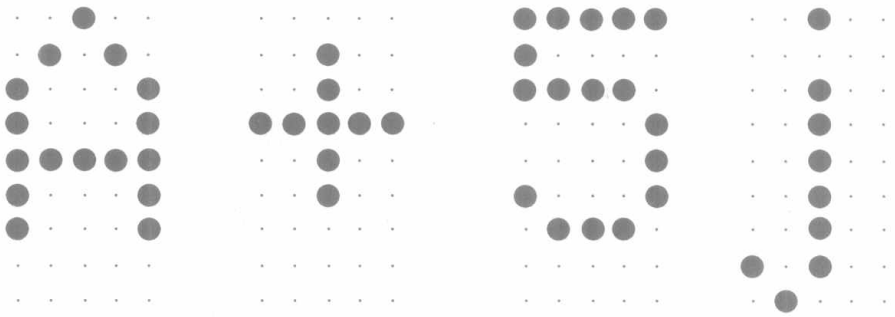


图 10.3　用 5×9 点阵显示文字

把 96 个字符的存储单元排成一行，把相应的位线连在一起（如图 10.4 所示），就称为 ROM 存储矩阵。通过使不同的字线处于低电平，就可以从位线读出不同字符的字形码。

ROM 矩阵的复合版图如图 10.5 所示。其中字线为铝线，它也作为存储单元的栅；位线为扩硼线，它也作为存储单元的漏；在每两根位线中间有一根扩硼线作为地线，它也作为存储单元的源。

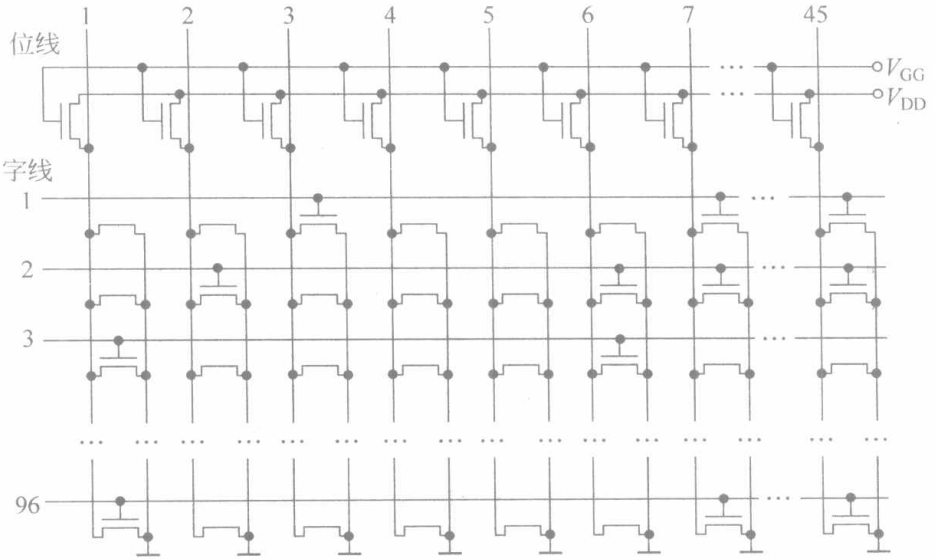


图 10.4　存储矩阵的电路图

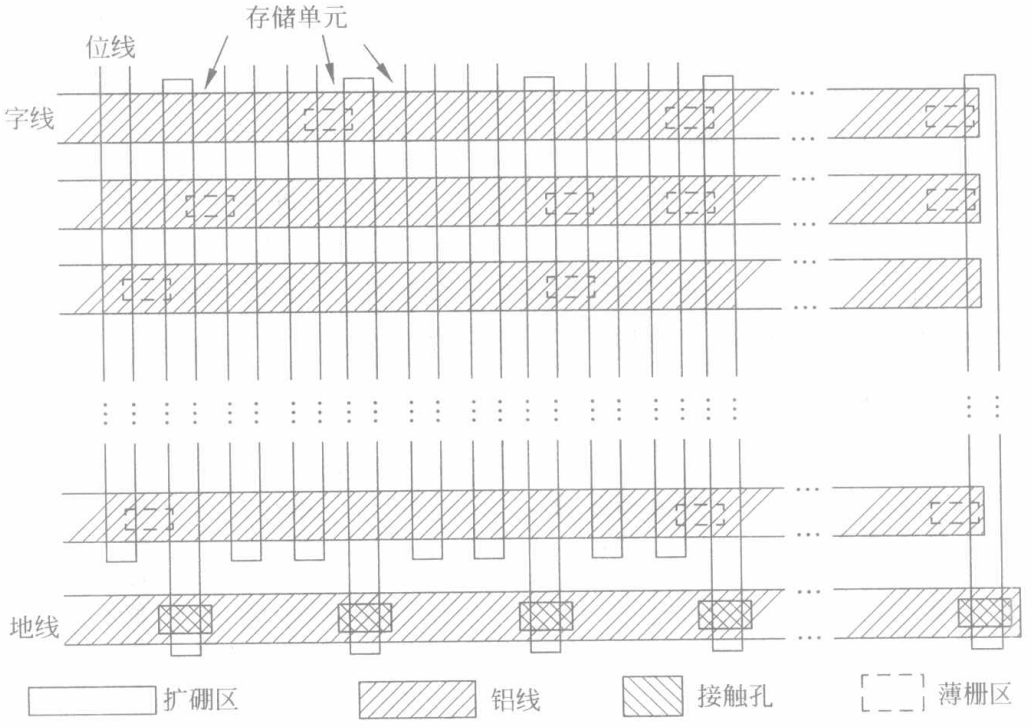
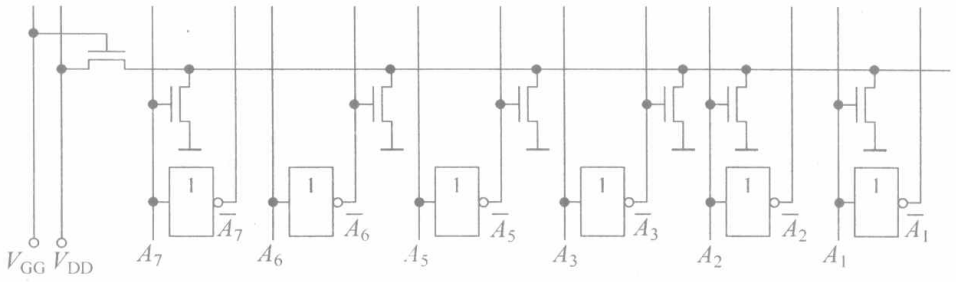


图 10.5　ROM 矩阵的复合版图

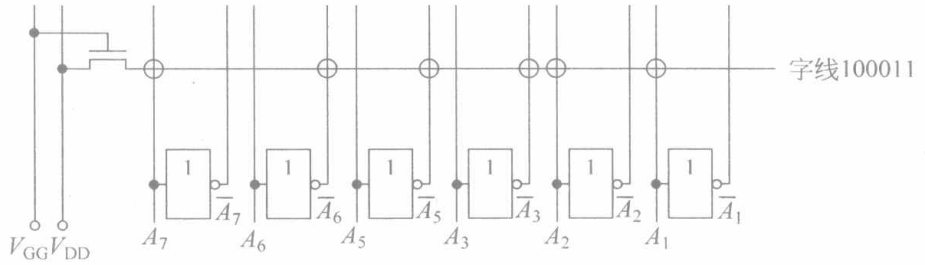
如果存储矩阵采取 96×45 的形式，即 96 根字线、45 根位线的形式，矩阵就成狭长形，这样，位线的长度就要很长，而使矩阵输出的高电平变低。为了解决这一问题，此电路采用 48×90 的矩阵结构（即 48 根字线、90 根位线），即每根字线上存储 2 个字符信号，90 位输出代表了两个字符的信号，这两个字符的分选，则通过列译码、列分离实现。

2. 字译码、列译码、列分离

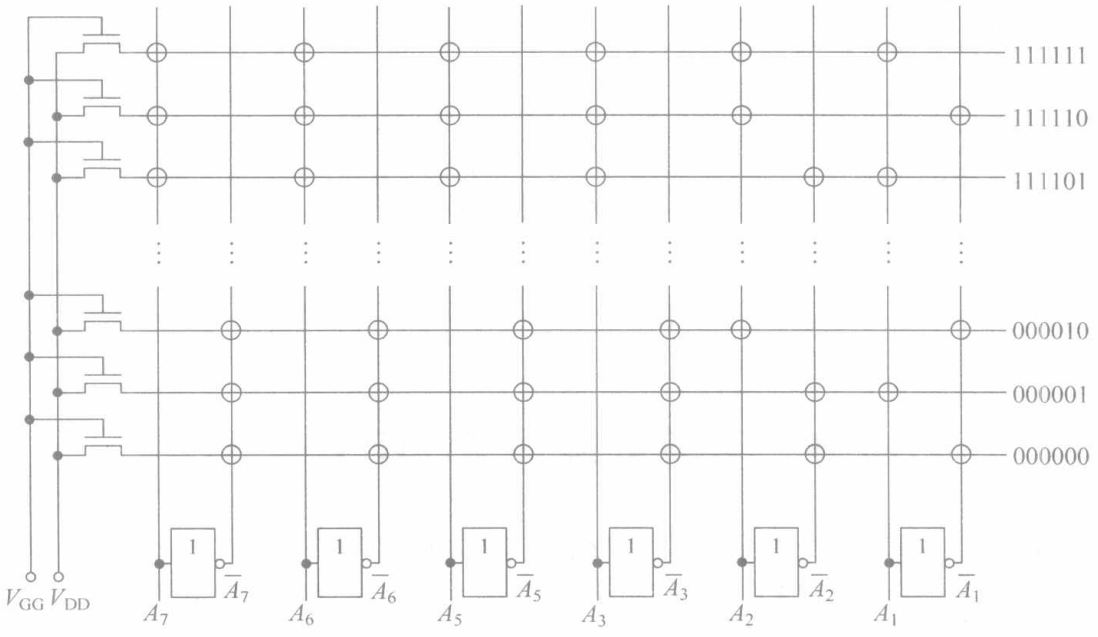
每一个字符可以用二进制的 7 位数 $A_1 \sim A_7$ 进行编码(其中 A_4 用于列选译码中)。对于每一位 A_i,或为 1,或为 0,48 根字线的地址是这 7 位二进制数。字地址译码器如图 10.6 所示。



(a)



(b)



(c)

图 10.6　字地址译码器

在实际应用中往往不需要同时输出一个字符的所有 45 位字形码,而可以分几次读出,一次只读出其中的若干位,例如一次读出 5×9 点阵中的一行或一列,这就需要一定的行(或列)选择电路。

96 字符发生器每次输出一列，它有 9 个输出端，需要有 5×2＝10 条列选择线，以决定输出的是哪一列，其电路如图 10.7 所示。

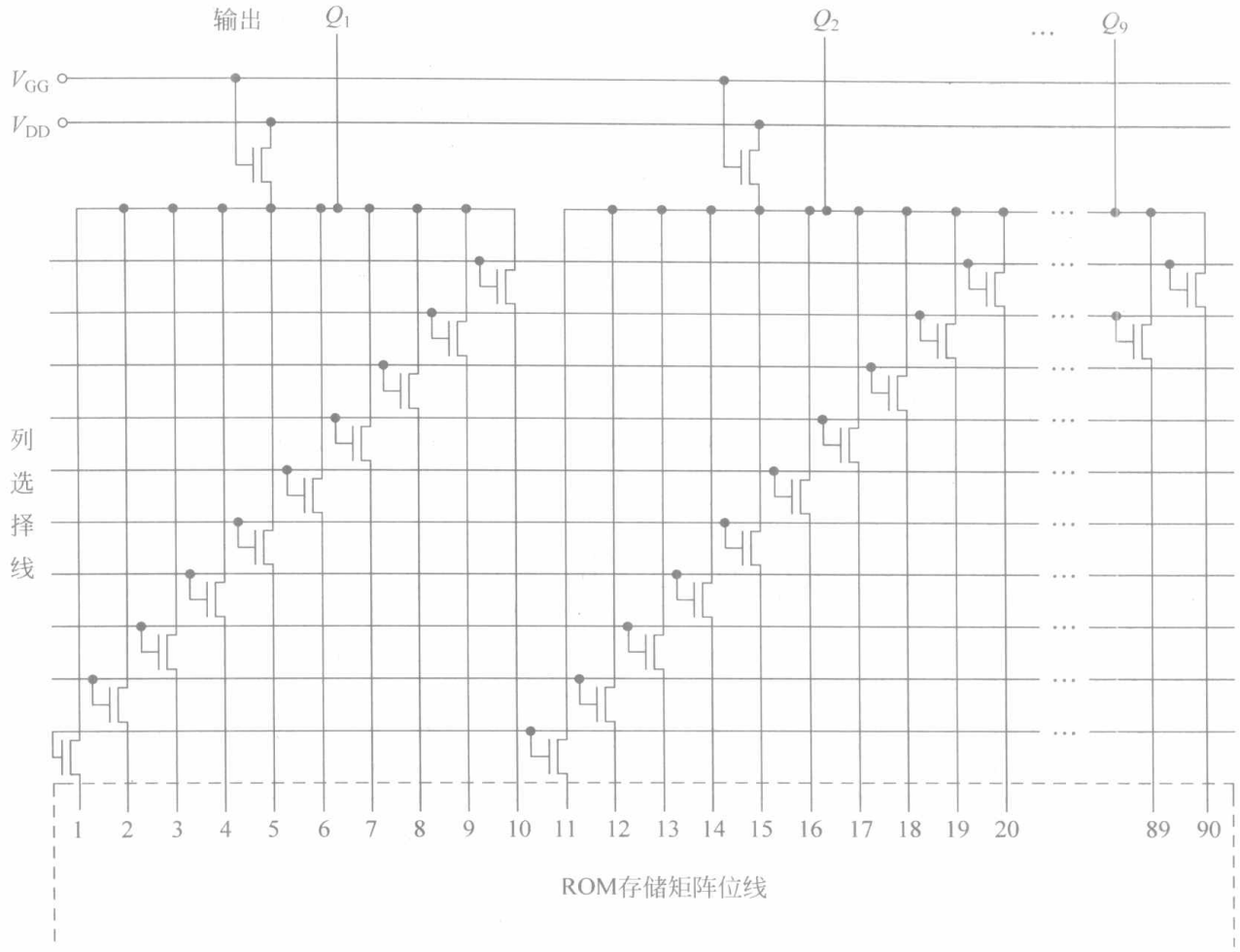


图 10.7　列选择电路

10.3　现场可编程 ROM(PROM)

上述的掩模编程 ROM 是由用户提供码点，而由生产厂家完成制作的，且一旦制成则其中存储的信息无法改变。而 PROM 则可允许用户自己根据需要进行一次编程，但用户一旦写入信息，就不能再改写。

PROM 一般采用双极型电路，双极型 PROM 的基本结构有熔丝型和结破坏型(击穿型)两种类型。

1. 熔丝型 PROM

图 10.8 为熔丝型 32×8 位 PROM 的结构示意图，从图中可见，其存储单元是由晶体管的发射极连接一段镍铬熔丝组成。在正常工作电流下，熔丝不会被烧断；而当通过几倍工

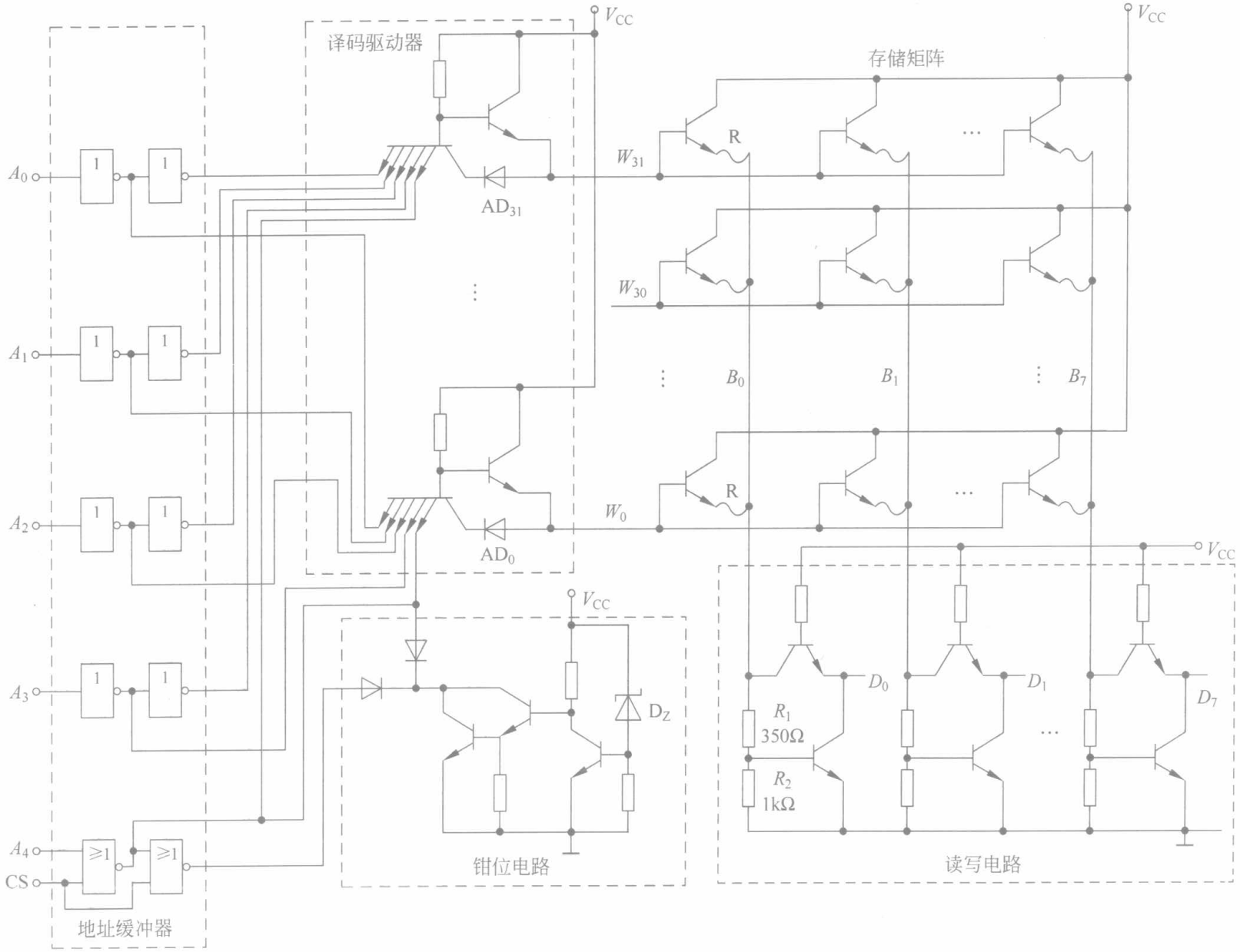


图 10.8　熔丝型 32×8 位 PROM 结构示意图

作电流的情况下，熔丝会立即被烧断。当选中某一单元时，若此单元的熔丝未被烧断，则晶体管导通，回路有电流，表示该单元存储信息 1；而若此单元的熔丝已被烧断，就构不成回路，故无电流流通，表示该单元存储信息 0。因此可以通过用烧断熔丝的办法来进行编程。

2. 结破坏型(击穿型)PROM

图 10.9 为结破坏型(击穿型)PROM 存储单元的示意图，其存储单元是一双背靠背连接的二极管跨接在对应的字线与位线的交叉处，因此在正常情况下它们不导通，芯片中没有写入数据，一般认为编程前全部单元都为 0。当用户编程时，通电将要写入 1 的单元中那只反接的二极管击穿，于是这一单元可以有电流流通，这表示写入了 1。

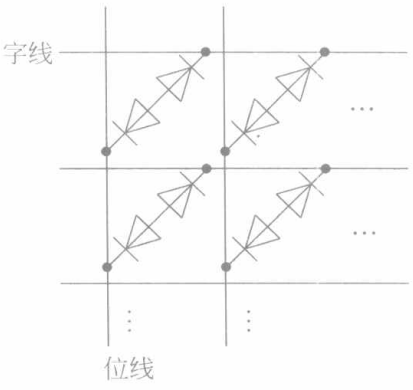


图 10.9　结破坏型 PROM 存储单元

10.4　可擦除可编程 ROM(EPROM)

EPROM 一般采用 MOS 电路，其存储单元中存储信息的 MOS 管可以有不同的结构。

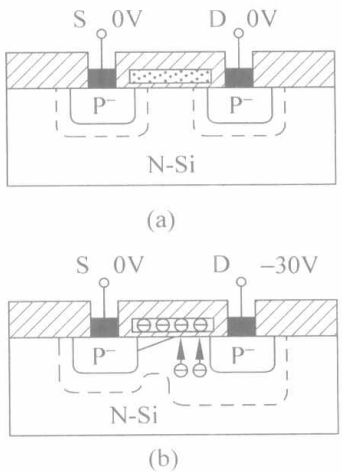


图 10.10　P 沟道 FAMOS 管

FAMOS(floating-gate avalanche-injection MOS)结构如图 10.10(a)所示，其多晶硅栅被二氧化硅包围与外界绝缘，称为浮栅。浮栅下面是 800～1000Å 的热生长栅氧化层。当浮栅上没有负电荷时，此 MOS 管截止，表示存储信息 0；编程时，在漏端加足够高的负电位，如图 10.10(b)所示，在漏区 PN 结沟道一侧表面的耗尽层中发生雪崩倍增，由此产生的高能电子能够越过硅-二氧化硅界面势垒，并在二氧化硅中电场的作用下进入到多晶硅栅中，并存储在浮栅上，当浮栅上的负电荷足够多时会使此 MOS 导通，表示写入信息 1。用紫外光或 X 射线照射可以擦除写入的信息。

SIMOS(stacked-gate injection MOS)结构如图 10.11 所示，它有两个互相重叠的多晶硅栅，下面是与外界绝缘的浮栅，上面是连到 X 译码器的控制栅或选择栅 G，起控制和选择的作用。对于 SIMOS 来说，当浮栅中没有注入电子时，开启电压较低，称为 1 状态；在浮栅中注入电子后开启电压变高，称为 0 状态，所以一个 SIMOS 管就是一个存储单元，其存储矩阵的示意图如图 10.12 所示。

浮栅中的电子注入是靠“热电子”沟道注入完成的。当源漏间加足够高的电压时，只要沟道长度足够小，可以使“热电子”的能量超过 SiO_2-Si 界面势垒，借助于控制栅上的附加正电压，就可以把电子拉到浮栅中去。

当要擦除信息时，仍可采用紫外光照射多晶硅栅，此时控制栅、源、漏、衬底都应接近地电位。

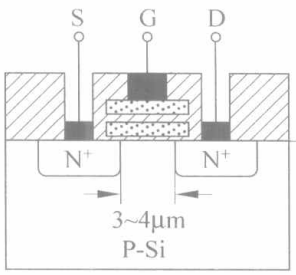


图 10.11　N 沟道 SIMOS 管

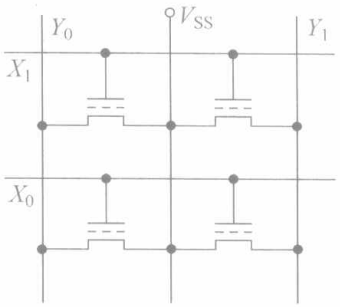


图 10.12　SIMOS 矩阵示意图

10.5　电可擦除可编程 ROM(E²PROM)

以上介绍的 EPROM 是通过对存储信息的管子施加较高电压，产生高能电子来实现电子注入(写入信息)的，而 E²PROM 是利用低能电子穿过氧化物的方法来实现编程和擦除的。下面以 TEE8502 (2kb E²PROM)为例来详细介绍 E²PROM 的结构及其工作原理。

10.5.1　TEE8502 的总体结构和工作模式

1. 总体结构

TEE8502 是 256×8 位 NMOS E²PROM，其地址输入端为 8 个，公共数据输入、输出端 8 个，这样，它为寻址空间 256 位的 8 位并行输入或输出的 E²PROM。由控制端$\overline{CE}$，$\overline{OE}$，V_{PP}的不同电平，实现不同的电路工作模式。最大取数时间小于 250ns，功耗小于 200mW。

TEE8502 的总体结构框图如图 10.13 所示。其中包括：

(1) 256×8 位存储阵列，由 32 行 64 列存储单元所组成。

(2) I/O 列选通、V_{CG}列选通电路。共 64 列每次选通 8 位，为一个字节输出。

(3) 地址缓冲器，共 8 个。

(4) 行译码器，共 16 组，每组带 2 行字线。

(5) 列译码器，共 4 组，每组为 2 个字节，16 列单元。

(6) 位读出和位写入电路各 8 个。

(7) 工作模式控制电路。E²PROM 有 6 种工作模式，比一般存储器的控制电路复杂。

(8) 存储管控制栅电压 V_{CG}发生器。

(9) 存储管源电压 V_S发生器。

2. 工作模式

TEE8502 的工作模式有读、读禁止(低压维持)、字节擦、字节写、片擦除和擦/写禁止(高压维持)六种。这里浮栅充电状态代表逻辑 1，放电状态代表逻辑 0。浮栅充电，称之为擦除，反之，浮栅放电称之为写入。

TEE8502 的工作模式及对控制端电平的要求如表 10.1 所列。表中 V_{IH}和 V_{IL}分别为 TTL 高、低电平，因此控制信号$\overline{CE}$和$\overline{OE}$以及数据输入、输出端 I/O 均与 TTL 电平兼容。

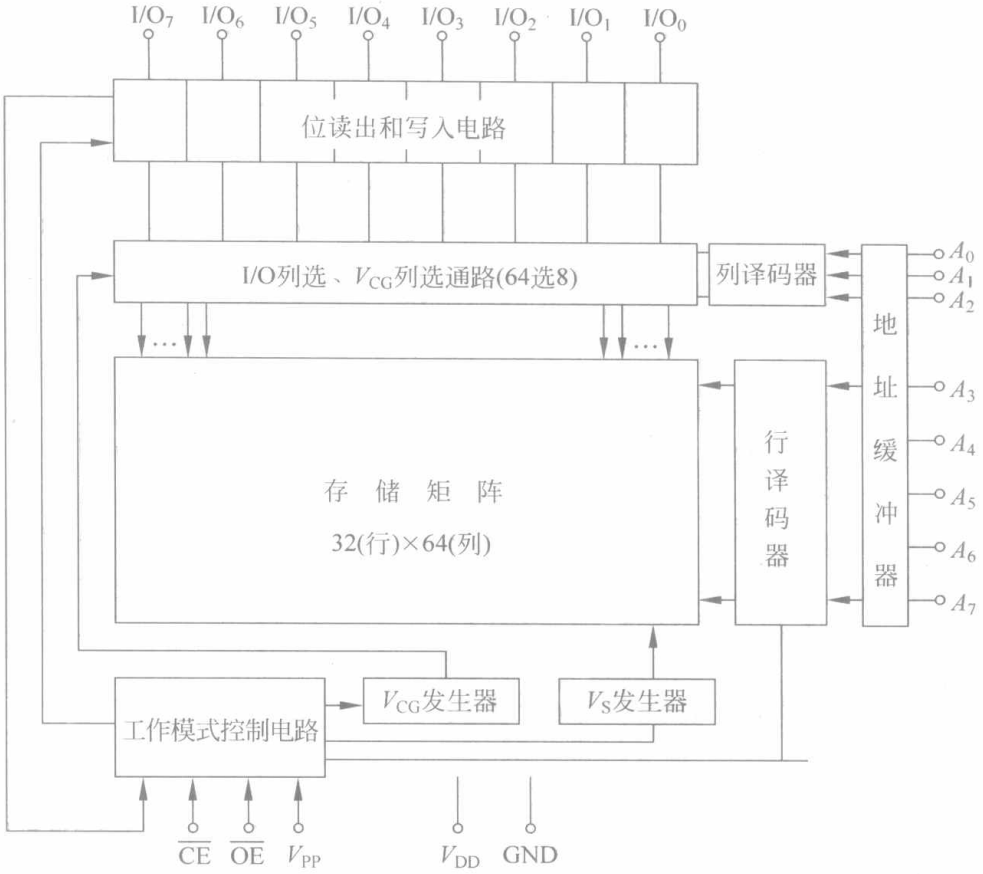


图 10.13　TEE8502 总体结构框图

编程电压 V_{PP} 有两种不同的工作电压，在读和读禁止工作时，$V_{PP}=5V$，在擦、写和擦/写禁止模式下 V_{PP} 是一个 21V 的单脉冲，上升沿时间常数为 600μs，脉宽为 10ms。按 V_{PP} 不同的工作电压可分为低压工作和高压工作两种方式。

表 10.1　TEE8502 工作模式

管脚 / 工作模式	$\overline{CE}$(18)	$\overline{OE}$(20)	V_{PP}(21)	I/O
读　出	V_{IL}	V_{IL}	(5±1)V	D_o数据输出
读禁止(低压维持)	V_{IH}	不影响	(5±1)V	高阻(HZ)态
字节擦	V_{IL}	V_{IH}	(21±1)V	$D_i=V_{IH}$
字节写	V_{IL}	V_{IH}	(21±1)V	D_i数据输入
片擦除	V_{IL}	+9～+15V	(21±1)V	$D_i=V_{IH}$
擦/写禁止(高压维持)	V_{IH}	不影响	(21±1)V	高阻(HZ)态

要改写某个字节内容时，必须先进行字节擦除，然后再进行字节写，共需要两个擦写周期，即 20ms。

TEE8502 的读、字节写入、片擦除的工作时序如图 10.14(a)、(b)、(c)所示。工作时序中符号说明、参量数据和测量条件如表 10.2 所示。

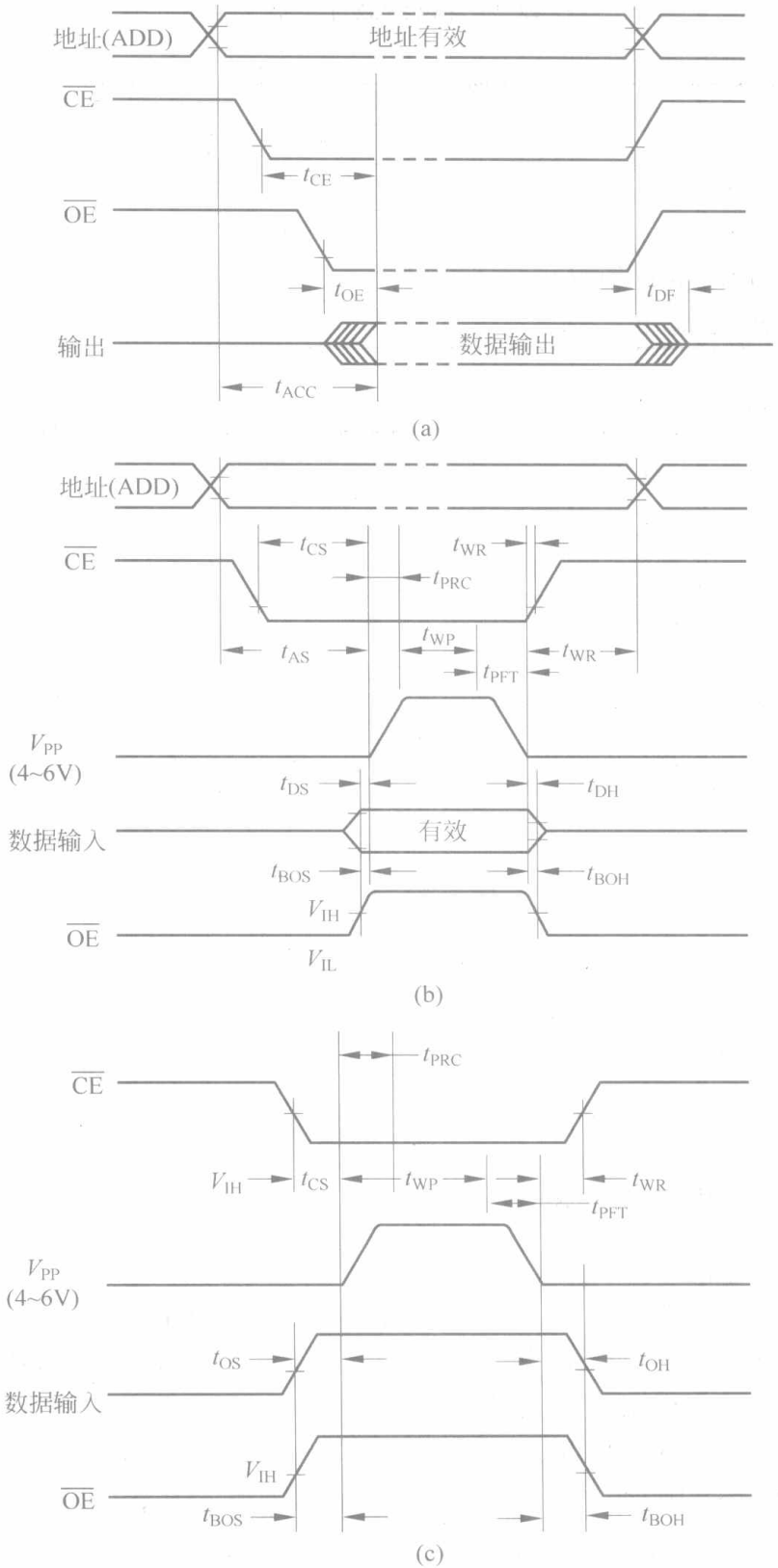


图 10.14　TEE8502 工作时序

(a) 读；(b) 字节写入；(c) 片擦除

表 10.2　TEE8502 工作时序说明

(1) 读

符号	参　量	范　围			单位	测量条件
		最小	典型	最大		
t_{ACC}	选址到输出的延迟时间		200	250	ns	$\overline{CE}=\overline{OE}=V_{IL}$
t_{CE}	CE 到输出的延迟时间		200	250	ns	$\overline{OE}=V_{IL}$
t_{OE}	输出允许到输出的延迟时间	10		100	ns	$\overline{CE}=V_{IL}$
t_{DF}	输出允许到输出浮动	0		80	ns	$\overline{CE}=V_{IL}$

(2) 片擦除、字节写入

符号	参　量	范　围			单位	测量条件
		最小	典型	最大		
t_{AS}	ADD 到 V_{PP} 建立时间	150			ns	
t_{CS}	$\overline{CE}$到 V_{PP} 建立时间	150			ns	
t_{DS}	数据到 V_{PP} 建立时间	0			ns	
t_{DH}	数据保持时间	50			ns	$V_{PP}=6V$
t_{WP}	写脉冲宽度	9	10		ms	
t_{WR}	写恢复时间	50			ns	$V_{PP}=6V$
t_{OS}	片擦除建立时间	0			ns	$V_{PP}=6V$ $\overline{OE}=9V$
t_{OH}	片擦除保持时间	0			ns	$V_{PP}=6V$ $\overline{OE}=9V$
t_{PRC}	V_{PP} RC 时间常数	450	600	750	μs	
t_{PFT}	V_{PP} 下降时间			100	μs	$V_{PP}=6V$
t_{BOS}	字节擦除/写建立时间	0			ns	$V_{PP}=6V$
t_{BOH}	字节擦除/写保持时间	0			ns	$V_{PP}=6V$

10.5.2　存储单元和存储矩阵

1. FLOTOX 存储管

TEE8502 的存储管采用 FLOTOX 结构，图 10.15(a)为存储管剖面示意图。

FLOTOX 存储管包括两层重叠的多晶硅栅，下面一层为浮栅，周围被氧化硅包围，与外界绝缘，一般读状态下漏电很小，便于保存电荷。上面一层多晶硅为控制栅。浮栅多晶硅同时覆盖场区，并在扩散区的延伸部分与漏区相叠交，如图 10.15(b)所示。这个区域中，浮栅与漏区间存在一个只有 100Å 左右的超薄氧化层，称之为隧道氧化层。当控制栅相对于漏极加+21V 电压时，由于电容耦合，浮栅上形成一个正电位，使隧道氧化层中的电场可达 10^7 V/cm 以上，这样便会发生 Fowler-Nordheim 隧道效应，电子通过氧化层对浮栅充电。这种隧道效应是可逆的，若控制栅接地，漏极加 21V 电压，则电子从浮栅穿过隧道氧化层跑

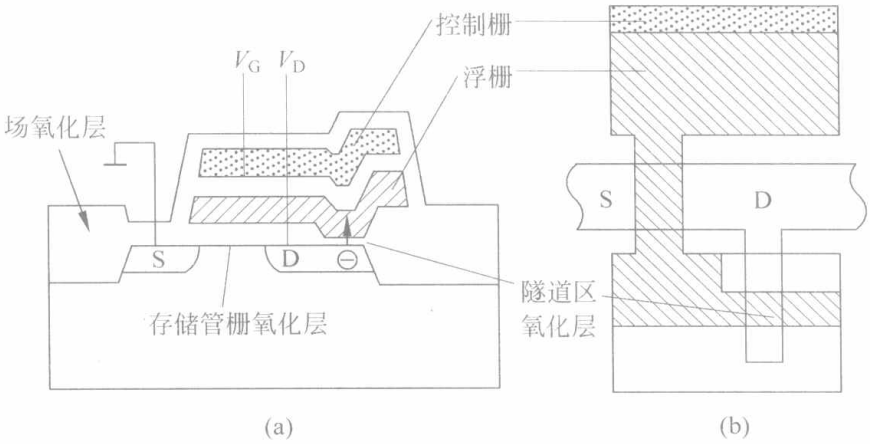


图 10.15　FLOTOX 存储管剖面示意图及版图

到漏极，使浮栅放电。

FLOTOX 存储管把隧道氧化层放在漏区，可以提供单字节擦除功能，这就要求在重掺杂的漏区上生长高质量的超薄氧化层。因为隧道电流对氧化物两端的电压有很强的依赖关系，外加电压每增加 0.8V，电流将增大一个数量级。为了保证存储在浮栅上的电荷在 10 年中泄漏小于 10%，在读出或存储操作期间的漏电流应该确保在 10^{-21} A 以下，即泄漏电流和写入电流之比应为 $1:10^{11}$。为了达到这个指标，就要在编程期间与读出或存储操作期间使隧道氧化物两端的电压之差必须超过 8.8V。

为了确保 FLOTOX 存储管的工作特性和长期可靠性，防止隧道氧化层被击穿，要求限制隧道氧化层上的峰值电场。为此要求编程电压 V_{PP} 需具有时间常数为 600μs 的缓变上升前沿。

TEE8502 的编程电压 V_{PP} 为 21V，脉宽为 10ms，在这种条件下，经大量测量，擦除后存 1 的 FLOTOX 存储管开启电压可达＋6V 以上，而写 0 的存储管(写入时 $V_S=+5V$)开启电压可降到－6V 左右。这样，在读出时，在控制栅上加一个介于两个开启电压之间的电压(一般加 3V 左右)，根据 FLOTOX 存储管的导通和截止，可判定所存的信息。

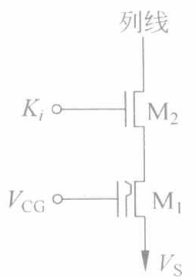


图 10.16　存储单元

TEE8502 中的存储单元由一个 FLOTOX 存储管和一个作为行选择管的 E 管组成，如图 10.16 所示。

2. 存储矩阵

256×8 的 TEE8502 存储矩阵如图 10.17 所示，按位计是 32 行、64 列。一行中相邻的 8 位组成一个字节，每一行中有 8 个字节，整个矩阵共 256 个字节。

每个存储单元中的选择管的漏极接列线，又经列线的门管接数据线 $D_0 \sim D_7$，此后再接灵敏读出放大器。图中 $X_0 \sim X_{31}$ 是行地址译码器的输出，$Y_0 \sim Y_7$ 是列地址译码器的输出。矩阵中所有 FLOTOX 存储管共源。只有字节写入操作时 $V_S=5V$，其他操作 V_S 均接地。每个字节的 8 个存储管的控制栅相连接，经行线和列线的门管与 V_{CG} 发生器相联。各端点的工作电压因不同的工作模式而各不相同。

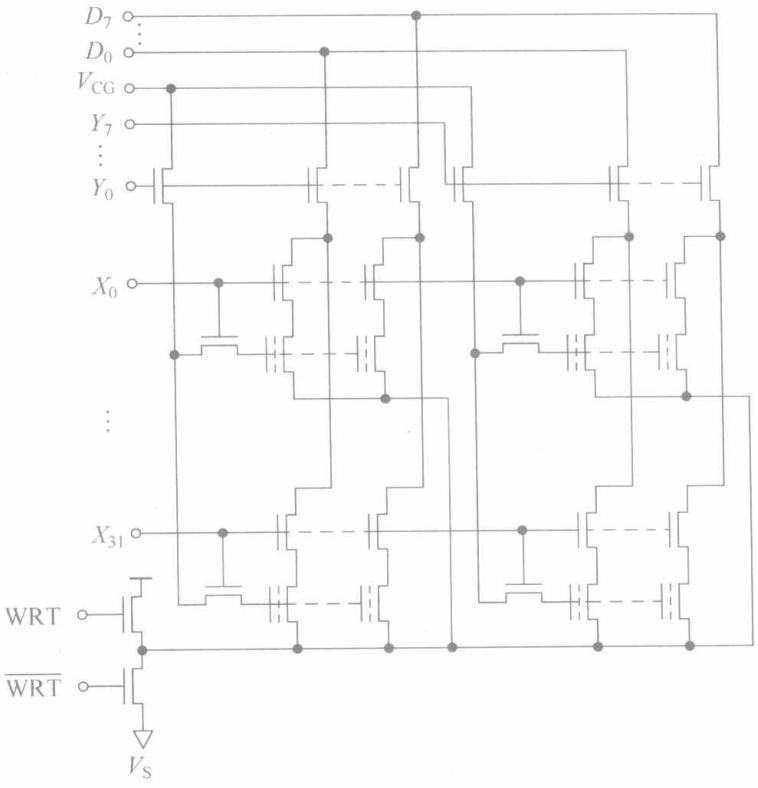


图 10.17　TEE8502 存储矩阵

10.5.3　外围电路

TEE8502 存储矩阵的外围电路按其功能大体上可分为两层：

内层外围电路为功能电路，它是直接控制存储矩阵工作的功能块，例如地址译码器、地址缓冲器，灵敏读放电路、位写入电路，V_{CG}发生器和 V_S发生器。

外层外围电路为工作模式控制电路，它把外部控制信号$\overline{OE}$，$\overline{CE}$，V_{PP}等转换为若干内部控制信号，对内层外围电路进行控制。

1. 内层外围电路

功能电路受外层外围电路产生的内部控制信号的作用，决定存储器在不同工作模式下的工作状态。

TEE8502 引入的内部控制信号如表 10.3 所示。这些内部信号的适当组合便决定了存储矩阵的工作状态，一种工作模式与一组确定的内部控制信号相对应。TEE8502 的各种工作模式与外部、内部控制信号的逻辑真值表如表 10.4 所示，表中 V_H，V_L分别为 MOS 管的高低电平(分别为 5V 和 0V)，V_{PP}为近 21V 的高电平。

(1) 地址缓冲器

地址缓冲器的功能是：

① 把 TTL 电平的输入地址 A_i 转换成 MOS 电平的地址码 A_i'和$\overline{A_i'}$，并使输出具有驱动大量地址译码器的能力，因此输出级采用推挽电路。

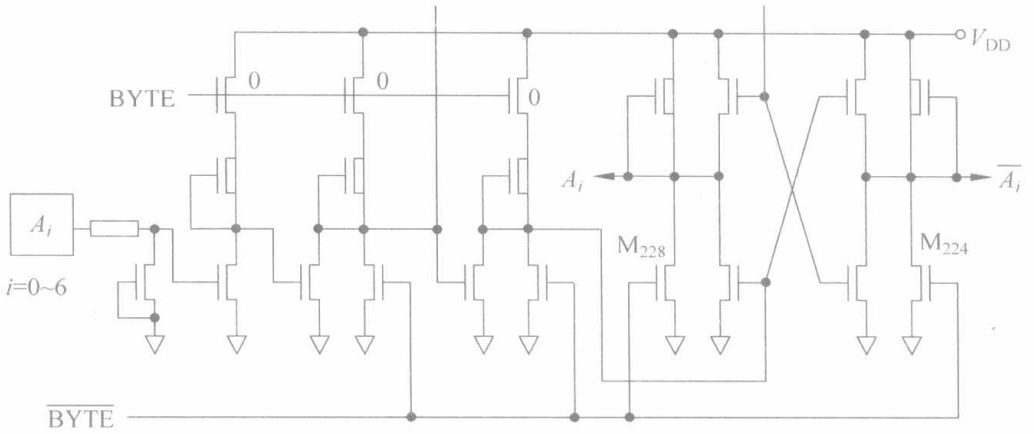
表 10.3　TEE8502 内部控制信号

符号	名称	说　明
V_{PPL}	V_{PP}低	$V_{PP}=5V$ 时　$V_{PPL}=V_H$ 为低压工作 $V_{PP}=21V$ 时　$V_{PPL}=V_L$ 为高压工作
BYTE/$\overline{\text{BYTE}}$	字节选择	控制译码器，选择一个字节进行读、擦、写
ERSCH	片擦模式	控制译码器，选择全部单元
WRT	写模式	控制 V_{CG} 和 V_S
ERS	擦模式	控制 V_{CG}
EW	擦写模式	控制译码器，使其输出高电平 20V
EWB	字节擦写	使数据输入有效
RD/$\overline{\text{RD}}$	读	读出许可
$\overline{\text{WRT}'}$	写禁止	控制位写入电路

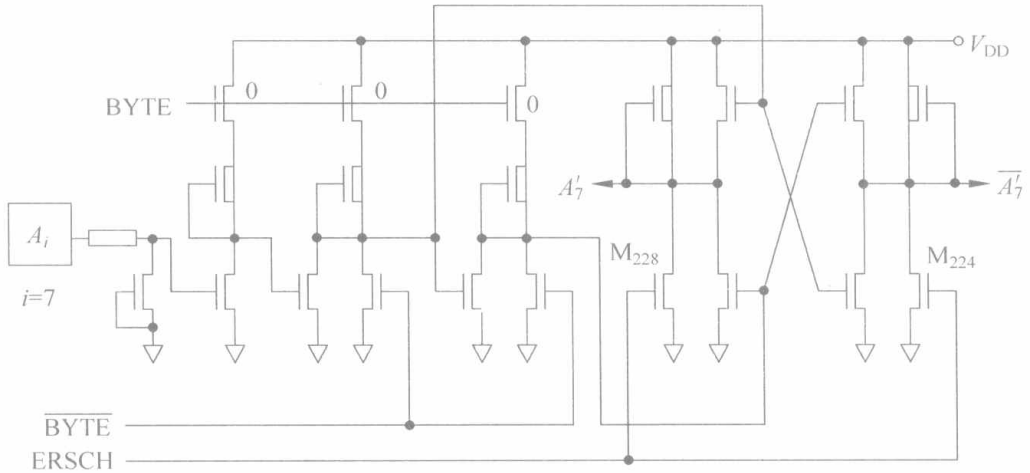
表 10.4　工作模式与外部、内部控制信号的逻辑真值表

控制信号 \ 工作模式		读	读禁止（低压维持）	字节擦	字节写	片擦	擦写禁止（高压维持）
外部信号	$\overline{\text{CE}}$	V_{IL}	V_{IH}	V_{IL}	V_{IL}	V_{IL}	V_{IH}
	$\overline{\text{OE}}$	V_{IL}	不影响	V_{IH}	V_{IH}	9～15V	不影响
	V_{PP}	5V	5V	21V	21V	21V	21V
	I/O_i	D_o	HZ（高阻态）	D_i $\prod D_{i,i}=1$	D_i $\prod D_{i,i}=0$	不影响	HZ（高阻态）
	ADD	ADD	不影响	ADD	ADD	不影响	不影响
内部控制信号	$\overline{\text{CE}'}$	V_L	V_H	V_L	V_L	V_L	V_H
	V_{PPL}	V_H	V_H	V_L	V_L	V_L	V_L
	BYTE	V_H	V_L	V_H	V_H	V_L	V_L
	ERSCH	V_L	V_L	V_L	V_L	V_H	V_L
	WRT	V_L	V_L	V_L	V_H	V_L	V_L
	ERS	V_L	V_L	V_H	V_L	V_H	V_L
	EW	V_L	V_L	21V	21V	21V	V_L
	EWB	V_L	V_L	V_H	V_H	V_L	V_L
	$\overline{\text{WRT}_i}$	V_H	V_H	V_H	$D_{i,i}=0V_L$ $D_{i,i}=1V_H$	V_H	V_H
	RD	V_H	V_L	V_L	V_L	V_L	V_L
	$\overline{\text{WRT}'}$	V_H	V_H	V_H	V_L	V_H	V_H

② 执行工作模式控制。地址缓冲器受 BYTE/$\overline{\text{BYTE}}$和 ERSCH 信号控制，使输出A_i'和$\overline{A_i'}$满足不同模式下对译码器的要求。地址缓冲器电路如图 10.18 所示，行地址缓冲器功能如表 10.5 所列。



(a)



(b)

图 10.18　地址缓冲器

表 10.5　行地址(A_3～A_7)缓冲器功能

工作模式		字节操作	片　擦	维　持
控制信号	BYTE	1	0	0
	ERSCH	0	1	0
地址缓冲器输出		$A_i'=A_i$ $\overline{A_i'}=\overline{A_i}$	$A_i'=\overline{A_i'}=0$ (i=3～7)	$A_i'=\overline{A_i'}=0$(i=3～6) $A_7'=\overline{A_7'}=1$
X 译码器输出		正常译码	全　高	全　低

在字节操作时要求正常译码，故地址缓冲器应提供互补地址码。在片擦时，地址全部选中，译码器输出全高，这就必须使 A_i'和$\overline{A_i'}$全低。在读禁止、擦/写禁止模式，即维持状态下，要求地址全都不选中，因而要求地址译码器输出全低，只要 A_7'和$\overline{A_7'}$全高就可以了，其他译码

器输出端 A'_i，$\overline{A'_i}$（$i=3\sim6$）可以任意，TEE8502 中把它们设计为全低，即 $A'_i=\overline{A'_i}=0(i=3\sim6)$。因此 $A_3\sim A_6$ 和 A_7 地址缓冲器略有不同，区别在于最后推挽输出级下拉管 M_{224}、M_{228}用了不同的控制信号，保证了表 10.5 要求的输出。

（2）地址译码器

① 行地址译码器。行地址译码器采用一般译码电路，比较简单，电路图如图 10.19 所示。图中 $M_{269}\sim M_{271}$是输出高电平控制电路。在低压工作时，$EW=V_L$，$V_{PPL}=V_H$，上拉电路 M_{270}，M_{271}断开，译码器通过耗尽管 M_{269}输出。在擦写工作时，$EW=V_{PP}$，$V_{PPL}=V_L$。对于选中行，行译码器输出高电平约 5V，使 M_{269}夹断，上拉电路接通，M_{270}，M_{271}把 X_i上拉接近 V_{PP}。对于非选中行，行译码器输出低电平，M_{269}导通，只要 $M_{269}\sim M_{271}$选择合适比例，可使 X_i输出低电平。

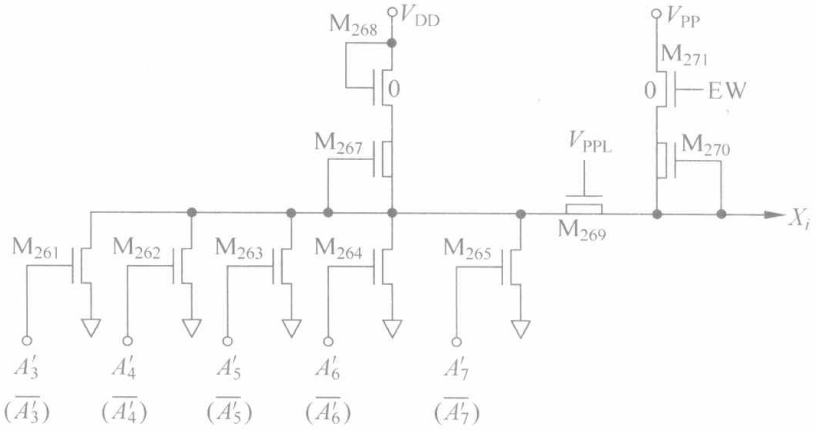


图 10.19　行地址译码器电路

② 列地址译码器。列地址译码器电路如图 10.20 所示。三个列地址 A'_0，A'_1，A'_2中取 A'_1，A'_2二个地址由 M_{281}，M_{282}，M_{284}进行第一级译码，其输出再分别同 A'_0，$\overline{A'_0}$相与作为第二级译码。列地址译码器有 8 路输出，故只需 4 个或非门作为第一级译码，而第二级译码是无功耗的，有利于节省译码器功耗，$M_{291}\sim M_{294}$是两路输出电平的控制电路，与行地址译码器的相同。

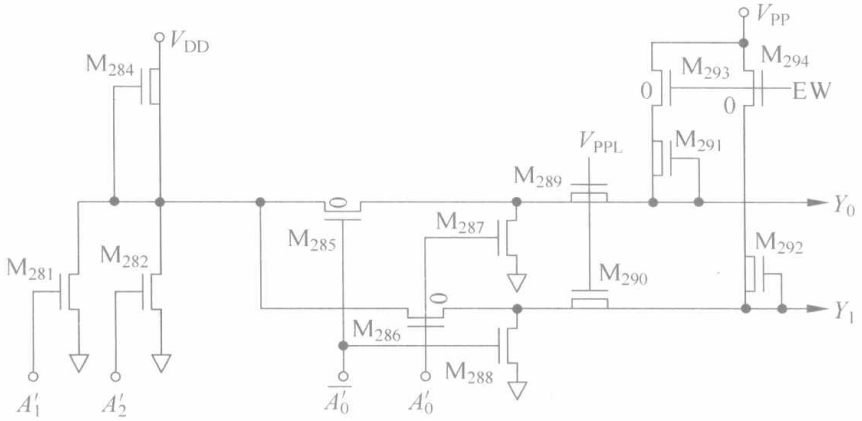


图 10.20　列地址译码器

在非字节操作时，即 BYTE＝0，$A_0' \sim A_2'$全低，使 $M_{285} \sim M_{288}$ 全部关闭。片擦模式时，EW＝V_{PP}，使全部 Y_j 上拉至 V_{PP}，而在维持期间，由于 EW＝V_L，上拉电路也关闭，致使所有列译码器输出端浮置，为高阻输出。

(3) 位写入电路

TEE8502 中引脚 I/O_i 输出端是共用的，因此数据线 D_i 和管脚 I/O_i 间是双向信息通路。读出工作时，位读出电路工作；字节擦写模式时，位写入电路工作。

写入的实质是写 0，即写 0 位的数据线 D_i 为近 20V，非写 0 位则要求 D_i 浮置。

位写入电路如图 10.21 所示，它输出一个位写信号 WRT_i 控制上拉开关 M_{371} 的栅。对于写 0 位要求输出 WRT_i＝1，非写 0 位输出 WRT_i＝0，写 0 的条件是 I/O_i 输入端为 0，即 DIN_i＝0，逻辑关系为

$$WRT_i = EWB \cdot \overline{DIN_i} = \overline{\overline{EWB \cdot \overline{DIN_i}}}$$

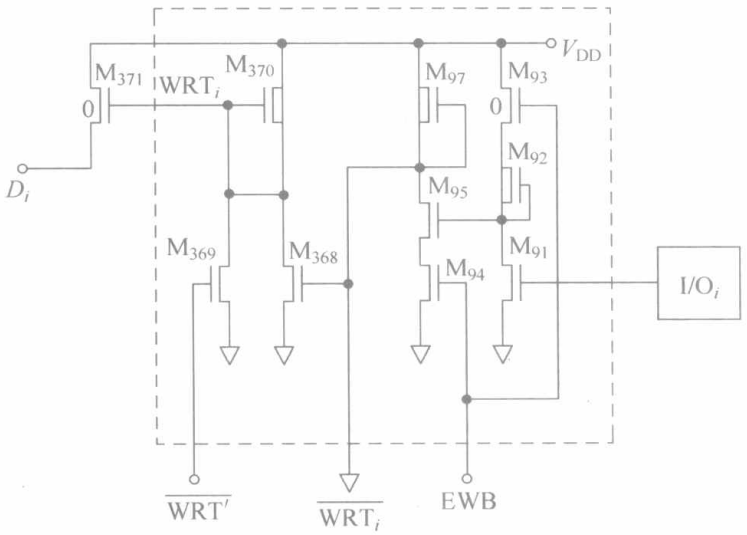


图 10.21　位写入电路

$M_{91} \sim M_{93}$ 在 EWB＝1 的条件下对 I/O_i 输入端求反，M_{94}，M_{95}，M_{97} 为一级与非门，输出 $\overline{WRT_i}$，再经 M_{368}，M_{370} 反相输出 WRT_i。电路中还有一个 M_{369} 管，它的栅接写禁止 $\overline{WRT'}$ 信号，$\overline{WRT'}$ 在字节写模式为 0；在非写时 $\overline{WRT'}$ 均为 1，而这时 $\overline{WRT_i}$ 也为 1，都保证了 WRT_i 为 0，故 M_{369} 管可以省略。

图 10.21 中第一级反相器用 EWB 控制上拉管 M_{93}，目的是降低功耗，并不影响电路的逻辑功能。

(4) 灵敏读放电路

一位数据线 D_i 接 8 个列选门管，走线较长，负载电容大。为了提高单元的读出速度，必须减小 D_i 读 1 与读 0 的电平摆幅。灵敏放大器的作用一方面要限制 D_i 的摆幅，另一方面要具有较大的放大系数，在较小负载电容的输出节点上得到合适的电平和足够的电压摆幅，驱动输出缓冲器。灵敏放大器是影响读出速度的关键。位读出电路由灵敏读放大器和输出缓冲器组成，TEE8502 的位读出电路如图 10.22 所示。

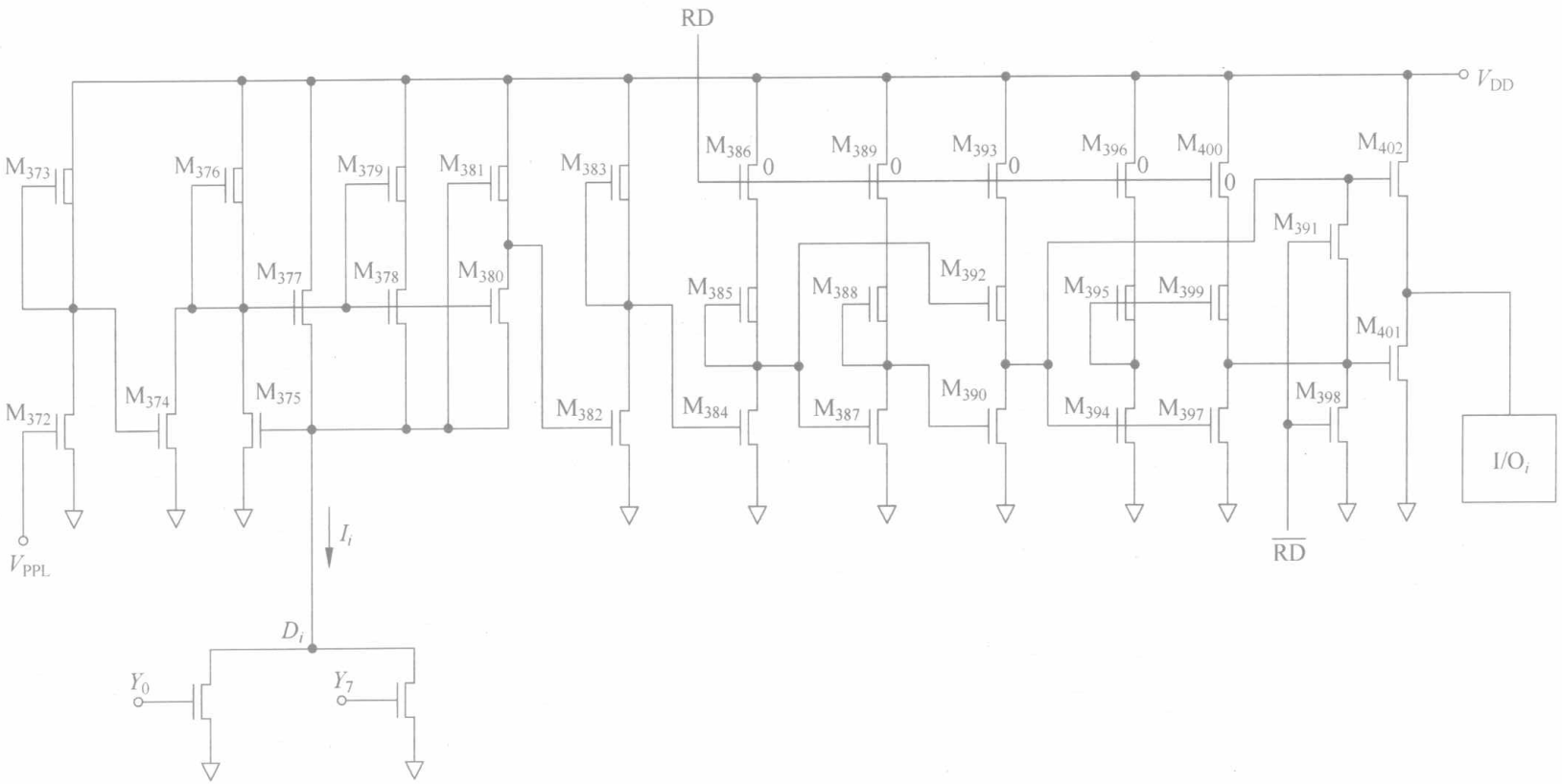

RD
V_{DD}
M_{373}
M_{376}
M_{379}
M_{381}
M_{383}
M_{386}
M_{389}
M_{393}
M_{396}
M_{400}
M_{402}
M_{391}
M_{377}
M_{378}
M_{380}
M_{385}
M_{388}
M_{392}
M_{395}
M_{399}
M_{401}
M_{372}
M_{374}
M_{375}
M_{382}
M_{384}
M_{387}
M_{390}
M_{394}
M_{397}
M_{398}
I/O_i
V_{PPL}
I_i
$\overline{RD}$
D_i
Y_0
Y_7

图 10.22　位读出电路

M_{375}～M_{383}构成灵敏放大器，M_{372}～M_{374}是灵敏放大器的控制电路。当低压工作时，$V_{PPL}=V_H$经反相使 M_{374}截止，灵敏放大器工作；而当高压工作时，$V_{PPL}=V_L$，M_{374}管导通，灵敏放大器停止工作。

灵敏放大器工作时，它的输入端对数据线 D_i提供一个直流偏置。如选中单元是1，存储管截止，灵敏放大器的输入端电流 $I_i=0$，此时灵敏放大器输入端 D_i的开路电压由 M_{375}，M_{376}反相器的转移特性决定。设这个反相器的转移特性如图 10.23 所示，由于 $I_i=0$，必须 M_{377}，M_{378}，M_{380}均处于临界截止，它们的栅源电压等于一个开启电压，这也是 M_{375}的漏栅电压，换句话说该反相器的输出电压恰好高于输入一个开启。在图 10.23 上画一条 45°斜线，使其在输出电压 V_o轴上的截距等于 V_T，它与转移曲线的交点便是灵敏放大器输入开路时的静态工作点，相应 V_i就是灵敏放大器的输入端的开路电压。根据计算机模拟和实际测量，此值为 1.6～1.8V。

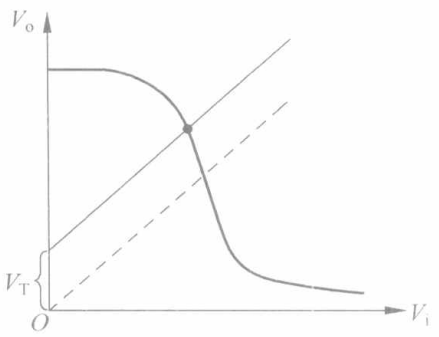


图 10.23　灵敏放大器输入开路时的静态工作点

如果选中单元是0，存储管导通，灵敏放大器便有输入电流，输入端 D_i电位将下降。由于 M_{375}，M_{376}反相，使 M_{377}～M_{380}栅电位上升，将有更大电流 I_i灌入单元，从而限制了 D_i端电位的下降。D_i端对外在一定程度上相当于一个稳压电源，在一定的输入电流范围内，D_i端输入电压变化幅度很小，有利于提高读出速度。

灵敏放大器的放大作用主要靠 M_{374}，M_{375}和 M_{380}，M_{381}两级，后一级更为主要，M_{380}与 M_{381}的 β_R 很大，对 M_{380}来说，其源端直接接 D_i，它又经 M_{375}，M_{376}反相器放大后再加到 M_{380}的栅上；另外 D_i还直接加到 M_{381}的栅上，这些因素对 M_{380}，M_{381}输出电压的控制是彼此加强的。总的电压放大倍数可达 75，M_{380}，M_{381}输出节点的电压摆幅可达 2.5V，相应的 D_i输入摆幅只有几十毫伏。

M_{382}，M_{383}反相器进行电平移动，并进一步放大。

M_{384}～M_{402}为输出缓冲器，由 RD/$\overline{\text{RD}}$控制，构成一个低维持功耗的三态推挽输出电路。读出时 RD=1，$\overline{\text{RD}}$=0，电路正常工作；非读出时，RD=0，使 M_{386}，M_{389}，M_{393}，M_{396}，M_{400}截止，多级反相器维持功耗为0，同时$\overline{\text{RD}}$=1，M_{391}，M_{398}导通，I/O_i输出端浮置为高阻态。

(5) 存储管控制栅电平 V_{CG}产生电路

根据 TEE8502 存储矩阵工作原理，擦操作时 V_{CG}应接近 21V，写操作时 V_{CG}接近 0V，读操作 V_{CG}为 3V 左右。V_{CG}产生电路如图 10.24 所示，其中 M_{304}，M_{306}～M_{310}提供擦电平，M_{301}，M_{303}，M_{311}，M_{314}提供写、读两种电平。

擦操作时 ERS=1，使 M_{307}，M_{313}截止，此时 WRT=0，致使 M_{311}也截止，中间部分输出呈高阻态；右边电路的 M_{307}截止，M_{310}导通，使 $V_{CG}\approx V_{PP}$，为擦电平。非擦操作时 ERS=0，M_{307}导通，M_{310}的栅降为低电平，M_{310}饱和，V_{CG}主要由中间电路决定，这里又分两种情况：

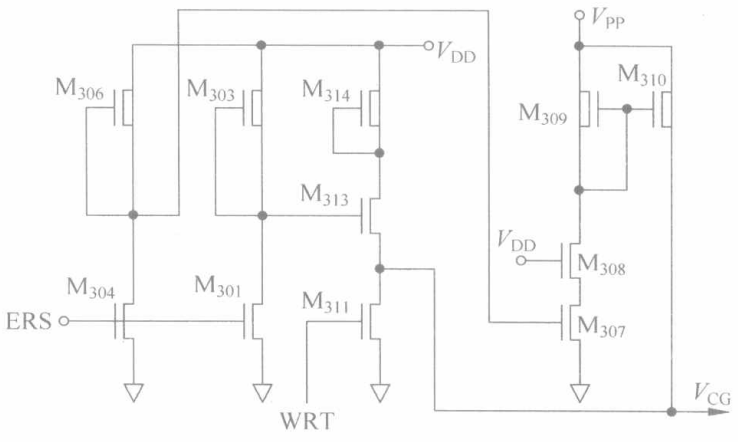


图 10.24　V_{CG}产生电路

① 字节写入：WRT＝1，使 M_{311} 导通，V_{CG}降为低电平 0V，为写电平。

② 非擦非写，即读出模式：WRT＝0，M_{311} 截止，电源电压 V_{DD} 经 M_{314}，M_{313} 降压后，提供一个介于存储管 0 态和 1 态之间的读电平。M_{314} 为 D 管，而 M_{313} 为 E 管，高电平通过时要降一个开启电压，$V_{CG}=V_{DD}-V_{TE}\approx 3.5V$，即为读电平。

(6) 存储管源电平 V_S 产生电路

前面已经指出，在写时 FLOTOX 存储管源接＋5V，非写情况下源接地，因此 V_S 产生电路就是一个由 WRT 和$\overline{\text{WRT}}$控制的推挽电路，如图 10.25 所示。

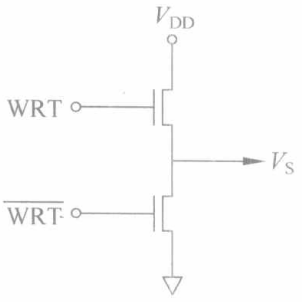


图 10.25　V_S产生电路

2. 外层外围电路

TEE8502 只提供了两个控制端$\overline{\text{CE}}$和$\overline{\text{OE}}$，为了区别多种工作模式，TEE8502 采用了两种输入逻辑电平和引脚复用。如$\overline{\text{OE}}$在读出时，用 TTL 电平，在片擦控制时，则采用高输入电平＋9～＋15V；又如 I/O 端，既作为数据输出又可作为数据输入引脚。区分字节擦和字节写模式的方法是：输入全 1 为擦除，非全 1 为写入。外层外围电路的功能就是把外部输入的控制信号转变成内层外围电路所需要的若干内部控制信号。

外层外围电路包括：$\overline{\text{CE}}$缓冲器，V_{PP} 电平鉴别电路，ERSCH 片擦信号发生器，EWB 字节擦/写信号发生器，$\overline{\text{WRT}'}$/WRT 写禁止/写信号发生器，ERS 擦除信号发生器，BYTE/$\overline{\text{BYTE}}$字节操作信号发生器，RD/$\overline{\text{RD}}$读信号发生器，EW 擦写信号发生器。

外层外围电路的输入输出逻辑关系如表 10.4 所列，外层外围电路便依据此真值表设计而成。

(1) $\overline{\text{CE}}$缓冲器

$\overline{\text{CE}}$缓冲器的作用是把 TTL 输入电平转换成＋5V MOS 电平，输出为 CE′和$\overline{\text{CE}'}$，$\overline{\text{CE}}$缓冲器电路如图 10.26 所示。

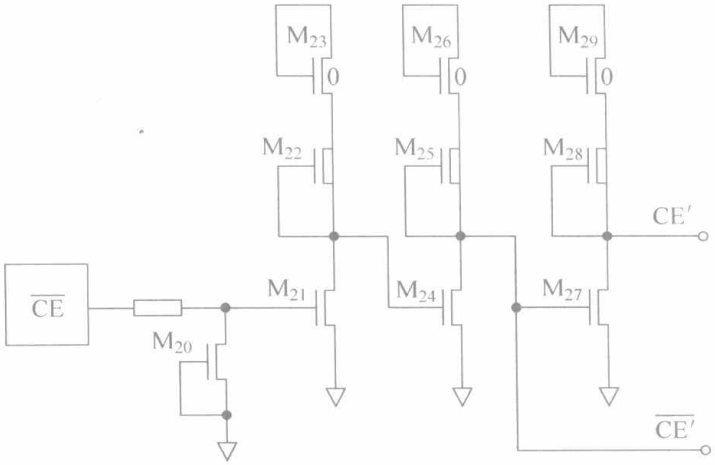


图 10.26　$\overline{CE}$缓冲器电路

这是连续三级反相器，第一级反相器的 β_R 较大，图中 M_{23}，M_{26}，M_{29} 是借用了省功耗反相器的标准设计。这个缓冲器只完成 TTL 电平转换为 MOS 电平的功能。

(2) V_{PP} 电平鉴别电路

V_{PP} 电平鉴别电路产生信号 V_{PPL}，要求在低压工作时，即 $V_{PP}=V_{DD}$ 时，输出 $V_{PPL}=V_H$，而在高压工作时，即 $V_{PP}=21V$ 时，$V_{PPL}=V_L$。这是一个高输入阈值的电路，如图 10.27 所示。第一级用 M_1，M_2 两管串联成一个电压衰减器，压低输入电平，减小摆幅，再经三级反相器整形，最后推挽输出 V_{PPL} 信号。

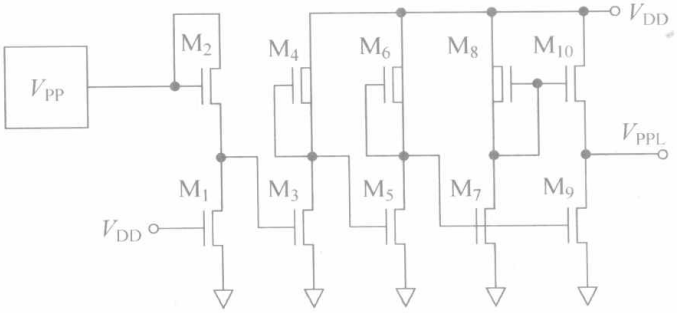


图 10.27　V_{PP} 电平鉴别电路

(3) ERSCH 片擦信号发生器

由表 10.4 的逻辑关系可看出，片擦模式的条件是 $V_{PP}=21V$，$\overline{OE}=+9\sim+15V$，$\overline{CE}=V_{IL}$，其中 V_{PP} 和 $\overline{OE}$ 为高输入阈值电平。这是一个混合阈值的逻辑电路，电路如图 10.28 所示。$M_{51}\sim M_{54}$ 两级门的负载管 M_{52}，M_{54} 的漏极接 V_{PP}，驱动管 M_{51}，M_{53} 的源极接 V_{DD}。当 $V_{PP}=21V$ 时，这是两级高阈值反相器；当 $\overline{OE}=V_{IH}$ 时，A 点电平接近 V_{DD}，为高阈值的低电平；当 $\overline{OE}=9\sim15V$ 时，A 点接近 21V，为高阈值的高电平。但若 $V_{PP}=5V$，则

不论$\overline{OE}$为何值，A 点电平总是接近 V_{DD}。因此，若把 V_{PP} 也作为一个输入端，$V_{PP}=21V$ 和 $V_{PP}=5V$ 即为输入的高、低电平，这级门便是一个高阈值的与门。M_{55}，M_{56} 为源随电路，起电平下移作用，经 $M_{57}\sim M_{60}$ 两级反相器整形后的输出信号，与$\overline{CE'}$信号由 M_{59}，M_{60}，M_{61} 进行负与非得到片擦信号 ERSCH($\overline{CE'}$为$\overline{CE}$缓冲器输出的 MOS 电平信号)相同。为增加驱动能力，经 $M_{62}\sim M_{65}$ 二级反相得到片擦信号 ERSCH。

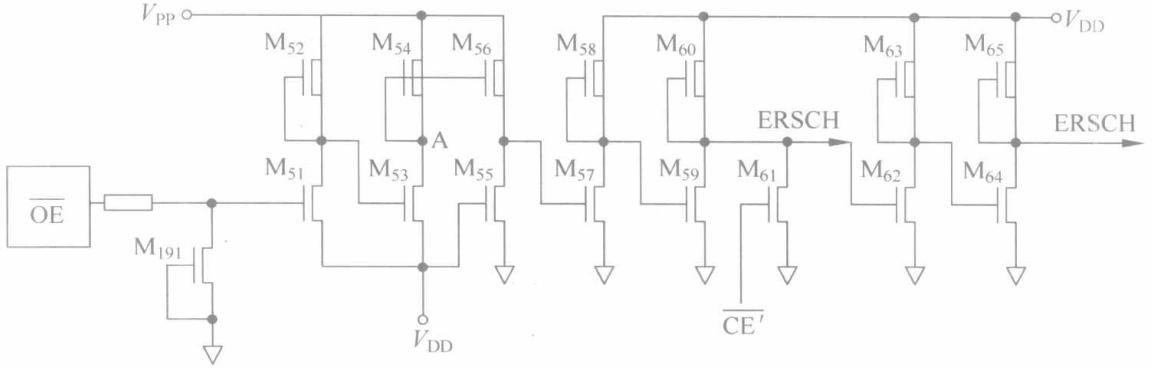


图 10.28　ERSCH 片擦信号发生器

(4) EWB 字节擦写信号发生器

由表 10.4 可以看出，$V_{PP}=21V$，$\overline{CE}=V_{IL}$ 的情况包括字节擦、字节写和片擦三种模式，因此字节擦写可用 V_{PPL}，$\overline{CE'}$和 ERSCH 的负与非关系实现，即有

$$\begin{aligned}EWB &= \overline{V_{PPL}}\cdot\overline{CE'}\cdot\overline{ERSCH}\\ &= \overline{V_{PPL}+\overline{CE'}+ERSCH}\end{aligned}$$

电路图如图 10.29 所示。这是一个假 CMOS 或非门，M_{81} 和 M_{85} 由互补信号控制，可以在维持期间 $CE'=0$ 时消除静态功耗，以降低总的维持功耗。

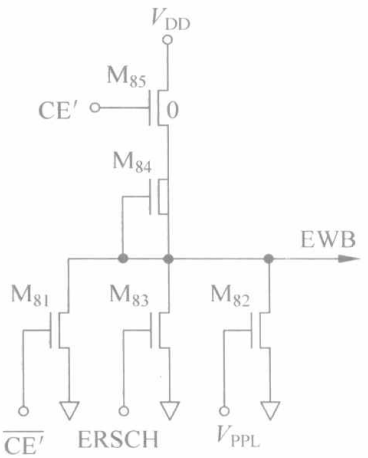


图 10.29　EWB 字节擦写电路

(5) $\overline{WRT'}$/WRT 写禁止/写信号发生器

写禁止信号$\overline{WRT'}$是由内层外围电路中的位写入电路的输出信号$\overline{WRT_i}$相与而成，即有

$$\overline{WRT'}=\prod_{i=0}^{7}\overline{WRT_i}=\overline{\prod_{i=0}^{2}\overline{WRT_i}+\prod_{i=3}^{7}\overline{WRT_i}}$$

$\overline{WRT'}$写禁止信号发生器电路如图 10.30 所示。只有 8 位都不写，即$\overline{WRT_i}=1$ 时才禁止写，使$\overline{WRT'}=1$。

TEE8502 中写模式只有字节写 WRTB 一种，即 WRT 写信号。根据表 10.4 可以看出字节写可由$\overline{CE}$，V_{PPL}，ERSCH，$\overline{WRT'}$负与非构成，即有

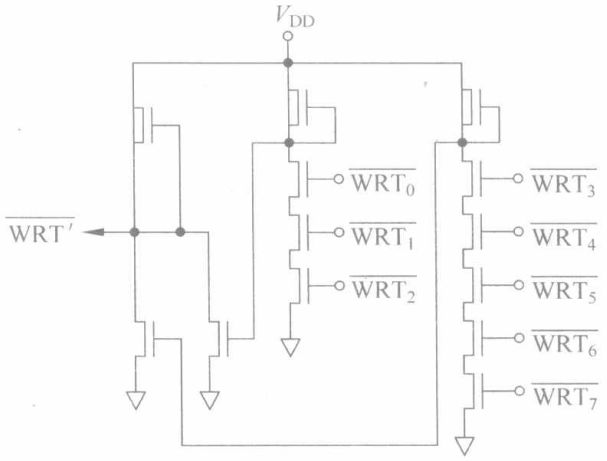


图 10.30　$\overline{WRT'}$写禁止信号发生器

$$WRT = WRTB = \overline{\overline{CE'} \cdot \overline{V_{PPL}} \cdot \overline{ERSCH} \cdot \overline{WRT'}}$$

$$= \overline{\overline{CE'} + V_{PPL} + ERSCH + \overline{WRT'}}$$

WRT 写信号发生器电路如图 10.31 所示。

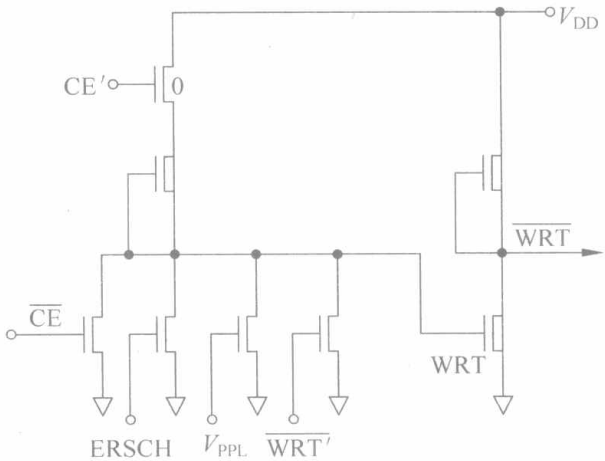


图 10.31　WRT(WRTB)写信号发生器

(6) ERS 擦除信号发生器

由表 10.4 可以看出，在 $V_{PP}=21V$，$\overline{CE'}=V_L$ 条件成立时，除了写模式还有擦模式，在擦模式情况下

$$ERS = CE' \cdot \overline{V_{PPL}} \cdot \overline{WRT} = \overline{\overline{CE'} + V_{PPL} + WRT}$$

ERS 擦除信号发生器电路如图 10.32 所示。

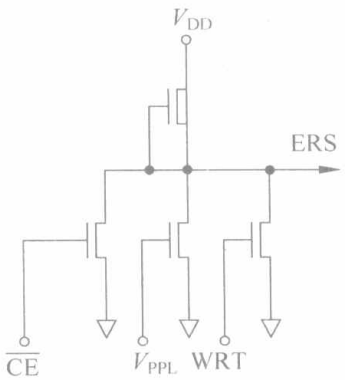


图 10.32　ERS 擦除信号发生器

(7) BYTE/$\overline{BYTE}$字节操作信号发生器

字节操作包括读、字节擦和字节写三种工作模式。从表 10.4 可以看出，BYTE 可由$\overline{CE}$和片擦信号产生，即

$$\mathrm{BYTE} = \overline{\overline{\mathrm{CE}}} \cdot \overline{\mathrm{ERSCH}} = \overline{\overline{\mathrm{CE}} + \mathrm{ERSCH}}$$

BYTE/$\overline{\mathrm{BYTE}}$字节操作信号发生器电路如图 10.33 所示。因为 BYTE/$\overline{\mathrm{BYTE}}$用于控制地址缓冲器，为了加快译码速度，第一级或非门 M_{151} 的输入直接取外部输入的 TTL 电平的$\overline{\mathrm{CE}}$信号，为与 TTL 电平兼容，M_{151} 管的宽长比相对 M_{152} 大许多；M_{152} 管栅所加的 ERSCH 是内部产生的 MOS 电平信号。BYTE/$\overline{\mathrm{BYTE}}$均采用推挽输出，以便有较强的驱动能力。

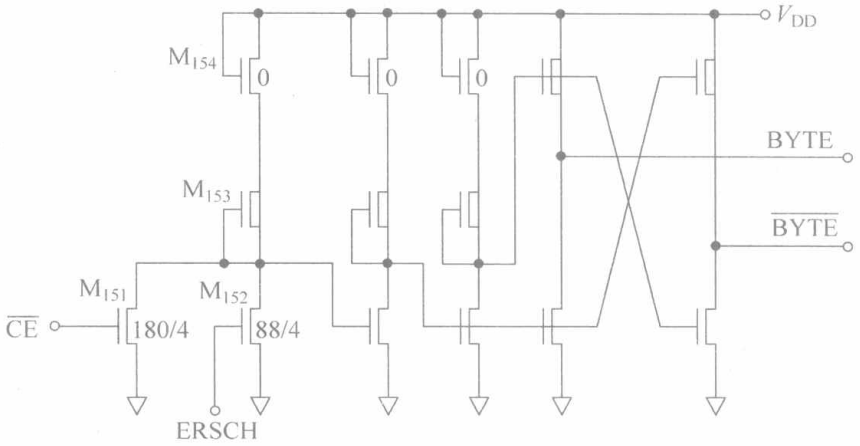


图 10.33　BYTE/$\overline{\mathrm{BYTE}}$字节操作信号发生器

(8) RD/$\overline{\mathrm{RD}}$读信号发生器

从表 10.4 可以看出读信号 RD 可由 BYTE，$\overline{\overline{\mathrm{OE}}}$信号产生，即

$$\mathrm{RD} = \overline{\overline{\mathrm{OE}}} \cdot \mathrm{BYTE} = \overline{\overline{\mathrm{OE}} + \overline{\mathrm{BYTE}}}$$

RD/$\overline{\mathrm{RD}}$读信号发生器电路如图 10.34 所示。因为 RD/$\overline{\mathrm{RD}}$信号用于控制输出缓冲器，为了加快读出速度，第一级或非门 M_{192} 的输入直接取外部输入 TTL 电平的$\overline{\mathrm{OE}}$信号，为与 TTL

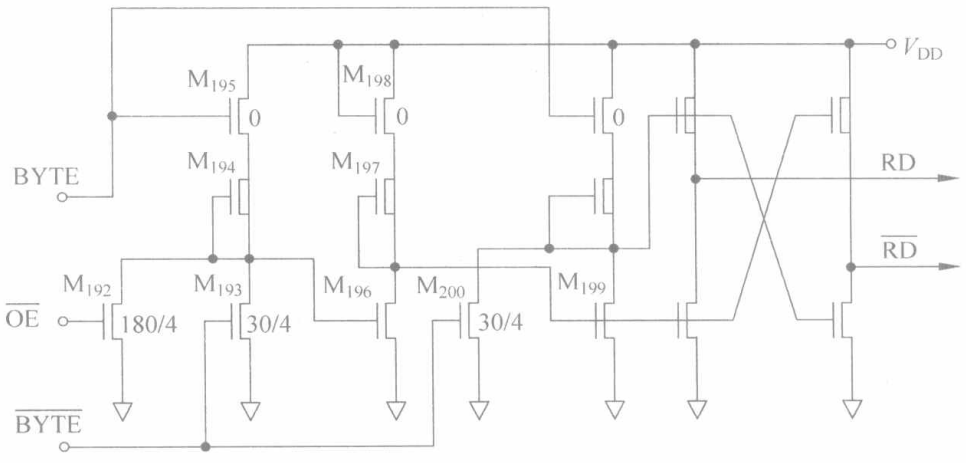


图 10.34　RD/$\overline{\mathrm{RD}}$读信号/读禁止发生器

电平兼容，M_{192}管的宽长比 $W/L=184/4$，比 M_{193}的 $W/L=30/4$ 大许多；M_{193}的栅所加$\overline{\text{BYTE}}$是内部产生的 MOS 电平信号。为提高速度，$\overline{\text{BYTE}}$信号同时加到 M_{200}的栅上，逻辑关系不变。RD/$\overline{\text{RD}}$均采用推挽输出，以获得较强的驱动能力。

(9) EW 擦写信号发生器

擦写操作包括字节擦、字节写和片擦三种工作模式。从表 10.4 可以看出

$$\text{EW}=\overline{V_{\text{PPL}}}\cdot(\text{CE}'+\text{WRT})=\overline{V_{\text{PPL}}+\overline{\text{CE}'+\text{WRT}}}$$

EW 用于控制地址译码器输出高电平，因此要求 EW 的输出高电平为 21V，EW 擦写信号发生器电路如图 10.35 所示。图中末级为高压 E/D 推挽或非门，M_{180}，M_{184}由 V_{DD}控制，使得当 EW 输出高电平 21V 时，借助 M_{180}，M_{184}的降压把 M_{178}，M_{179}，M_{182}，M_{183}的漏电位限制在 $V_{\text{DD}}-V_{\text{T}}$，避免使这些驱动管穿通。$V_{\text{PPL}}$经 $M_{174}\sim M_{177}$两级延迟再对输出进行控制，是为了等待译码器译出的正确结果，适当推迟译码器上拉电路开始作用的时刻。

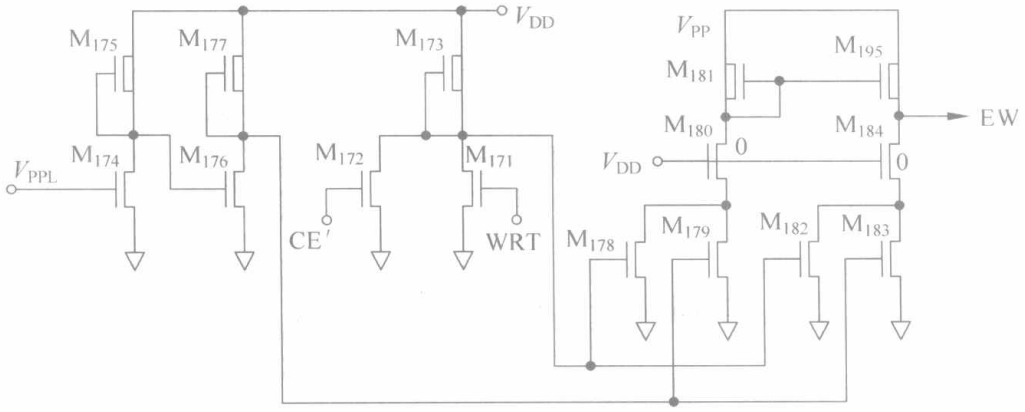


图 10.35　EW 擦写信号发生器

10.6　静态随机存取存储器(SRAM)

静态 RAM 中存储单元的核心部分是一个双稳态触发器，用它的两种状态表示信息 1 和 0。SRAM 的存储单元可以有多种形式，如六管单元、五管单元、四管单元。图 10.36 是一个 E/D NMOS 六管静态单元的电路图(a)和相应的版图(b)。存储单元中的负载元件 M_3，M_4可以是耗尽型 MOS 管，也可是增强型 MOS 管、P 型 MOS 管(CMOS 静态存储单元如图 10.37 所示)或者是掺杂的多晶硅电阻(多晶硅负载电阻静态存储单元如图 10.38 所示)。负载的作用是抵消存储管 M_1，M_2漏极和传输管 M_5，M_6的电荷泄漏的影响，以保持存储的信息不变。

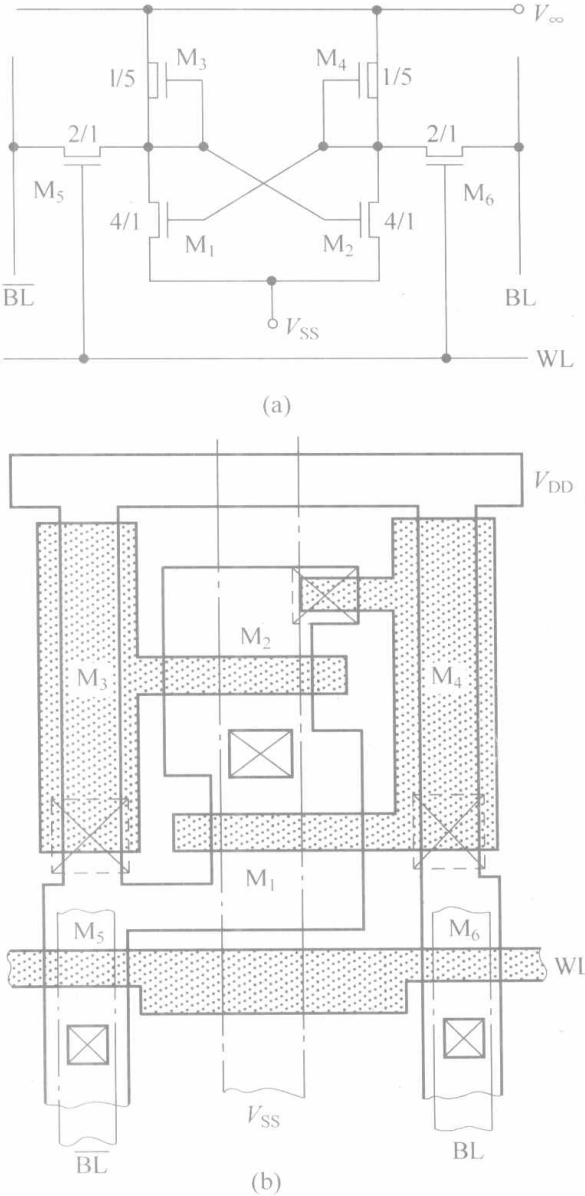


图 10.36　耗尽负载六管静态存储单元

(a) 电路图；(b) 版图

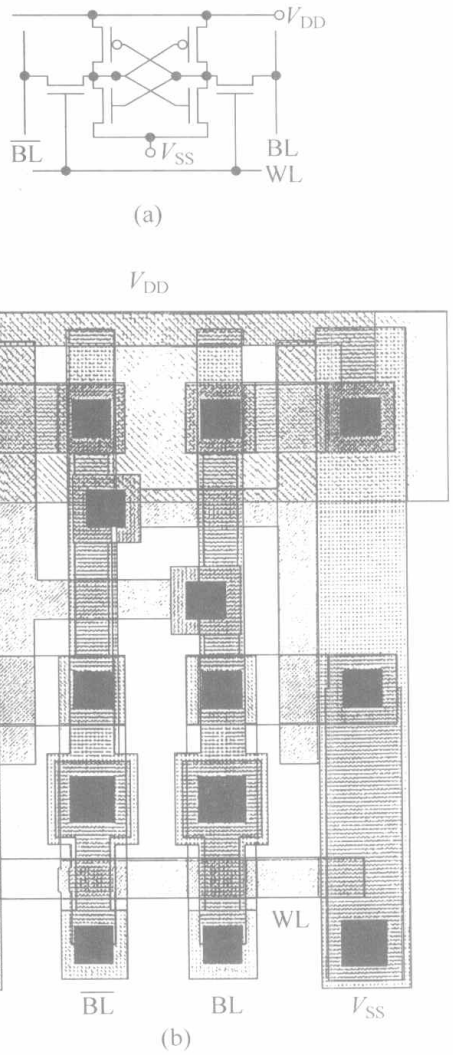


图 10.37　CMOS 静态存储单元

(a) 电路图；(b) 版图

下面以 CM4016 16kb SRAM 为例来详细介绍 SRAM 的结构及其工作原理。

CM4016 是 NMOS SRAM，它设有一组自给衬偏电压发生器，12 组地址缓冲器（其中 A_{10} 有两组地址缓冲器），64 组行译码器（每组带两行字线），64 组列译码器（每组带两列单元），单元阵列共 8 块（每块有 2048 个单元），读放及数据写入、输出电路各 8 个，还有一个由

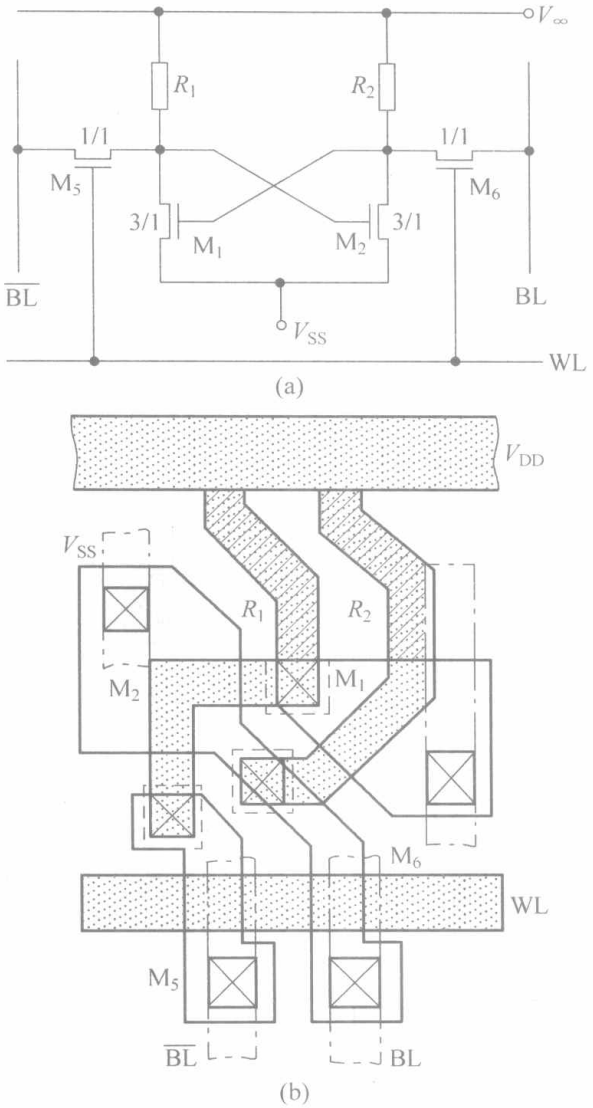


图 10.38　多晶硅负载电阻静态存储单元

(a) 电路图；(b) 版图

$\overline{CS}$，$\overline{WE}$，$\overline{OE}$共同组成的控制电路。电路的结构框图如图 10.39 所示。

1. 单元设计

这是 SRAM 设计的关键，它对芯片面积和功耗起主要作用，同时还影响器件工作的稳定性和速度。

CM4016 通常采用多晶高阻负载 NMOS 单元，这是因为它具有面积小、功耗低的优点，其电路图如图 10.38 所示。

多晶负载单元有单层多晶和双层多晶两种工艺方案。双层多晶方案是用上层多晶专门做负载电阻，它们可以叠在扩散区和下层多晶之上，有利于缩小单元面积。CM4016 采用了双层多晶负载单元，版图面积比同一设计规则的单层多晶方案缩小 30%左右。

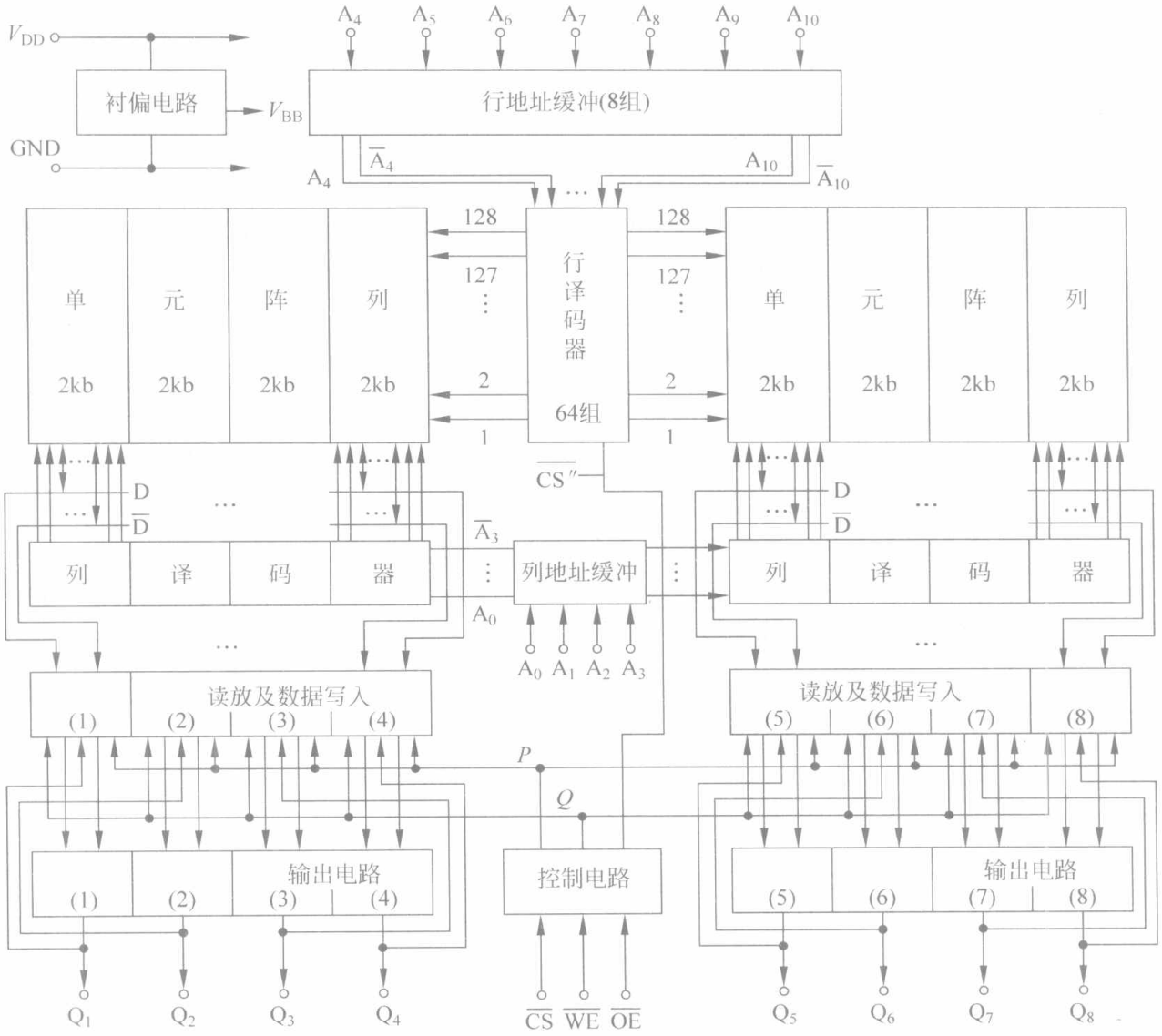


图 10.39　CM4016 电路结构框图

负载电阻 R(即 R_1,R_2)可以设计得高一些,以减小功耗,但要求 V_{DD}通过 R 能补充存储结点上的漏电流。如果 R 在 100～500MΩ 之内,则

$$\text{每个单元的功耗} \leqslant \frac{V_{DD}^2}{R_{L,\min}} = \frac{5^2\text{V}^2}{100\text{M}\Omega} = 0.25\mu\text{W}$$

$$\text{单元列阵功耗} \leqslant 0.25\mu\text{W} \times 16 \times 1024 = 4\text{mW}$$

应该说,这个数值是很小的,完全满足低功耗的要求。

管子尺寸的设计方法是先确定门管尺寸,以达到小尺寸的要求。若采用 3μm 设计规则,可设计成 4μm/3μm,其中 3μm 为多晶字线的宽度,4μm 是最细扩散区的宽度。

工作管与门管的尺寸比对单元工作的稳定性有决定性的影响。这个比越大,单元工作的稳定性越好,但占有单元的面积越大。因此,必须通过计算进行折衷,即在保证单元稳定

性的基础上，选择尽量小的工作管尺寸，以利缩小单元面积。

所谓单元工作管的稳定性，就是在单元内存在合理的工艺失配（如开启电压、尺寸的不对称等）的条件下，在进行读操作时保证存储单元即使在最坏情况下也不会产生翻转。

要提高单元的读写速度，必须同时加大单元中门管和工作管的宽长比，以便加快对位线的放电速度，但这必然会使单元的面积增大。因此，总的权衡来看，这样做是不合算的。对VLSI来说，更是不可行的。因此，为提高单元的读出速度可采取提高灵敏读放的灵敏度及减小位线的对称摆幅的方法，使一对位线上有比较小的电平差就可以马上读出来，以加快速度。

2. 灵敏读放（S/A）

传统的SRAM灵敏读放是采用恒流源差分对形式，其电路如图10.40所示。

这种电路由于接地恒流管的负反馈作用，可以改善S/A的共模特性，但同时也带来两个根本缺点：①电压放大倍数小，对提高灵敏度不利；②由于恒流管上电压降的存在，使输出的共模电平偏高，不利于与后级电平匹配。

随着SRAM集成度的提高，数据线的摆幅要设计得尽量小，以利于加快读出时间和提高单元稳定性。因此，对S/A的灵敏度和放大倍数提出了更高的要求。

在CM4016电路中采用了一种源跟随交叉耦合S/A，如图10.41所示，电路非常简单，只有4个管子$M_1 \sim M_4$。上拉管采用0管，下拉管用E管。1，2为差分输入，3，4为差分输出。

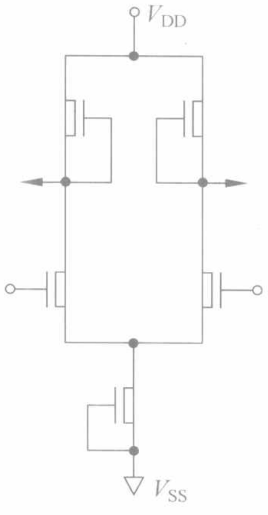


图10.40　传统的灵敏读放电路

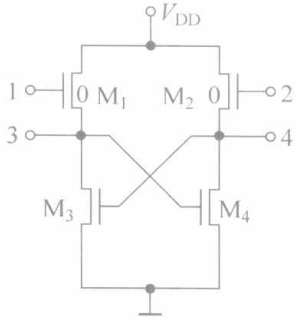


图10.41　源跟随交叉耦合S/A

这种电路可以是放大器，也可以是触发器，主要与上下管的尺寸比有关。尺寸比小的时候是放大器，大的时候是触发器。当其处于临界触发器状态（就是刚从放大器进入触发器）时，1，2之间输入微小的电平差就有可能使触发器从一种状态翻转到另一种状态。因此，它显然具有很大的放大倍数。同时，由于没有接地恒流管，也就没有输出电平被垫高问题，所

以也就能与后级电路很好地匹配。

此外，它的其他特性也很好。它的共模范围可以超过 1.5V。由于它的高放大倍数，可使整个读放的级数减少，位线的摆幅可减小，由此提高了读出速度。

3. 地址缓冲器

CM4016 采用图 10.42 所示的地址缓冲电路。为了降低功耗，其中 M_7，M_8，M_{10}，M_{11} 一般均采用 0 管。

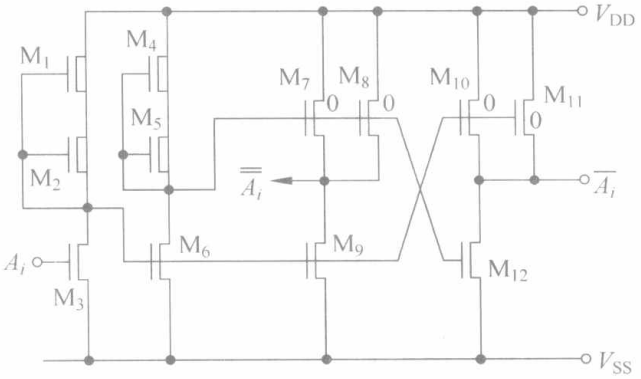


图 10.42　CM4016 地址缓冲电路

4. 译码电路

CM4016 的译码电路采用了二级译码、CMOS 或非门、E/0 驱动级等技术，以期大大降低电路功耗。由于译码电路的功耗电流在总电路中占比重很大（一般为 1/3 以上）。因此，设法减小不选中译码器电流对总电路功耗电流的影响就成了降低功耗的一个关键。

CM4016 的行译码器电路（见图 10.43）有以下特点：

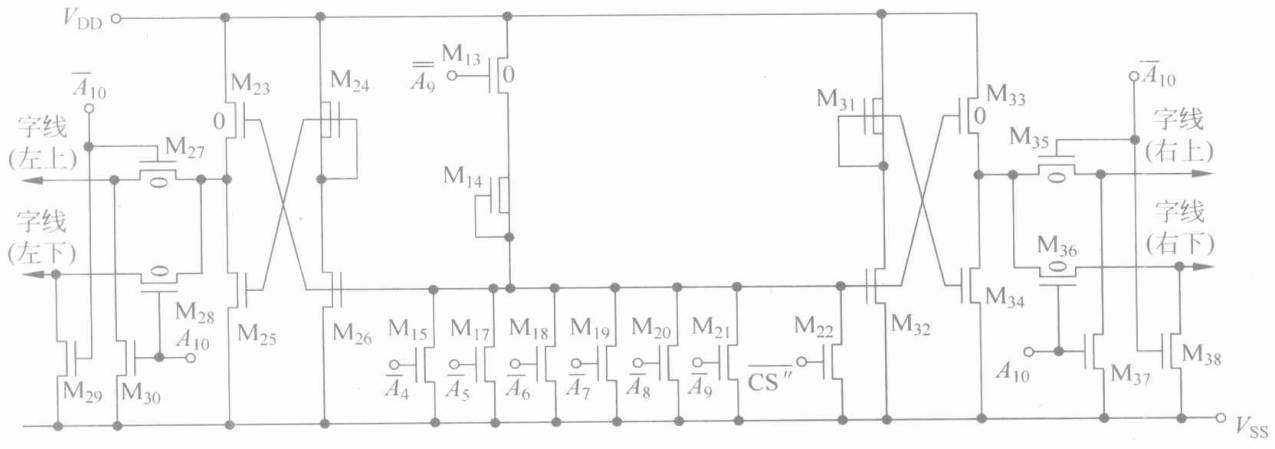


图 10.43　CM4016 行译码器电路

(1) 用 E/O 推挽代替 E/D 推挽，因而明显地降低了不选中的行译码器的电流。

(2) 采用了二级译码技术。首先，在 $A_4 \sim A_{10}$ 七个码中，仅让 $A_4 \sim A_9$ 六个码参加或非

门预译码。由于减少了一个码，行译码器的组数由通常的 128 个变成 64 个，因而 $M_{13}\sim M_{15}$，$M_{17}\sim M_{22}$，M_{33}，M_{34}，$M_{23}\sim M_{25}$三个支路的电流对总功耗电流的影响降低一半。预译码后的输出，经 $M_{23}\sim M_{26}$，$M_{31}\sim M_{34}$推挽电路，再与 A_{10}译码。这样，每个行译码器分别驱动两条字线。在使 A_{10}参加译码时，采用了 0 管传输门的方法，因而对电路电流没有影响。需要指出的是 M_{27}，M_{28}，M_{35}，M_{36}既不能使用 D 管（由于 D 管不截止，起不到关闭作用），也不能使用 E 管（虽然可以关闭，但使字线电平降低太多，单元门管打开太慢，因而电路速度会有较多损失），只有用 0 管最合适。

（3）借用了伪 CMOS 或非电路的形式，在 D 管（M_{14}）与电源之间串进一个 0 管（M_{13}），输入信号则始终与 M_{21}的输入信号相反。当 M_{21}输入高电平信号（不选）时，M_{13}输入的是低电平信号。由于 M_{13}不导通，因而 $M_{13}\sim M_{15}$支路没有电流。工作时，不管外加地址信号如何变化，在 64 组行译码器中，总有 32 组行译码器的 M_{13}输入低电平信号。因而 $M_{13}\sim M_{15}$支路有电流的行译码器仅剩下 31 组。我们知道，通常 2kb×8 电路中或非门有电流的行译码器是 127 组。因此采用二次译码和伪 CMOS 技术带来的降功耗的好处也就十分明显了。同样，为了降低功耗而又能输出较高的电平，M_{13}既不能选用 D 管，也不能选用 E 管。

（4）在或非电路中，与 M_{15}，$M_{17}\sim M_{21}$一样，并上一个 M_{22}，其输入信号$\overline{CS''}$与$\overline{CS}$同相。当片选信号$\overline{CS}$为高（不选）时，所有 64 个行译码器均输出低电平，128 条字线全部处于低电平，单元阵列中的所有门管均关闭，128 列全无列电流。而在通常工作情况下，128 条字线中总有一条处于高电平，其余 127 条处于低电平。从图 10.44 可以看到，因 R_1，R_2，M_{102}，M_{103}组成触发电路，M_{102}和 M_{103}两工作管中总有一个处于导通状态，图 10.44 中假设 M_{102}导通（当 M_{103}导通时，情况也完全类似），由于字线处于高电平，门管 M_{100}打开，从电源经 M_{98}，M_{100}，M_{102}到地有一个电流（称之为列电流）存在。由于该字线带动 128 列，因此 128 列均有列电流。这 128 列的总电流值，对于 NMOS SRAM 电路总功耗影响虽不算太大（对于 CM4016 电路，5mA 以上），但对 CMOS RAM 的影响却是相当可观的。

必须指出，上述（1），（2），（3）三个特点虽然对降低功耗很有益处，但也使电路速度有一定损失。因此，必须反复模拟计算并平衡功耗和速度的得失，不能单纯追求某一项指标，同时还要考虑电路和版图设计的复杂程度。为了尽量减小上述措施给行译码器延迟带来的不利影响，要求图 10.42 所示地址缓冲电路输出 A_9，A_{10}信号的高电平尽可能高。因此，在相应地址缓冲器的 E/0 推挽级的 0 管上并接一个小的 D 管（即把 M_8，M_{11}改为 D 管）。CM4016 列译码器的设计思想与行译码器基本相同，仅因其负载较轻省去了 E/0 推挽级，具体电路见图 10.45。

5. 自给衬偏电压发生器

为了提高电路速度，CM4016 还使用了自给衬偏电压发生器（见图 10.46）。由于 MOS 管的源对衬底之间的电容 C_{DB}，C_{SB}与电压 V_{DB}，V_{SB}有关，当在芯片上给一个 −2.5V 的 V_B 后，使 V_{DB}，V_{SB}增加，耗尽层宽度加大，因而电容 C_{DB}和 C_{SB}减小，使电路速度大大加快。

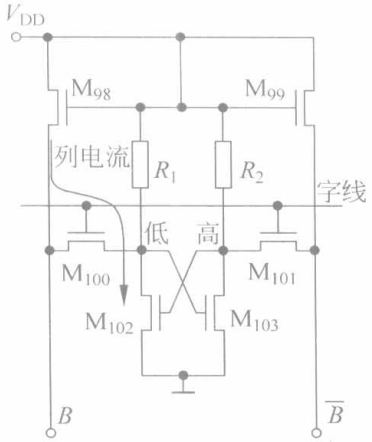


图 10.44　列电流示意图

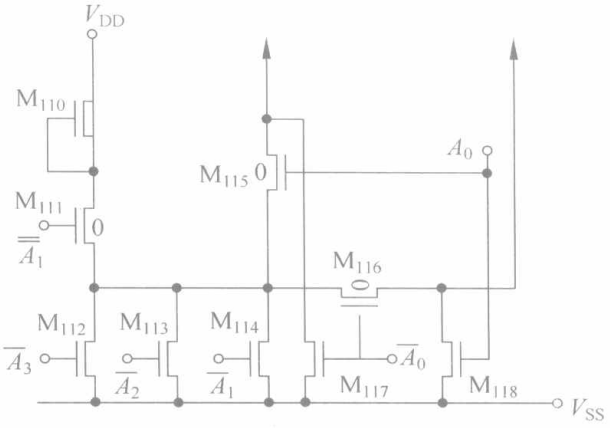


图 10.45　CM4016 列译码器电路

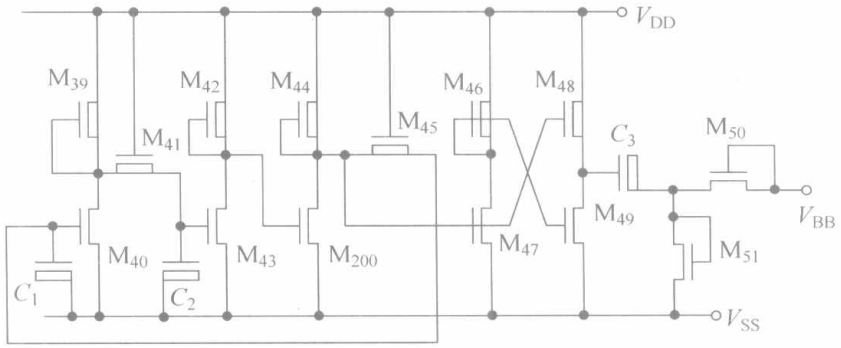


图 10.46　CM4016 自给衬偏电压发生器

另外，采用自给衬偏电压发生器可以明显地减轻衬偏调制效应。

6. 控制电路

CM4016 电路的控制信号有$\overline{CS}$，$\overline{WE}$，$\overline{OE}$，它们经过一个控制合成电路，产生 P，Q 两个控制信号，分别控制读出和写入电路（见图 10.47），控制电路的工作方式见表 10.6。

由于 CM4016 的输入、输出是共用一条数据母线 I/O，存在着输入信号与输出信号的“竞争”，因而要求 P，Q 信号不但符合上述逻辑关系，而且应满足一定的时序关系。概括地说：第一，要求从读变写时，先使输出处于三态，然后再允许数据写入，否则，在 I/O 母线上，输出信号与要求写入的信号就会发生竞争；第二，当从写变读时，要先封锁写入电路，再打开读出电路，将数据读出，否则，若上次选中的是 A 单元，这次选中的是 B 单元，A 单元的数据就会写入 B 单元。若 A 单元刚刚写入的数据与 B 单元原存数据相反，则 B 单元原存的正确数据被破坏，读出的数据当然也一定是错误数据。所以，要求 P，Q 信号符合图 10.48 所示的时序关系。

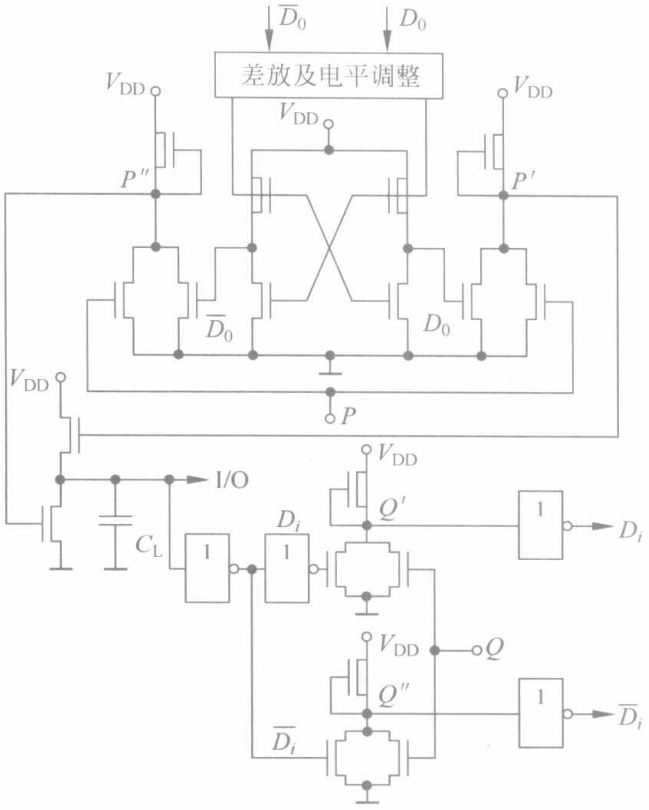


图 10.47　输入、输出电路与 P,Q 的关系

表 10.6　控制电路工作方式

状态 \ 信号		$\overline{CS}$	$\overline{OE}$	$\overline{WE}$	P	Q	输出
不选		H	×	×	H	H	三态
选中	不读不写	L	H	H	H	H	三态
	读出	L	L	H	L	H	数据输出
	写入	L	×	L	H	L	三态

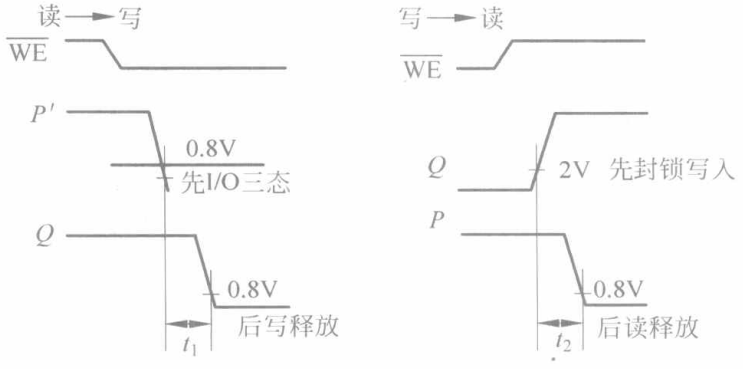


图 10.48　时序关系

从读变写时输出若不处于三态，读出数据和写入数据发生竞争，写入数据可能写不进去。在从写变读时，由读释放到数据真正读出到 I/O 端至少有二级延迟，且写入新数据又需要一定的时间(写脉宽)，因此读时序(由写变读)比写时序(由读变写)的要求可以松一些。对于图 10.48 的 t_1 和 t_2，要求它们满足：$t_1 \geqslant 2\text{ns}$，$t_2 \geqslant 0\text{ns}$。

CM4016 具体的控制合成电路见图 10.49。$\overline{\text{OE}}$，$\overline{\text{CS}}$信号分别经过两级反相器，产生$\overline{\text{OE}'}$和$\overline{\text{CS}'}$，经过$\overline{\text{CS}'}$，$\overline{\text{OE}'}$，WE′合成产生 P 信号，经过$\overline{\text{CS}'}$，$\overline{\text{WE}'}$合成产生 Q 信号。P 信号控制输出电路，Q 信号控制写入电路，P，Q 信号为高电平时，封锁；P，Q 信号为低电平时，不封锁。另外，$\overline{\text{CS}'}$信号再经反相及驱动电路，产生$\overline{\text{CS}''}$信号，控制所有行译码器。当$\overline{\text{CS}}$为高时(片子不被选中)，$\overline{\text{CS}''}$为高，所有行译码器均输出低电平。由于 128 条字线全为低电平，所有单元的门管均关闭，128 列均无列电流，使维持功耗有所下降(约 25mW)。

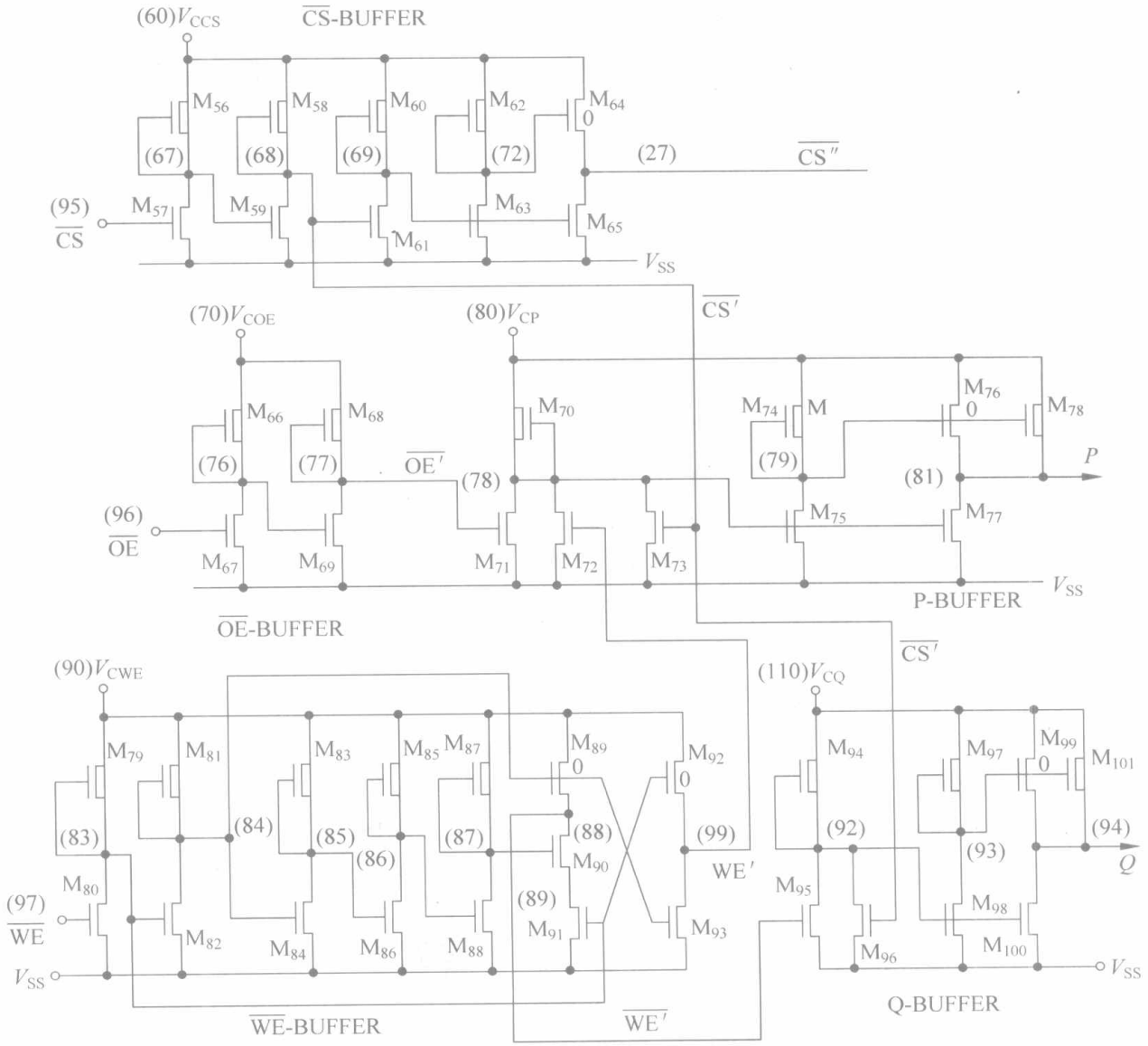


图 10.49　CM4016 控制电路

从读变写($\overline{WE}$由高变低)时,M_{80}由导通变为截止,(83)点电平由低变高,使 M_{82},M_{91},M_{92}由截止变导通,由于 M_{82},M_{91}是 E 管,M_{92}是 0 管,因而实际上 M_{92}导通更快。这时,由于 M_{93}栅上信号还没来得及变化(原来此管栅上信号为高电平),所以 M_{93}仍处于导通状态。由于 M_{92}和 M_{93}的分压关系,(99)点电平立刻升高。此时(84)点电平仍为高,(87)点电平仍为低,故 M_{89}仍在导通,M_{90}仍在截止,尽管 M_{91}由截止变为导通,(88)点输出仍为高电平,Q 亦为高电平,写入电路继续被封锁。随后,(84)点电平的下降使 M_{89},M_{93}截止,因而 WE′电平继续上升,使(78)点电平下降,P 信号电平开始升高,输出电路被封锁。此时,由于 M_{90}仍在截止,$\overline{WE'}$电平仍然较高,故写入电路也还被封锁着。再经过一段时间,(87)点电平才变为高,$\overline{WE'}$变低,Q 信号为低电平,允许写入。由于输出仍封锁,故原输出的数据不会与新写入的数据发生竞争。

从写变读时($\overline{WE}$由低变高),首先(83)点变低,M_{82},M_{91}和 M_{92}截止,但 M_{82},M_{91}比 M_{92}先截止。此时,M_{89}正在截止,M_{90}正在导通,M_{93}在截止,(88),(99)点保持原有状况(即$\overline{WE'}$为低,WE′为高),输出电路继续被封锁,写入电路仍在打开。稍后,由于(84)点变高,M_{89}和 M_{93}导通,引起$\overline{WE'}$升高,WE′下降。在分别经过 P 缓冲电路和 Q 缓冲电路时,由于 P 缓冲电路比 Q 缓冲电路的延时长,因而 Q 信号先变高,先封锁写入电路,随后,P 信号变低,打开读出电路,输出数据。

7. 字线优化

由于位容量的增加,单元和门管使用 3μm 沟道长度,CM4016 的 128 条字线变得细长。因其是用多晶硅制作的,整条字线的电阻很大。如果采用通常的等宽形状,其电阻值约为 18kΩ。为了在较小的单元内尽量减小电阻,用了图 10.50 所示的多晶字线,整条字线的电阻值下降到 14kΩ。

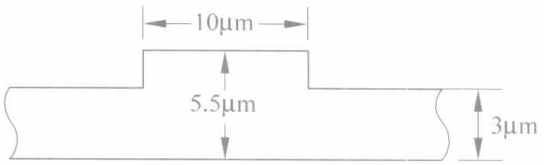


图 10.50　单元内多晶硅字线形状

当然,由于条宽加粗,字线的分布电容也会随之变大。我们知道,字线的分布电容是由单元门管栅电容、字线经场氧化层对衬底电容、字线经低氧化层对位线电容等组成。很明显,这些电容中,门管栅电容所占比重最大,由于不等宽多晶字线的加宽部分是在场区上面,因而字线总分布电容增加并不明显(由等宽方案的1.14pF 增加到 1.22pF)。这样一来,采用不等宽字线后,字线引起的最大延时可比通常的等宽方案降低 9%左右。

降低字线延时的另一种办法是在字线的中间加一级同相驱动器。用这种方法可使字线延时比等宽字线下降 30%。但是,它引起版图设计复杂,面积增大,功耗有所增加。

10.7　动态随机存取存储器(DRAM)

动态存储器是一种挥发性存储器,关掉电源之后,存储在 DRAM 中的数据将会丢失,所以 DRAM 被用来临时存储信息。之所以称 DRAM 为动态存储器是因为信息是存储在

电容上的，存储在电容上的电荷会随着时间的增长而不断流失。所以，DRAM 的存储单元需要定期刷新，以保持数据的完整性。DRAM 之所以被广泛应用的原因就是它价格便宜，芯片面积仅为 SRAM 的四分之一，以及引脚的个数少。

长期以来，DRAM 被用做桌面电脑、笔记本电脑以及工作站的主要存储设备。它也被用于其他的设备中，比如图形卡、电信网络集线器以及路由器等。低功耗 DRAM（包括 LPSDR，LPDDR 和 PSRAM）被大量应用于移动设备，例如手机和 PDA。

动态存储器的存储单元也有很多形式，有四管单元、三管单元和单管单元，目前大容量存储器（如 512MB，1GB）基本上都是单管单元，图 10.51 是动态单管单元的复合版图、剖面图和电路图。由图可见，每个单元由一个 MOS 管和一个电容组成，其中 MOS 管 M 作为开关，起地址选择的作用，它的多晶硅栅电极同时作用为字选择线 WL（读/写选择线），它的漏和源分别接数据线 BL（位线）和电容 C_S。信息存储在电容 C_S 上，C_S 称为存储电容。为了增加存储电容平行电板的面积又兼顾存储单元整体的尺寸，工业界有两种电容设计方案：堆叠电容（stack capacitor）以及深沟电容（trench capacitor）。在硅栅工艺中，堆叠电容 C_S 是由栅氧化层为介质的氧化层电容 C_{ox} 和 PN 结电容（由源 N^+ 区、表面 N 型反型层与衬底构成的 PN 结）组成的。为了增加存储电荷量，加入了多晶硅区（图 10.51 中的 PS 区）。工作（读、写）时，PS 区加正电压 V_{DD}，这时在 PS 区下的硅衬底表面形成 N 型反型层，它和 MOS 管 M 的源区连在一起，形成电容的另一个极。

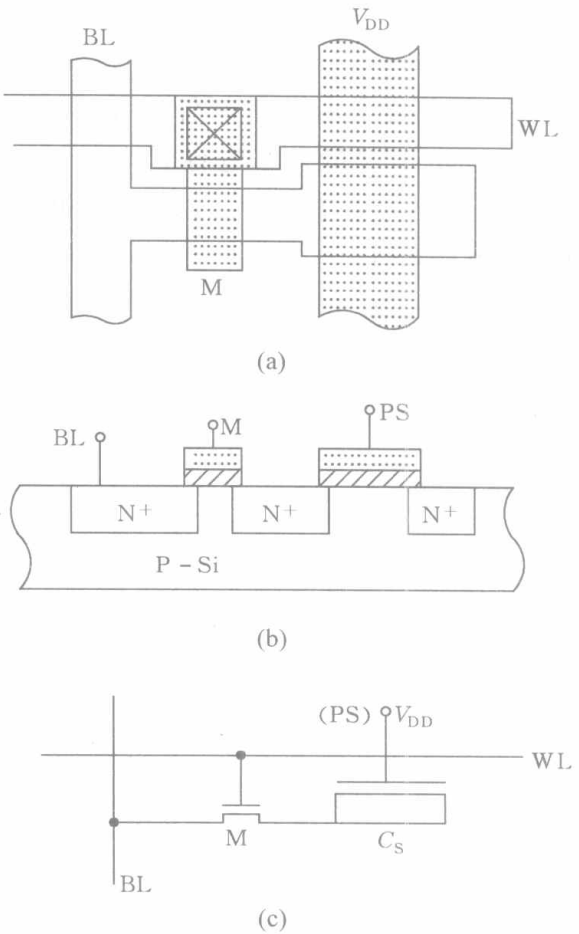


图 10.51　动态单管单元

（a）版图；（b）剖面图；（c）电路图

当写入信息时，位线上加高电压或地电压，字线从地电压升为高电压，MOS 管导通，电容 C_S 上相应为有电荷或无电荷。当字线回到地电压时，MOS 管截止，信息就保存在电容 C_S 上。当要读出存储的信息时，将字线升为高电压，电容 C_S 上有电荷或无电荷的情况（相应信息为 1 或 0），就可以从位线读出了。

如前所述，动态存储单元需要定期刷新，刷新频率取决于 MOS 管的泄漏情况。随着温度升高，泄漏加剧（温度每升高 10℃，泄漏增大一倍），所以所需的刷新频率急剧增加。大部分的动态存储单元存储信息的时间可以达到数秒，但是一个动态存储器中一般有几万分之一的存储单元的存储能力比较差，接近 64ms，所以现在的工业标准是每 64ms 刷新整个存

储阵列一次。动态存储器中设计有温度传感器，当温度降低时，刷新频率也会随之降低。

单管单元动态存储器的结构与静态存储器大致相同，但由于其结构的特点，所以有其特殊的地方。

1. 虚单元的设置

为了提高灵敏放大器的抗干扰能力，应当使放大器的两个输入端对称。为此往往把一条位线上的存储单元分成两半，对称地安排在 S/A 的两侧，以便在未读出前保持两边的平衡。此外，为了减小干扰，还在 S/A 的两侧各设置一个虚单元如图 10.52 所示，在灵敏放大器的两侧都与 32 个单元和一个虚单元相连。图中 M_4，C_D 和 M_4'，C_D'为左、右虚单元。虚单元是与数据单元相同的额外单元，设置虚单元的目的有两个：①把耦合噪声(字线 W 的信号通过 MOS 管的分布电容对位线 BL 产生的串扰)引起的不平衡减至最小；②为灵敏放大器提供一个参考电压 V_R，以最大限度地鉴别数据 1 和 0。对虚单元最基本的要求是选上它以后，在位线上产生的读出电平应介于读 1 和读 0 的电平之间，也就是被用做参考电压的电平 V_R。预充电压发生器的作用就是预先把虚单元的存储电容充电到参考电压。在工作时，当选中左边某一字时(例如 M_5，C_5)，同时右边的虚单元 M_4'，C_D'也被选中。这样一来，因分布电容而产生的 W_i 对 BL 的干扰信号，就可以被右虚单元处对$\overline{BL}$的干扰(通过分布电容)平衡掉。

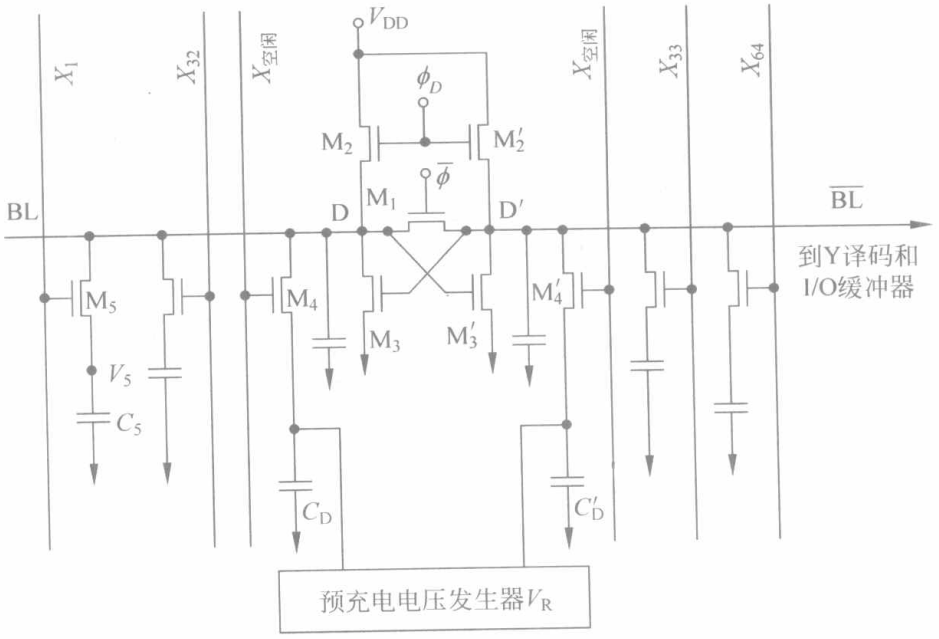


图 10.52　4KB 单管单元 DRAM 中的虚单元

虚单元的选择有两种方案：①如图 10.52 所示，虚单元中的管子 M_4(M_4')和电容 C_D(C_D')设计的和存储单元中的管子 M_5、电容 C_5 一样，称为“半电压”方案；在图 10.53 中，设计虚单元中的电容 $C_D=(1/2)C_S$(C_S 为存储单元中的电容)，称为“半电荷”方案。

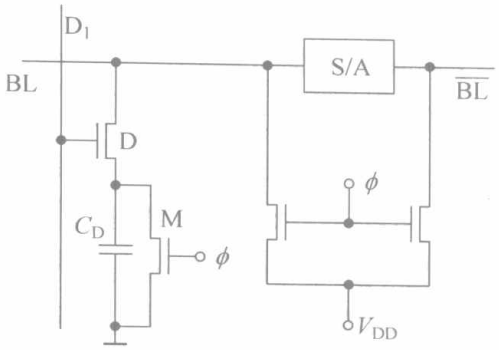


图 10.53　半电荷虚单元

2. 灵敏放大器(S/A)

在动态 DRAM 中,灵敏放大器的设计是至关重要的。灵敏放大器同时具有放大信号和执行刷新(refresh)的功能。因此,有时把 S/A 写成 S/R,以表示此放大器的双重功能;或写成 R/A,以强调放大器的刷新作用。

目前灵敏放大器有很多形式,其基本的部分是一个平衡触发器,如图 10.52 的中间部分。图中节点 D 和 D'既是 S/R 的输入端,也是 S/R 的输出端。在读出前,先使$\overline{BL}$为高,将 M_1 管打开,使 D 和 D'点短接,以造成 BL 和$\overline{BL}$的初始平衡。在读出时 M_1 管关闭,S/R 成触发器形式。

在 DRAM 中,写操作是把数据放在位线上,同时用字线控制这些数据进入存储电容器而完成的;读操作则是靠预充位线提高字线,然后通过灵敏放大器放大信号实现的。S/R 的放大和刷新功能是同时完成的。图 10.54 是 S/R 和一个存储单元的示意图,用来解释 S/R 怎样完成其放大和刷新功能。在读写操作开始前,预充位线的电压 V_p 通过预充电压发生器的作用介于存储单元的高电平和低电平之间。

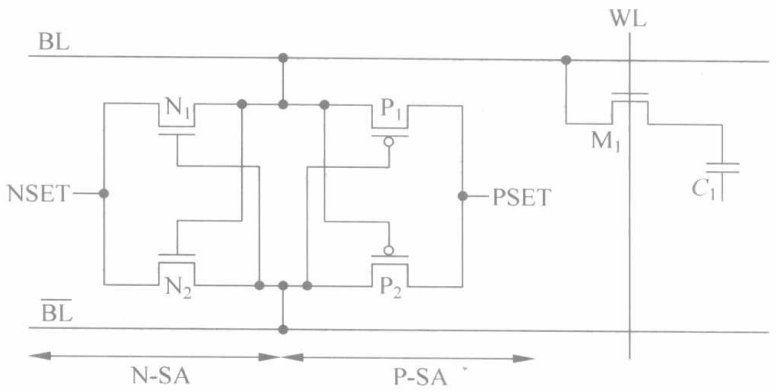


图 10.54　S/R 和一个存储单元的示意图

读 1 时(存储电容 C_1 的上极板为高电位),当字线 WL 打开,选中被选单 M_1,由于被选单元的电容 C_1 和位线 BL 之间的电荷的重新分配,位线的电压从预充电压 V_p 升高为 V_{p1},

随后放大器输入端 NSET 由中间电位 V_n 变为 0V，另一输入端 PSET 从中间电位 V_n 变为 V_{dd}；至此 N_1，N_2，P_1，P_2 形成正反馈放大器回路：BL 上的电压升高和 NSET 上的电压降低促使 N_2 管打开，通过 N_2 管$\overline{BL}$从预充电压 V_p 变为 0V，$\overline{BL}$上的电压降低又促使 P_1 管打开，通过 P_1 管 BL 从 V_{p1} 变为 V_{dd}，至此灵敏放大器的放大功能就完成了，由于此时字线 BL 是高电位 V_{dd}，“1”就被重新写回存储单元，从而完成了刷新功能。

读 0 时(存储电容 C_1 的上极板为 0V)，由于被选单元的电容 C_1 和位线之间的电荷的重新分配，位线的电压从预充电压 V_p 降低为 V_{p0}，随后放大器输入端 NSET 由中间电位 V_n 变为 0V，另一输入端 PSET 从中间电位 V_n 变为 V_{dd}；BL 上的电压降低和 PSET 上的电压升高促使 P_2 管打开，通过 P_2 管$\overline{BL}$从预充电压 V_p 变为 V_{dd}；$\overline{BL}$上的电压又促使 N_1 管打开，通过 N_1 管 BL 从 V_{p0} 变为 0V，完成了放大功能；同时通过打开的存储管 M_1，0V 被写回存储电容 C_1，完成刷新功能。

S/R 是决定 DRAM 性能的关键，所以对它做了很多改进，其改进的主要方向是：①提高 S/R 的灵敏度；②降低功耗；③加快读放速度(以提高 DRAM 的取数速度)；④提高抗干扰能力等。

10.8 闪存(Flash)

闪存属于新一代非挥发性存储器，是 1987 年提出来的，它是 EEPROM 走向成熟和半导体技术发展到亚微米技术以及大容量电可擦写存储器需求的产物，闪存和 EEPROM 都是电可擦写可编程的存储器，它们的原理是将数据以电荷的形式储存在浮栅电极上。与 EEPROM 相比，由于闪存采用单管单元，可以做到很高的集成度，它的单元面积仅为常规 EEPROM 的 1/4。表 10.7 给出了 Flash 和 EEPROM 的其他性能的对比。

表 10.7 Flash 和 EEPROM 的其他性能的对比

	耐久性	密度	单元中晶体管数	充电机理	放电机理	编程复杂度	擦除
EEPROM	好	中	双	隧道效应	隧道效应	简单	字擦除
闪存	良好	高	单	隧道效应或沟道热电子效应	隧道效应或沟道热电子效应	复杂	字组擦除

闪存按存储矩阵的结构来分，工业上主要有 NOR 型闪存和 NAND 型闪存；按存储单元的存储位数可以分为单位存储单元(single bit cell)和多位存储单元(multi-level cell)。由于 NOR 型闪存和 NAND 型闪存的性能的差别，市场上 NOR 型闪存和 NAND 型闪存的主要用途也有所差别。由于 NOR 型闪存读取速度快的特点，手机系统里用的主要是 NOR 型闪存；而由于 NAND 型闪存写入擦除速度快、存储容量大的特点，数码相机里用的存储卡主要是 NAND 型闪存。

10.8.1 闪存的存储单元

闪存的存储管采用 ETOX 结构，图 10.55 为存储管剖面示意图。

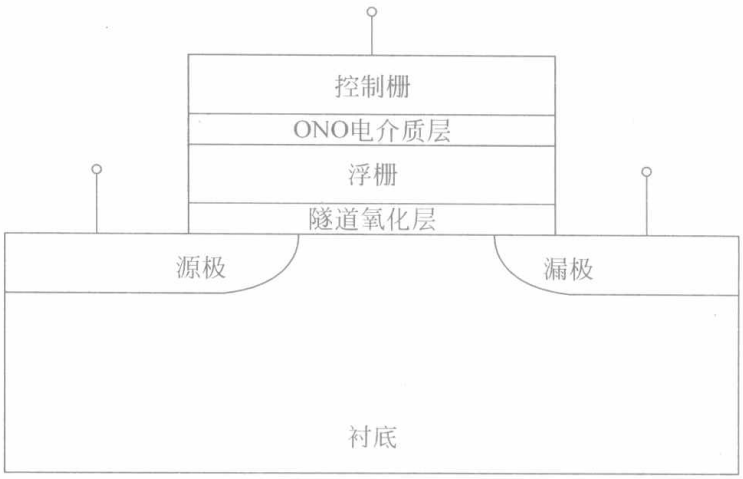


图 10.55　闪存存储管(ETOX 结构)剖面示意图

此存储单元结构于 1988 年首次由 Intel 公布并命名为 ETOX™。与 EPROM 类似，浮栅和沟道区之间有一层大约 10nm 的氧化层，浮栅和控制栅之间是厚度大约为 20nm 的 ONO(氧化物-氮化物-氧化物)电介质层。虽然闪存是 EPROM 的存储单元的衍生物，它们之间还是有区别的。闪存的衬底和浮栅之间的氧化层非常薄(大约 10nm)，在进行擦除操作时，控制栅加低电压，源极加高电压，这样在源极和控制栅之间产生较大的电压差，氧化层上产生较大的电场，电子从浮栅进入源极。在这种偏置条件下，N 型的源极和 P 型的衬底之间将会产生很大的反向电压，有可能使源极和衬底之间的 PN 结反向击穿；而漏极上却不会施加这样的高电压，所以在工艺上就需要额外的掩模板区分源极和漏极的注入。因此闪存的源极和漏极并不是对称的，源极的深度比漏极大，而且更平滑，以取得更高的源极和衬底之间的击穿电压。这就是闪存和 EPROM 工艺上的区别。

图 10.56 是闪存的版图的示意图。图(b)和图(c)是图(a)的两个方向的剖面图。从图中可以看到，浮栅比沟道区的宽度大，这样设计是为了取得更好的栅与沟道区之间电子的耦合效应。

闪存单元的编程方法主要有两种：沟道热电子注入(CHE)和隧道效应(Fowler-Nordheim)，沟道热电子注入是目前闪存使用最为广泛的编程方式。沟道热电子注入的优点是编程时间短，为微秒数量级，而且所需电压较低；缺点是电子对浮栅的注入都集中在浮栅和源极连接处的狭长区域，多次反复编程、擦除的操作容易造成此区域的缺陷。而隧道效应编程，电子是通过整个沟道区进入浮栅，不容易出现可靠性的问题，但是编程时间则通常为毫秒数量级，而且存在所需电压高和编程串扰大等缺点。表 10.8 为沟道热电子编程和隧道效应编程的特性比较。

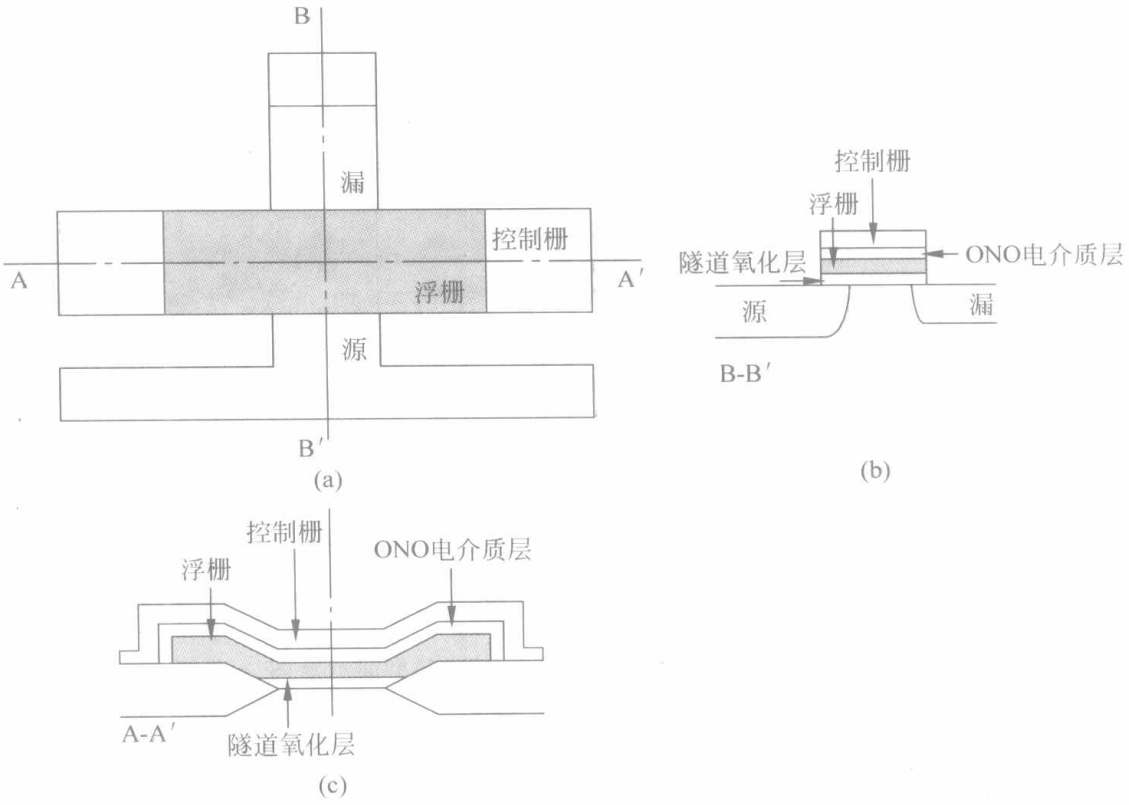


图 10.56　闪存的版图的示意图

表 10.8　沟道热电子编程和隧道效应编程的特性比较

特　　性	沟道热电子编程	F-N 隧道效应编程
所需电场	较低	较高
编程电流	较大	较小
并行编程能力	较差	较好
编程串扰	较小	较大

10.8.2　NOR 型闪存

1. NOR 型闪存的存储矩阵

图 10.57 为 NOR 型闪存存储矩阵的结构。

矩阵中的所有存储单元共源，并与灵敏放大器相接；每一列的存储单元的漏极相连，形成列地址；每一行的控制栅相连，形成行地址。

2. NOR 型闪存的总体结构和工作模式

(1) NOR 型闪存的总体结构如图 10.58 所示。

(2) 工作模式。NOR 型闪存的基本工作模式有读、写、输出禁止、重置、待命等，如表 10.9 所示。

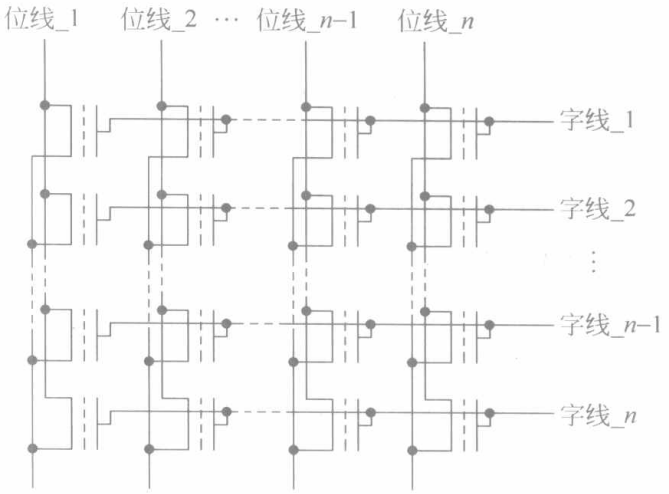


图 10.57　NOR 型闪存存储矩阵的结构

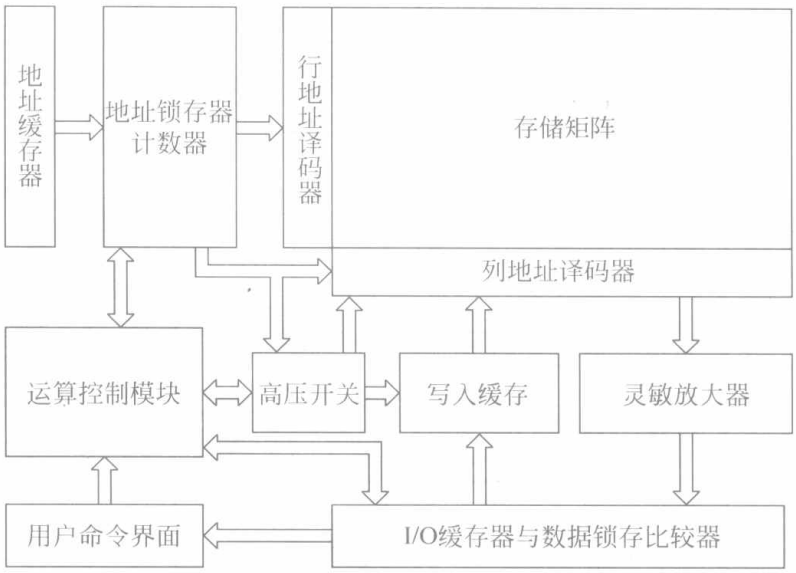


图 10.58　NOR 型闪存的总体结构

表 10.9　NOR 型闪存的基本工作模式

工作模式 \ 引脚		CE#	CLK	OE#	WE#	ADV#	RST#	I/O
读	异步读	L	不影响	L	H	L	VIH	数据输出
	同步读	L	有效	L	H	L	VIH	数据输出
输出禁止		L	不影响	H	H	不影响	VIH	高阻态
写		L	不影响	H	L	L	VIH	数据输入
重置		不影响	不影响	不影响	不影响	不影响	VIL	高阻态
待命		H	不影响	不影响	不影响	不影响	VIH	高阻态

表中 H 表示逻辑高电平；L 表示逻辑低电平。

闪存的操作是通过将命令写进用户命令界面实现的。请求一个操作时，写进用户命令界面的命令将会产生一系列的由内部时序控制的功能，这个功能会一直延续到这个操作完成。但是也可以通过发重置命令或者延缓命令中途退出一个操作。

表 10.10 是某公司无线存储器的命令组的一部分。

表 10.10　某公司无线存储器的命令组的一部分

模式	命令	第一总线周期			第二总线周期		
		操作	地址	数据	操作	地址	数据
读	读存储矩阵	写	分区地址	0xFF			
	读状态寄存器	写	分区地址	0x70	读	分区地址	状态寄存器数据
写	字写入	写	字地址	0x40	写	字地址	被写数据
擦除	块擦除	写	块地址	0x20	写	块地址	0xD0

字节读出和写入(写 0 或写 1)的工作时序如图 10.59 所示。

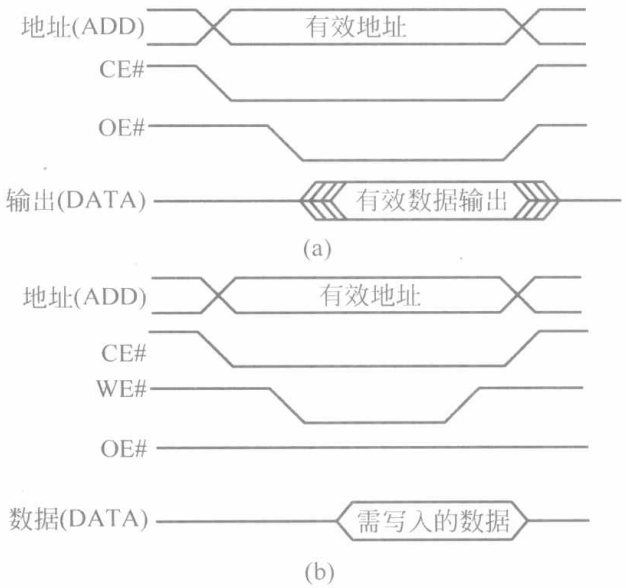


图 10.59　字节读出和写入(写 0 或写 1)的工作时序

(a) 字节读出的工作时序；(b) 字节写入的工作时序

3. NOR 型闪存的外围电路

闪存的外围电路包括地址译码器、地址缓冲器、灵敏读放电路、编程电路、擦除电路、控制逻辑电路、内置算法器等。下面主要介绍一些闪存比较有代表性的电路结构。

(1) 电荷泵

不同的操作需要不同的电压供应，表 10.11 给

表 10.11　不同操作条件下所需的电压供应

操作	电压供应水平
读	V_{CC}
编程脉冲	10～12V
编程验证	约 7V
擦除脉冲	$<V_{CC}$
擦除验证	约 3V

出了不同操作条件下所需的电压供应。

对于双电源电压供应的芯片，所需的高压由外部的电压输入 V_{PP} 来提供；对于单电源电压供应的芯片，所需的高压由芯片内部的电荷泵电路提供。内部电荷泵的设计有利于用户将闪存集成到它们的系统中去，而不必提供闪存专用的电源。

电荷泵可以分为正向电荷泵和负向电荷泵。正向电荷泵是指输出电压比输入电压高的电荷泵电路；负向电荷泵是指输出电压比输入电压低的电荷泵电路。正向电荷泵主要用于读操作时字线和位线开关上的电压、写入时字线和位线上的电压、擦除操作时源极的电压；负向电压泵主要用于擦除操作时字线上的电压。

电荷泵的原理图如图 10.60 所示，它由一系列的电容和开关组成。

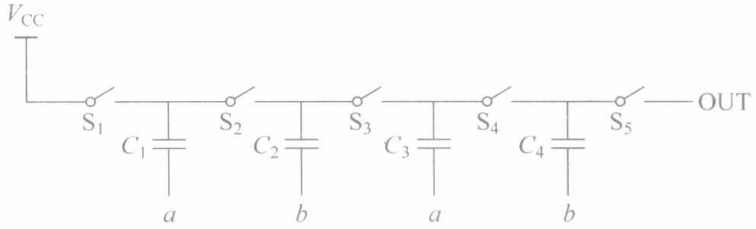


图 10.60　电荷泵的原理图

图中的 a 和 b 分别表示两种时钟信号，如图 10.61 所示。两组时钟信号的相位相反，电位在 0V 和 V_{CC} 之间转换。当时钟 a 为低电平、b 为高电平时（图中的 T_1 阶段），关闭开关 S_1、S_3、S_5，打开 S_2、S_4，正电荷从 V_{CC} 转移到电容 C_1 的上极板；然后时钟 a 为高电平、b 为低电平时（图中的 T_2 阶段），关闭开关 S_2、S_4，打开 S_1、S_3、S_5，部分正电荷从电容 C_1 的上极板转移到电容 C_2 的上极板；然后再将时钟 a 拉低、时钟 b 拉高，关闭开关 S_1、S_3、S_5，打开 S_2、S_4，电容 C_1 在 T_2 阶段损失的电荷通过 V_{CC} 的充电作用补充回来，而同时部分正电荷从电容 C_2 的上极板转移到电容 C_3 的上极板。以此类推，正电荷不断从 V_{CC} 输出并在输出端 OUT 得到积累，所以输出端的电压 V_{OUT} 不断升高。

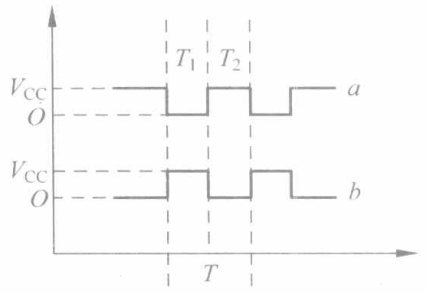


图 10.61　电荷泵的两种时钟信号

对电荷泵的设计主要有以下几个方面的考虑：首先要想取得更高的输出电压，就需要更多的开关和电容，就要占用更大的芯片面积；其次，要想获得更大的输出电流，就要求更大电容面积，同样要占用更大的芯片面积；最后，为了减小功耗，要求连接在电荷泵上的电路尽可能的减小电流、尽可能小的产生寄生电容。

（2）编程电路

利用沟道热电子效应对存储单元进行编程时，源极与地连接，而漏极和栅极连接两种不同的电压。这两种电压比一般的电压供应要高许多。而且需要一个电压调节器，以避免在若干个编程擦除周期后对存储单元产生损害。另外还需要一些电压来执行编程后的验证工

作，以保证被编程的存储管的阈值电压在期望值之内。

对编程电压的选择主要从以下两个方面考虑：

① 漏极电压的选择要综合考虑编程的有效性（例如编程所需时间）、漏极对在同一条位线上的存储管的影响、Snap-back 效应（场区电压达到一定值时，N 管电流产生的倍增效应，会对 N 管产生永久性的破坏）、漏极电流。

② 栅极电压的选择要综合考虑编程的效率、Snap-back 效应、漏极电流。

正确的编程指令输入芯片后，存储单元的地址和数据被存储在输入锁存器中，编程/擦除控制器被激活，产生编程算法。编程算法由一个编程验证的操作开始，编程验证的操作在一定的限制时间内会一直重复，直到存储单元中的实际内容与存储在锁存器中的期望数据一致。如果在限制时间内，一直没有得到两者一致的状态，编程也会结束，并报告编程结束。

在以上的过程中，芯片的电路会提供给存储单元一个经过调制的高压信号，下面介绍漏极电压调制和栅极电压调制的基本电路。

漏极电压调制有两种设计方案。

第一种是通过列译码电路来进行电压调制，如图 10.62 所示。

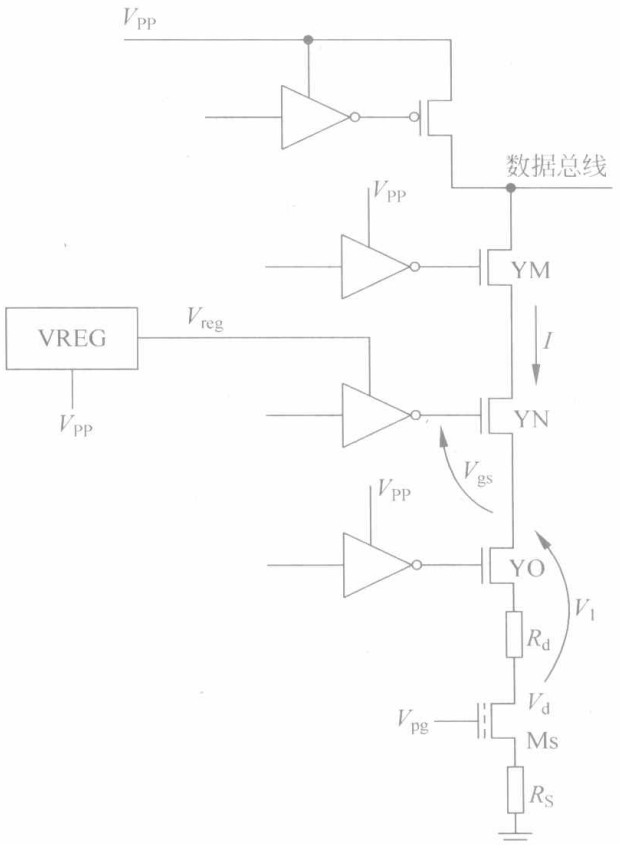


图 10.62　通过列译码电路来进行电压调制

图中 Ms 为被选中的存储管，VREG 为电压调制器。V_1 是译码器的 YO 传输管和其下的位线上的压降。漏极上的电压

$$V_d = V_{reg} - V_{gs} - V_1$$

这种电路的优点是电压调制器不提供电流，缺点是 V_{gs} 依赖于存储单元的编程电流，YN 工作在临界饱和区来保证一定的存储单元漏极电压范围，V_{gs} 接近阈值电压，V_{ds} 接近于零，为了保证 YN 管在较小的 V_{gs}-V_T 栅压驱动下能提供足够的编程电流，不得不增加列译码电路 YN 管子的宽度。

另外一种是通过编程负载电路进行调制，如图 10.63 所示。

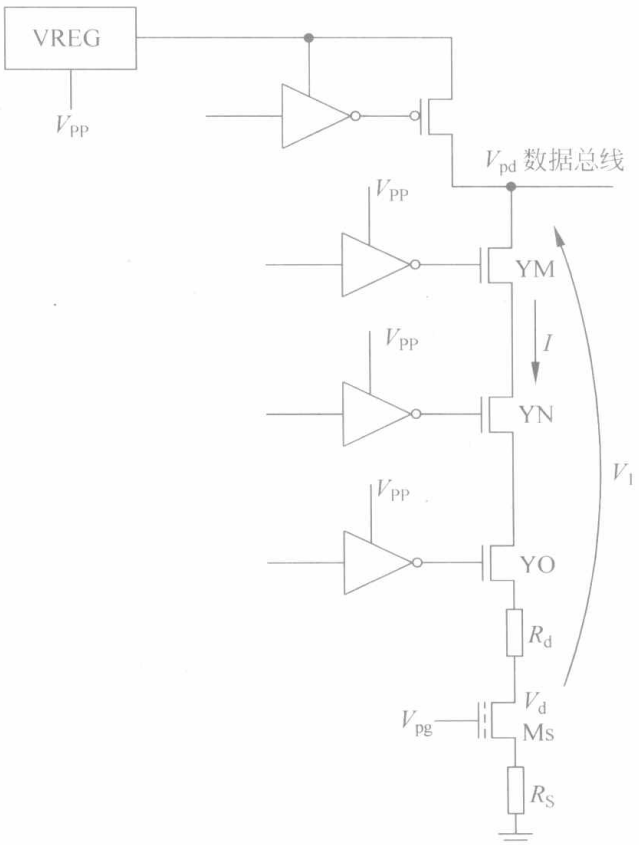


图 10.63　通过编程负载电路进行调制

编程电压经过电压调制器编程负载电路到达数据总线时，电压为 V_{pd}，那么漏极上的电压

$$V_d = V_{pd} - V_1$$

这种电路的优点是可以将列解码器设计的更加紧凑，而且译码电路上的压降 V_1 可以得到有效的电压补偿，缺点是电压调节器自身要提供编程电流，而且需要准确控制输出电压范围，因此这种电压调节器电路比上一种更加复杂。

下面介绍栅极电压调节。

存储单元的栅压是经由字线和行解码器得到的。图 10.64 给出了行解码器、行地址总线、字线和电压供应 V_{pg} 的关系。

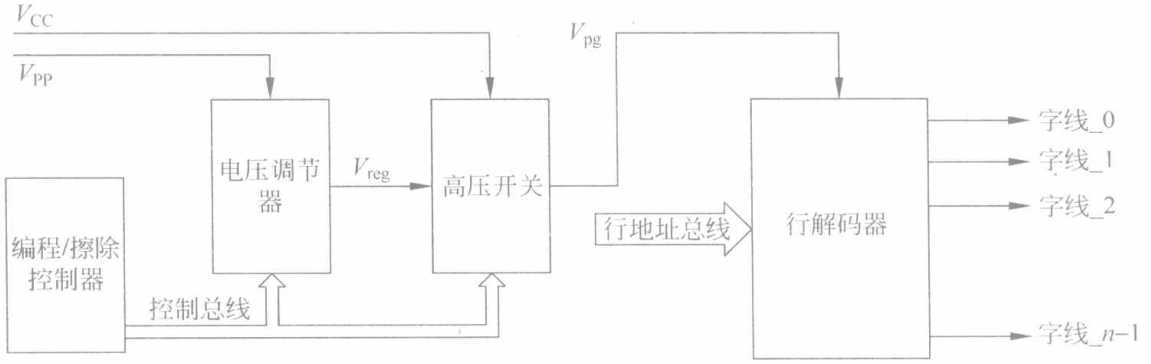


图 10.64　行解码器、行地址总线、字线和电压供应 V_{pg} 的关系

图中 V_{pg} 的电压是由电压调节器和高压开关组成的电路提供的。电压调节器提供所有与 V_{CC} 不同的电压水平，高压开关则将 V_{CC} 或电压调节器的输出电压 V_{reg} 供给行解码器。而电压调节器和高压开关同时受编程/擦除控制器的控制。

下面介绍一种电压调节器，它是通过一系列的控制管（M_2，M_3，M_4，M_5）来获得不同的参考电压的，如图 10.65 所示。

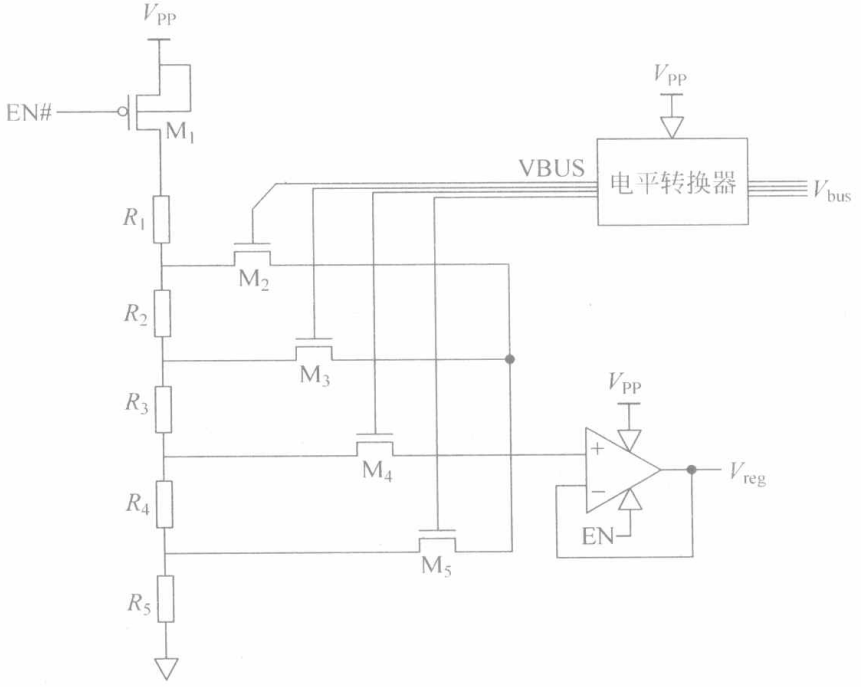


图 10.65　电压调节器举例

控制总线上的数字信号通过一些电位转换器来完成对模拟开关的控制，如图 10.66 所示。图中，M_1，M_2，M_3 和 M_4 形成一个双稳态电路。反相器 I_1 形成补偿电路。如果输入端

V_i 处于逻辑高电平，M_3 和 M_2 打开，输出 V_o 连接到 V_{sp}，M_1 和 M_4 关闭。由于在 V_{sp} 和地之间没有直流通路，所以电位转换器中这种状态会一直维持而没有电流损耗。如果 V_i 变为逻辑低电平，M_3 和 M_2 关闭，M_1 和 M_4 打开，V_o 连接到地。整个过程中，除了在这两种稳态之间转换所需的时间之外，是没有电能消耗的。

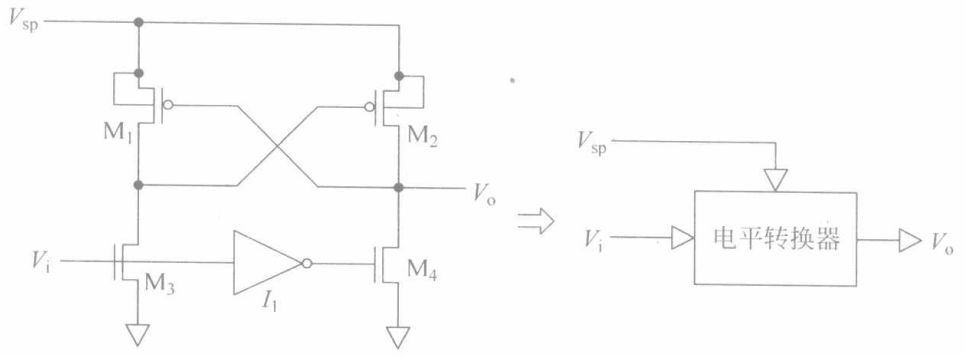


图 10.66　数字信号控制模拟开关

在闪存里面连接行解码器的高压开关的电路要求可以选择两个或更多个电压水平，并且没有电能消耗，也就是说输入电压可以完全输入而没有损耗。在 CMOS 工艺中，最简单的解决方案是基于 PMOS 管的高压开关，如图 10.67 所示，高压开关的每一条支路包含两个反接的 PMOS 管。这种设计可以很好地对各种可能出现的电压组合（$V_{CC}>V_{reg}$，$V_{CC}<V_{reg}$，$V_{CC}=V_{reg}$）进行处理。

如果 V_{CC} 比 V_{reg} 低，并且要求输出 V_{pg} 为 V_{CC}，则使输入端 V_{i1} 和 V_{i3} 接地，$V_{i2}=V_{reg}$、$V_{i4}=V_{CC}$；左边支路打开，右边支路关闭且两个管子的 $V_{gs}=0$；那么节点 A 的电压是 V_{CC}，所有的源极和漏极的 PN 结都不会被正偏而导致漏电流；节点 B 悬空并且源-阱、漏-阱 PN 结不会正偏。如果要求输出 V_{pg} 为 V_{reg}，则使 V_{i2} 和 V_{i4} 接地，$V_{i1}=V_{CC}$、$V_{i3}=V_{reg}$；这样右边支路打开，左边支路关闭；在这种情况下，节点 A 悬空并且所有源极和漏极对衬底的 PN 结不会正偏产生漏电流。

由于高压开关提供两种电压中的一种，所以在从一条支路切换到另外一条支路的时候，有可能出现两条支路同时打开的状态，为了保证输出电压的准确性，这种情况是必须避免的，所以四个输入端的时序必须严格控制。如图 10.68 所示，通过没有交集的时序，在一条支路打开之前，另外一条支路已经关闭了。

（3）擦除电路

对于闪存来说，电擦除不能只作用于某一个存储单元，而是以存储矩阵中的一片区域为单位的，这样的一片区域称为“块”。这种块操作的方式也是闪存区别于 EEPROM 的一点；后者可以逐个存储单元的进行擦除。闪存的这个特性是因为在一个块中，所有的存储单元的源极是连在一起的。当对一个块进行擦出操作后，其他块中的内容保持不变。

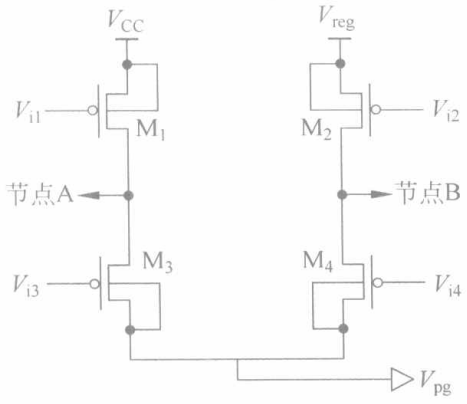


图 10.67　基于 PMOS 管的高压开关

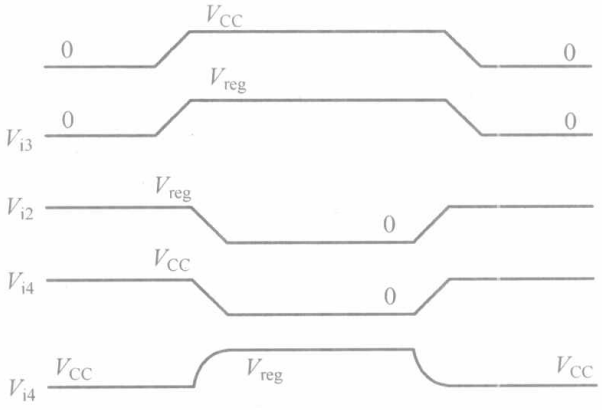


图 10.68　四个输入端的时序

和写入一样，擦除的方式也有两种，一种是源极擦除，在源极施加一个比控制栅极高 10V 左右的电压，热电子通过源极和浮栅附近的区域进入源极；另一种是沟道擦除，在浮栅下的 P 阱上加一个比控制栅高 10V 左右的电压，电子可以通过隧道效应从整个沟道区域进入。

下面主要介绍源极擦除电路。

在读出和写入操作时，源极是接地的；而在进行擦除操作时，源极必须接高电压。完成源极这种电压转换的电路通常叫做“源极开关”，其原理模型如图 10.69 所示。

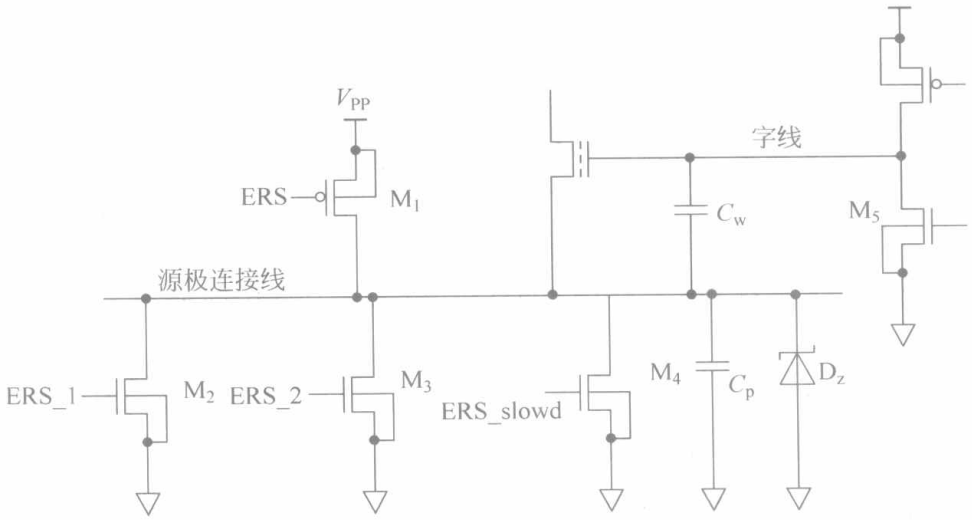


图 10.69　“源极开关”原理模型

进行擦除操作时，ERS 信号为低，ERS_1，ERS_2，ERS_slowd 信号为低，M_1 管打开，M_2，M_3，M_4 管关闭，V_{PP} 经 M_1 管对源极连接线充电，电压为 V_{PP} 减去 M_1 管上的压降。擦除操作完毕，需要将源极连接线放电时，此时 ERS 信号为高，M_1 管关闭；ERS_1，ERS_2 信号为低，关闭 M_2 和 M_3 管；ERS_slowd 信号缓慢升高，M_4 管缓慢打开，以避免 Snap-back 效

应和衬底噪声。源极连接线通过 M_4 管放电。图中 C_p 为源极连接线对地的寄生电容的模型。此寄生电容由存储单元的源极-衬底之间的面积电容和参数电容以及源极与其他零电势点的耦合电容等组成。由于此寄生电容的组成元素众多，所以电容很大，大约 2nF/Mbit，所以在源极连接线放电时会造成对零电势点的很大的干扰。为了减少这种负面影响，在电路设计中，加入缓慢放电管 M_4，它的栅极的电压上升很慢，有效控制了瞬间大电流的产生。另外，字线和源极连接线之间的耦合电容 C_w 也会对电路产生负面影响。当源极连接线充电时，C_w 也会被充电，当擦除操作完成，源极连接线放电时，字线的电压会由于 C_w 的存在而下降，会使字线的下拉驱动管 M_5 处于反向偏置。而 M_4 管同样可以减小这种负面效应。

10.8.3 NAND 型闪存

1. NAND 型闪存的存储矩阵

图 10.70 为 NAND 型闪存的存储矩阵。

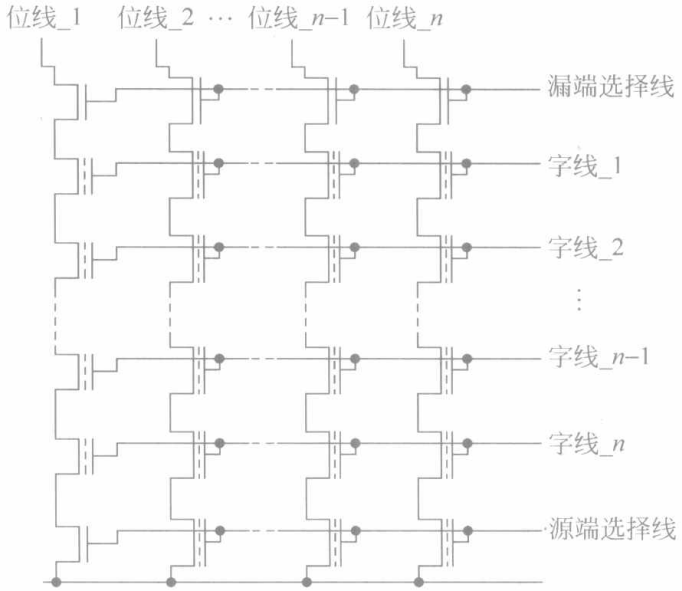


图 10.70 NAND 型闪存的存储矩阵

从图中可以看出，NAND 和 NOR 的存储矩阵的结构是不同的。一条存储链中，在 NOR 型闪存中，存储单元的漏极和源极之间是并联关系，而在 NAND 型闪存中一个存储单元的漏极连接另一个存储单元的源极，是串联关系。这样的设计有利于减小芯片面积，降低成本。同时编程速度也有所增加，但是却会影响读取速度。由于 NAND 的编程和擦除都采用隧道效应，所以相对于 NOR 来说，NAND 还需要更高的工作电压。表 10.12 是 NAND 和 NOR 型闪存的性能比较。

表 10.12　NAND 和 NOR 型闪存的性能比较

	NAND	NOR
读取时间	较慢的随机地址数据读取速度 较快的连续地址数据读取速度	较快的随机地址数据读取
擦除时间	较快	较慢
编程时间	较快的页编程	较慢的缓冲器编程

2. NAND 型闪存的总体结构和工作模式

(1) 总体机构

NAND 型闪存的总体结构如图 10.71 所示。

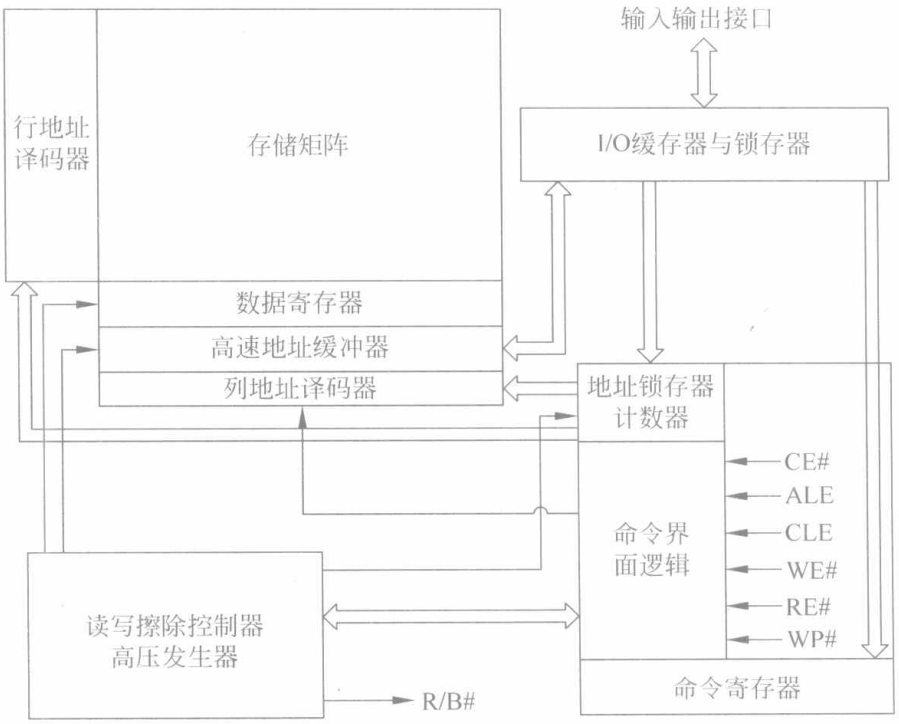


图 10.71　NAND 型闪存的总体结构

NAND 型闪存的接口比 NOR 型闪存的简单,它的所有地址信号都是通过 I/O 接口输入的。通常有 16 个 I/O 和 8 个 I/O 两种接口形式。地址信号需通过若干个周期的输入。然后通过地址锁存信号(ALE)成为有效地址。命令信号也是通过 I/O 接口输入的,通过命令锁存信号(CLE)区别于地址输入。这样的设计有利于减少和规范接口数量,方便客户使用和更新换代。图中的 R/B#(Ready/Busy)为输出信号,用来反馈器件内部的工作状态。如果此信号为高电平,表示芯片内部的读写擦除操作已完成,可以进行下一次操作;如果此信号为低电平,表示芯片内部的读写或擦除操作正在进行中。图中的高速地址缓冲器并不是所有 NAND 型闪存产品都具有的功能块,它的设计和存在是为了提高芯片的读写速度,

相当于计算机中的二级缓存，当数据寄存器和存储矩阵进行数据交换的同时，它可以将数据与 I/O 缓冲器进行数据交换。

(2) 工作模式

表 10.13 是 NAND 型闪存的工作模式。

表 10.13 NAND 型闪存的工作模式

工作模式		CE#	ALE	CLE	WE#	RE#	WP#
读模式	命令输入	L	L	H	上升沿有效	H	X
	地址输入	L	H	L	上升沿有效	H	X
写模式	命令输入	L	L	H	上升沿有效	H	H
	地址输入	L	H	L	上升沿有效	H	H
数据输入		L	L	L	上升沿有效	H	H
数据输出		L	L	L	H	下降沿有效	X
读操作进行中		L	L	L	H	H	X
编程操作进行中		X	X	X	X	X	H
擦除操作进行中		X	X	X	X	X	H
待命		H	X	X	X	X	0V/V_{CC}
写保护		X	X	X	X	X	L

表中 H 表示逻辑高电平；L 表示逻辑低电平；X 表示输入高电平或低电平。闪存的操作过程是先通过若干地址周期，将地址输入；然后经过若干命令周期，将命令输入。

(3) 地址输入周期

不管是 8 个 I/O 的芯片，还是 16 个 I/O 的芯片，地址输入都只占用 8 个 I/O。这样有利于方便用户接口的统一。表 10.14 为 1GB NAND 的地址输入周期。在每一个输入周期，都要按照表给出相应的控制信号。

表 10.14 1GB NAND 的地址输入周期

总线周期	I/O8～15	I/O7	I/O6	I/O5	I/O4	I/O3	I/O2	I/O1	I/O0
第一总线周期	X	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
第二总线周期	X	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_9
第三总线周期	X	A_{24}	A_{23}	A_{22}	A_{21}	A_{20}	A_{19}	A_{18}	A_{17}
第四总线周期	X	V_{IL}	V_{IL}	V_{IL}	V_{IL}	V_{IL}	A_{27}	A_{26}	A_{25}

(4) 命令输入周期

完成地址输入后，命令的输入也是通过 I/O 进行的。表 10.15 是 Micron 的 NAND 型闪存的命令组。

表 10.15　Micron 的 NAND 型闪存的命令组

命　　令	第一周期	第二周期
块擦除	60H	D0H
页读取	00H	30H
页写入	80H	10H
随机数据输入	85H	-
随机数据读取	05H	E0H
读芯片标识码	90H	-
读状态寄存器	70H	-
内部数据转移之读取	00H	35H
内部数据转移之写入	85H	10H
重置	FFH	-

以上命令中，擦除操作和 NOR 型闪存一样，只能基于块为单位进行；而数据写入和读取都可以基于页为单位。NAND 型闪存虽然也提供随机地址输入和输出，但其读写速度比起页读写速度慢很多。“内部数据转移”功能是 NAND 型闪存独有的功能，可以将一个地方的数据转移到另外一个地方，不需通过外部存储器，以加快操作的速度，并且方便用户使用。在以上的命令中，“重置”命令是可以在其他操作的进行过程中强制执行的，除此之外的命令必须等待其他操作的完成。

10.8.4　SBC 和 MLC

现在工业界的主流闪存的存储原理又可以分为单位存储单元(single bit cell，SBC)和多层存储单元(multi-level cell，MLC)。SBC 就是上面讲的通过浮栅中有无电子来区分 0 和 1；MLC 则是通过判断浮栅中电荷的多与少来区分 00，01，10 和 11 四种信号。这样传统 SBC 需要两个存储单元才能完成的存储量，MLC 只需要一个存储单元就可以完成了。这样有利于降低成本，减小芯片的面积。

当通过施加不同的电压使浮栅中的电荷数量不同时，存储单元的阈值电压 V_T 也会随之改变。MLC 就是利用这种物理量的变化来区分存储信息的。图 10.72 是 NOR 型闪存的 SBC 和 MLC 的阈值电压的分布图。

由于 NOR 和 NAND 的编程机理的不同，编程后存储管的阈值电压的分布状况也不同。图 10.72(b)给出的是 MLC 的 NOR 型闪存采用沟道热电子编程的阈值电压分布。下面再介绍两种不同情况的阈值电压分布图如图 10.73 所示。图 10.73(a)是 MLC 的 NOR 型闪存采用隧道效应编程时的阈值电压分布；图 10.73(b)是 MLC 的 NAND 型闪存采用隧道效应编程时的阈值电压分布。

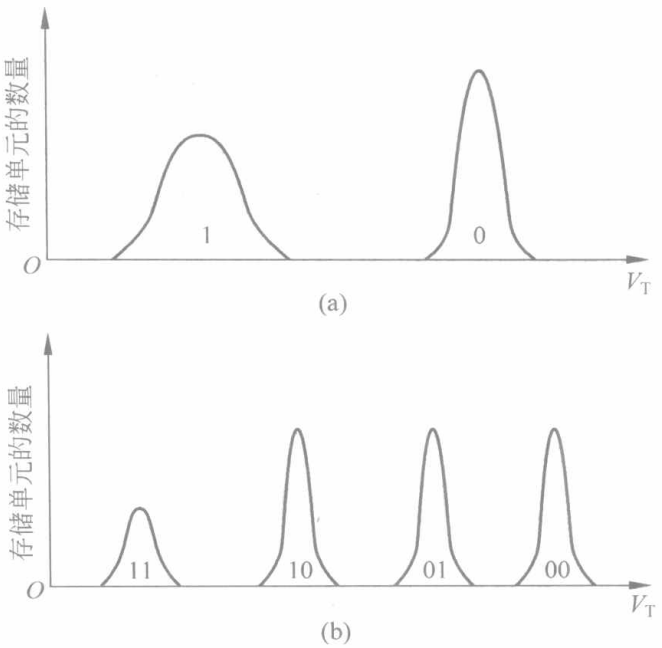


图 10.72　NOR 型闪存的 SBC 和 MLC 的阈值电压的分布图

(a) SBC；(b) MLC

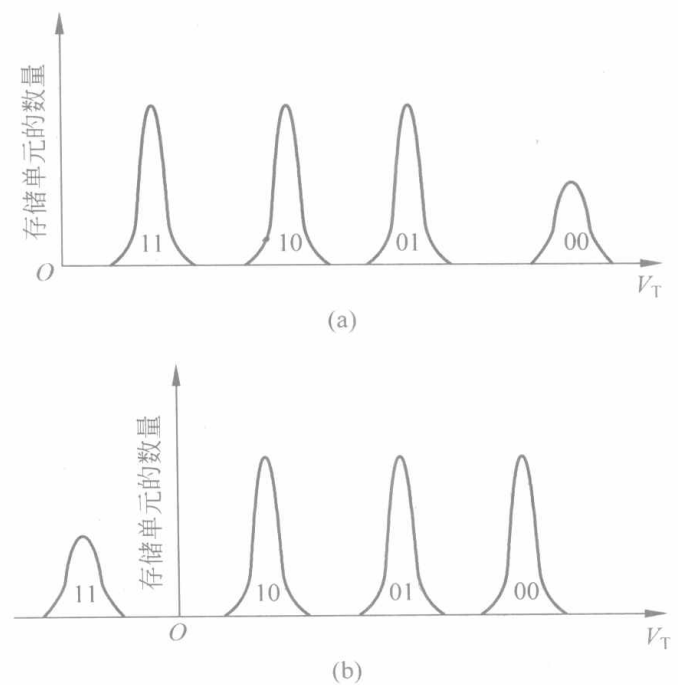


图 10.73　MLC 采用隧道效应编程时的阈值电压分布

(a) NOR 型闪存采用隧道效应编程时的阈值电压分布；(b) NAND 型闪存采用隧道效应编程时的阈值电压分布

由于对于 MLC 来说，在一定的 V_T 范围内，要分为四种状态，那么每一种状态的宽度就要比 SBC 的窄，这样就会给读和写操作带来一定的难度。除了要求较高的读和写的精度之外，MCL 还对产品的可靠性提出了更高的要求，要求存储单元可以在足够长的时间内，在相邻的存储层次之间有足够的空间，否则就会造成数据读取的错误。在高容量的闪存设计中，MLC 是一种主流趋势；而随着晶体管尺寸的不断缩小，每一种状态所允许的阈值电压的范围也在不断缩小，如何在允许的阈值电压的分布宽度不断减小的情况下正确读出 0 和 1 就成为 MLC 产品设计中的核心问题之一。

除了 MCL 之外，工业界还有其他的高容量存储器的解决方案，其中包括镜像位存储器和堆叠芯片技术；前者是在晶体管级别进行尺寸的缩小；而后者则是在芯片级别利用封装基础获得高容量的存储器。

复习思考题

10.1　简述存储器的主要结构及各部分的作用。

10.2　分析存储器有哪些重要技术指标？

10.3　试比较各类存储器的优缺点。

10.4　画出用饱和负载 NMOS 组成的六管静态存储单元的电路图，说明其工作原理。

10.5　简述动态单管单元存储器设置虚单元的作用及单管单元 DRAM 的工作原理。

10.6　容量为 256×1 的 DRAM 有多少地址输入线？有多少字线和位线？若用 256×1 的 RAM 扩充成 1024×1 的 RAM，画出扩展的连接框图，并说明扩展 RAM 容量的一般方法。

10.7　简述 E^2PROM 存储单元的工作原理。

第11章 接口电路

一般来说，一个数字系统总是采用一种逻辑系列，如 TTL，ECL，I^2L，NMOS，CMOS 中的一种系列。然而，有时要做到这一点是不可能的，而且也没有必要。例如，对于整个数字系统速度影响较大的那部分电路如运算器等，可能采用 ECL 门电路较好；而对于速度要求不高的部分，可能采用 LSTTL 电路甚至 CMOS 更为合理。所以必须考虑各不同系列电路之间的连接。

我们要求接口电路的输入特性类似于驱动门的输入特性，而它的输出特性又和接收门的输出特性相一致。这样的接口电路似乎作为一个驱动器，在驱动同类逻辑系列的门电路，又好像作为一个接收门，在接收同类逻辑系列的驱动。

下面我们对各逻辑系列间的接口电路作简单的介绍。

11.1 双极逻辑系列间的接口电路

11.1.1 ECL 和 TTL 之间的接口电路

1. ECL 到 TTL 的接口电路

ECL 到 TTL 的接口电路，必须把 ECL 电路的输出进行电平位移，增大到至少为 2.5V 左右的逻辑摆幅，才能驱动 TTL 电路（和 TTL 电路的输入相适应）。ECL 的输出负载必须接典型的 ECL 门电路，但接口电路的驱动能力又必须和 TTL 门电路的驱动能力相一致。下面的电路具有上述特点。

(1) ECL 到 TTL 的接口电路之一（如图 11.1 所示）

接口电路的输入部分是一个典型的二输入的 ECL 电路，当 $V_{i,A}$ 和 $V_{i,B}$ 为 −1.7V 时 T_1，T_3 截止，T_2 导通，使 $V_{B9}\approx 0V$，于是 T_9 截止。由于 T_1，T_3 截止，因而在接口无负载时 T_{10}，T_{11} 导通，输出 $V_{OH}\approx 3.6V$。

当 $V_{i,A}$ 和 $V_{i,B}$ 之一为 −0.9V 时，T_1（T_3）导通，T_2 截止，使 T_{10} 之基极电位 $V_{B10}\approx 0V$。于是 T_{10}，T_{11} 截止，T_8，T_9 导通，此时输出 $V_{OL}=0.4\sim 0.5V$（当 $I_{OL}\leqslant 20mA$ 时，$V_{OL}=0.5V$）。

(2) ECL 到 TTL 的接口电路之二（如图 11.2 所示）

此电路采用单电源，它只能驱动 1 或 2 个 TTL 负载，若要增加扇出数目，可在中间插入 TTL 缓冲门。

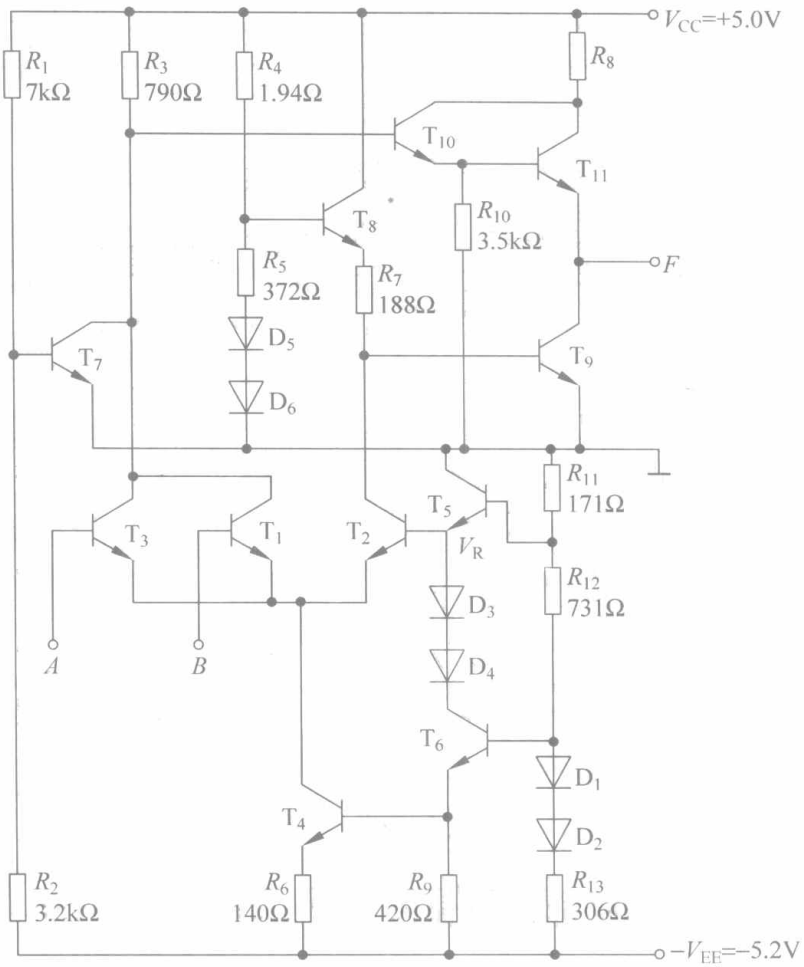


图 11.1　ECL 到 TTL 的接口电路之一

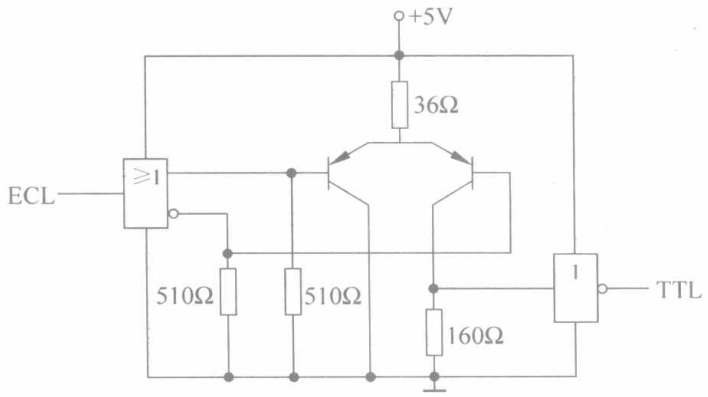


图 11.2　ECL 到 TTL 的接口电路之二

(3) ECL 到 TTL 的接口电路之三(如图 11.3 所示)

此电路应选择合适的 R_{C1}，R_{C3}，使 V_{oK} 低电平时约为 0.3V。D_1 的加入是为了限制 T_r 的集电极电位，使其导通时不至过于偏低。

图 11.3 所示接法可得到“或非”的逻辑输出，如把 T_K 和 D_1 接到 T_r 的集电极上，可得到“或”输出，所以这种接口电路实际上已经起了一级逻辑门的作用。

工作原理如下：当 $V_i=-1.75V$ 时，T_1 截止，T_r 导通，于是 $V_{CP}<0$，导致 T_K 截止，此时 T_K 的集电极电压 $V_{oK}=V_{OH}$。当 $V_i=-0.9V$ 时，T_1 导通，T_r 截止，于是 V_{CP} 上升，导致 T_K 饱和，此时 T_K 的集电极电压 $V_{oK}=V_{OL}$。

(4) ECL 到 TTL 的接口电路之四(如图 11.4 所示)

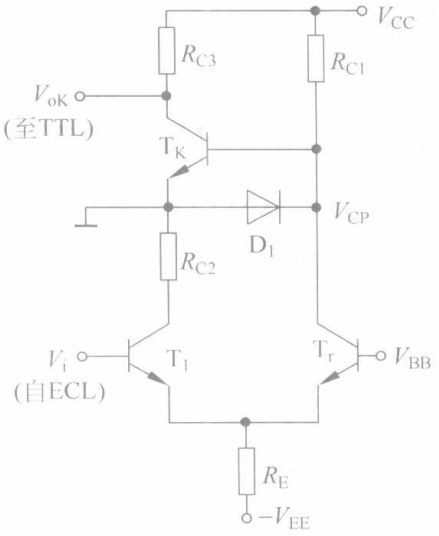


图 11.3 ECL 到 TTL 的接口电路之三

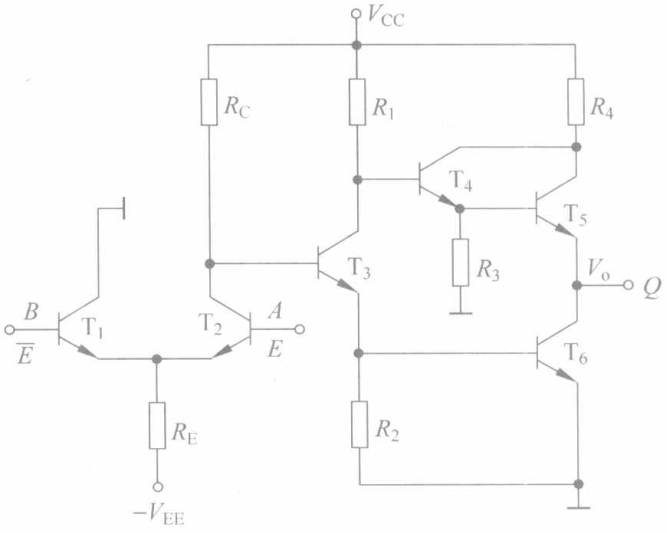


图 11.4 ECL 到 TTL 的接口电路之四

设输入 E 为 0，$\overline{E}$ 为 1(0 为 −1.7V，1 为 −0.9V)，于是 T_1 导通，T_2 截止，导致 T_3，T_6 饱和，此时输出 V_o 为 0($V_o=0.3V$)。

如输入 E 为 1，$\overline{E}$ 为 0，于是 T_1 截止 T_2 导通，导致 T_3，T_6 截止，T_4，T_5 导通，此时输出 V_o 为 1($V_o=3.5V$)。所以实现了 ECL 到 TTL 的逻辑电平的转换，且有逻辑关系：$Q=E$。

2. TTL 到 ECL 的接口电路

(1) TTL 到 ECL 的接口电路之一(如图 11.5 所示)

电路的输入端是一个由肖特基二极管 D_1 到 D_2 组成的二极管与电路，电路通过晶体管 T_1 的基射结、二极管 D_3 及 D_4、电阻 R_3 及 T_3 的基射结来实现电平位移。晶体管 T_4，T_5 以及电流源 T_6 组成电流开关。参考电压 V_R 一般为 −1.5V。转换器由射极跟随器 T_9，T_{10} 得到互补的 ECL 输出。

具体计算如下：若 A，B 均为高，则 C 点电压 $V_C=0.7V$，$V_{B3}=-0.5V$，所以 $(V_{B4}-V_{B5})\gg 4V_t$，因此 T_4 导通，T_5 截止，于是输出 $V_{OR}=V_{OH}$，$V_{NOR}=V_{OL}$。

若 A，B 中有一为低，则 $V_{B3}\approx V_{OL}+V_{DF1}-V_{DF3}-V_{DF4}-V_{R3}-V_{BE1}<-1.5V$(其中 V_{DF} 为二极管正向压降，V_{R3} 为电阻 R_3 上的压降)，所以 T_4 截止，T_5 导通，于是输出 $V_{OR}=V_{OL}$，$V_{NOR}=V_{OH}$。参考电压

$$V_R=V_{CC1}-\frac{V_{CC1}-V_{EE}-V_{CES8}}{R_{10}+R_{11}}R_{10}-V_{BE7}\approx -1.5V$$

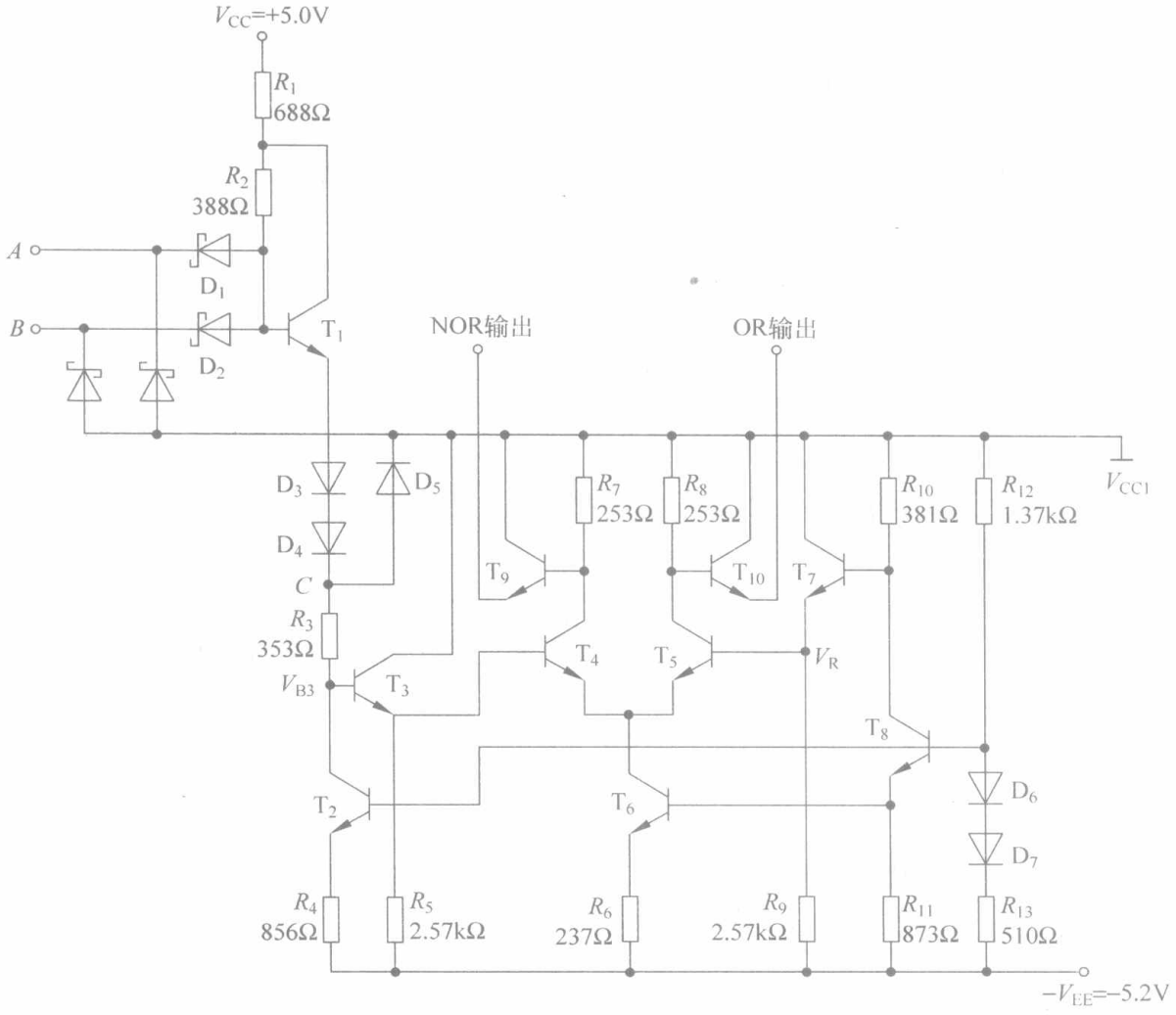


图 11.5　TTL 到 ECL 的接口电路之一

(2) TTL 到 ECL 的接口电路之二(如图 11.6 所示)

由 TTL 来的较高电平经 R_2,R_3 分压,从 b 点取得与 ECL 电路逻辑电平差不多的电平,加在 T_2 的基极上。T_1,T_2,T_3 组成典型"或"的输出。为得到适当的逻辑电平输出,需要调节 R_1,R_2,R_3 的值。如把 T_3,R_{C1} 接到 T_2 的集电极,则可得到"或非"输出。

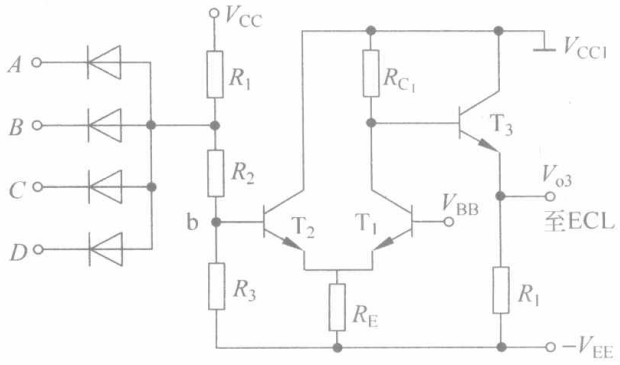


图 11.6　TTL 到 ECL 的接口电路之二

在此接口电路中，实际起电平转换作用的是 R_2 和 R_3。

(3) TTL 到 ECL 的接口电路之三(如图 11.7 所示)

此电路中 I 为输入端，接 TTL 电路的输出端，而接口电路的输出则由 T_1，T_2 的集电极经 T_3，T_4 射极跟随，接 ECL 电路的两个输入端。

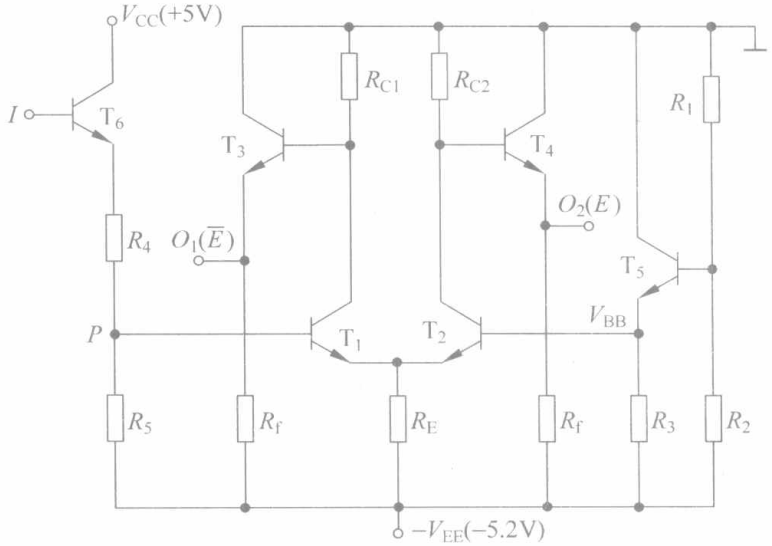


图 11.7　TTL 到 ECL 的接口电路之三

此电路的参考电压 V_{BB} 为

$$V_{BB}=-\left(\frac{V_{EE}}{R_1+R_2}R_1-V_{BE5}\right)\approx-2\text{V}$$

当 $V_{EE}=5.2$V 时，可取 $R_1=0.6\text{k}\Omega$，$R_2=2\text{k}\Omega$。

由电路图知，T_1 的基极电位 V_P 为

$$V_P=\frac{V_I-V_{BE6}+V_{EE}}{R_4+R_5}R_5-V_{EE}$$

我们要求当 I 端输入为 TTL 电路的高电平(3.5V)时，V_P 应比 V_{BB} 至少高 0.4V；而当 I 端输入为 TTL 电路的低电平(0.3V)时，V_P 应比 V_{BB} 至少低 0.4V。这样，输入为高电平 3.5V 时，T_1 导通，T_2 截止，T_2 的集电极输出 ECL 电路的高电平(约 -0.9V)，T_1 的集电极输出 ECL 电路的低电平(约 -1.7V)；反之，如果输入为低电平 0.3V 时，T_1 截止，T_2 导通，T_1 的集电极输出 ECL 电路的高电平，而 T_2 的集电极输出 ECL 电路的低电平；从而满足两种逻辑电平的转换，而且满足逻辑关系：$E=I$。

11.1.2　I^2L 和 TTL 之间的接口电路

最经常遇到的与 I^2L 电路连接的逻辑系列是 TTL(LS)电路，I^2L 和 TTL 之间的接口电路非常简单，如图 11.8 所示。

当 I^2L 驱动 TTL 电路时，只需将上拉电阻 R_A 的一端接到 LS 电路的 V_{CC} 或另接一个 5V 电源，另一端接到 I^2L 驱动器的输出晶体管 T_A 的集电极。电阻 R_A 可以做在芯片上，也

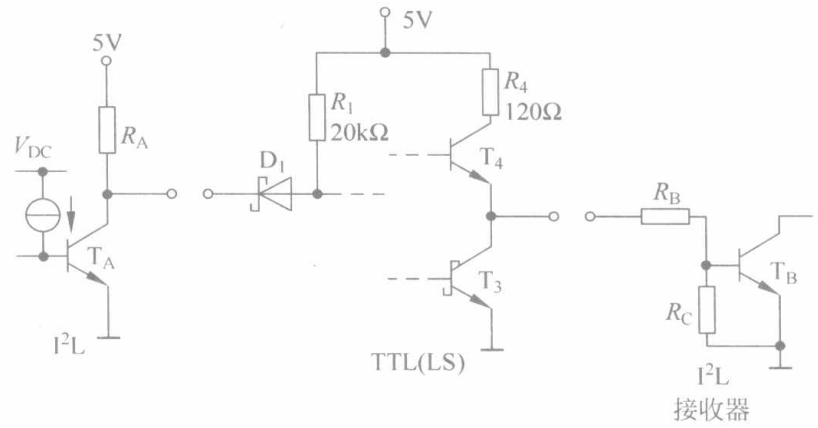


图 11.8　I^2L 和 TTL 之间的接口

可以外接。只要接口电路的动态和静态特性合适，R_A 的值取得越大越好。所谓静态特性是指当电路输出高电平，并且 $I_{IH} \leqslant 20\mu A$ 时，LS 电路 V_i 必须达 2.7V。对于动态特性，我们要考虑转换时间 t_{pLH}，该值取决于 R_A 和输出负载电容 C_L 的大小。在电路输出低电平时，输出晶体管 T_A 必须有能力灌入负载门的输入电流。对 TTL(LS)电路，当 $V_i = 0.4V$ 时，$I_{IL} \leqslant 0.4mA$，所以一般来说电路的负载能力是没有问题的。

同样，TTL(LS)电路驱动 I^2L 门电路也是没有问题的。通常如图 11.8 所示，只需要一个分压器。当 LS 输出为高电平时($\geqslant$2.7V)，R_B 和 R_C 的戴维宁等效电阻应对 I^2L 负载电路的输入晶体管提供适当的驱动；当 LS 电路输出为低电平(0.4V)时，分压器保证 T_B 处于截止态。

1. TTL 到 I^2L 的接口电路

作为 TTL 电平向 I^2L 电平的过渡，只要提供某种类似集电极开路输出结构形式的电路就行了，此电路如图 11.9(a)所示。为使其结构简单，可采用图 11.9(b)所示的电路。

图 11.9(a)与普通 TTL 结构相比稍有变化。输入门管 T_1 采用 BC 短接的形式，其原因是 I^2L 电路工艺中已采用了使管子的上向电流增益(即普通 TTL 门电路中的 β_R)较大的措

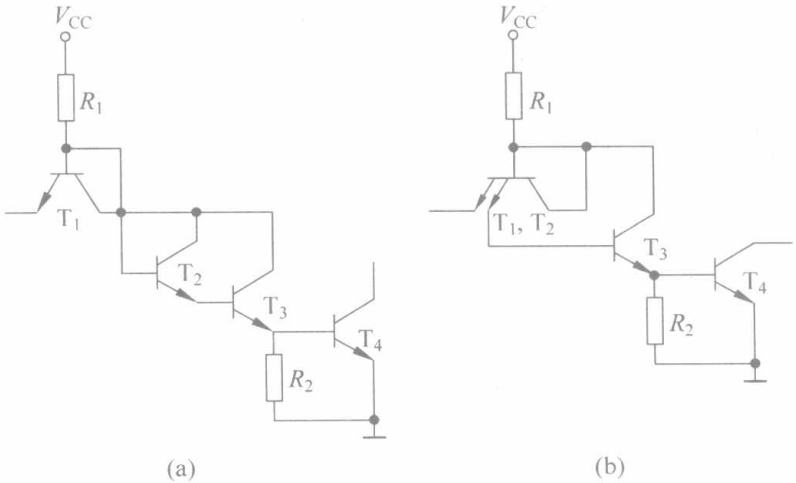


图 11.9　TTL 到 I^2L 的接口电路之一

施，这样当 T_1 管的输入端为高电平时，反向漏电较大，影响前级 TTL 门电路的负载能力和可靠性，为此将 BC 结短路，避免 T_1 管在反向运用状态时起电流放大作用。但因为 BC 短接，所以 T_1 集电极电平已提高了一个 V_{BE}。为使电路的阈值电平同已有的 TTL 电平相一致，增加了 T_2（二极管）以弥补阈值电平的下降。

从图 11.9(a)可见，T_1，T_2 管共 C，B，所以可做成一双发射极晶体管来代替，如图 11.9(b)所示，其版图如图 11.10，它共有三个隔离岛。

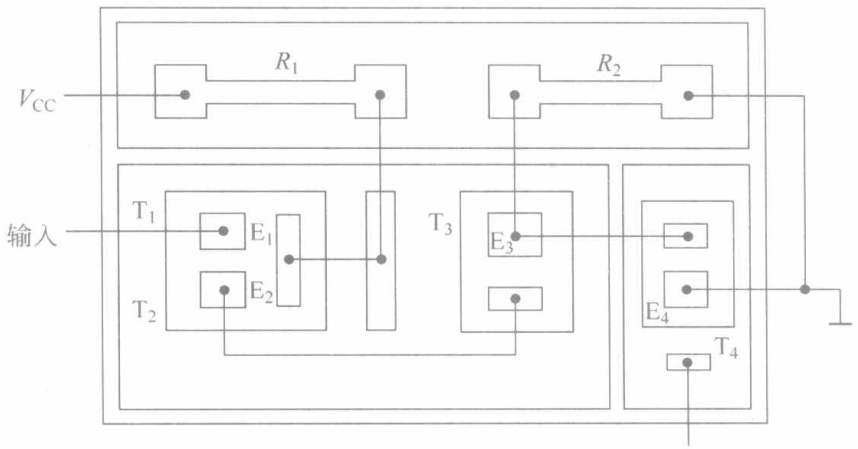


图 11.10　图 11.9 的版图示意图

T_4 管可同 I^2L 电路部分做在一起，采用反向运用状态，这时无需另加隔离岛。但如考虑需要有较大的负载能力，最好采用正向运用，以获得较高的电流增益，为此可另外加一隔离区。

TTL 到 I^2L 的接口电路与 TTL 和 I^2L 电路的连接方式，如图 11.11 所示。

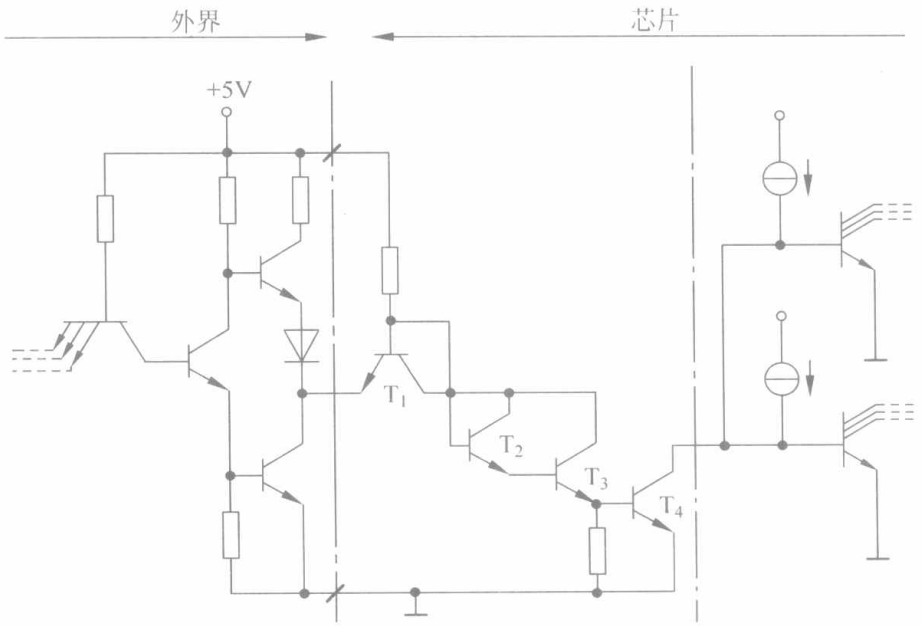


图 11.11　TTL 到 I^2L 的接口电路之二

2. I^2L 到 TTL 的接口电路

I^2L 电路的输出电流较小，为了使它能驱动 TTL 电路，必须增加输出的负载能力。为此可采取几种办法：其一是针对 I^2L 电路的输出晶体管进行特殊的设计，使它有足够大的上向电流增益，这可以由选取较大的集电区面积与发射区面积比 S_C/S_E 来达到；其二是在输出级调整不同的基区条宽来实现电流放大，如图 11.12 所示。

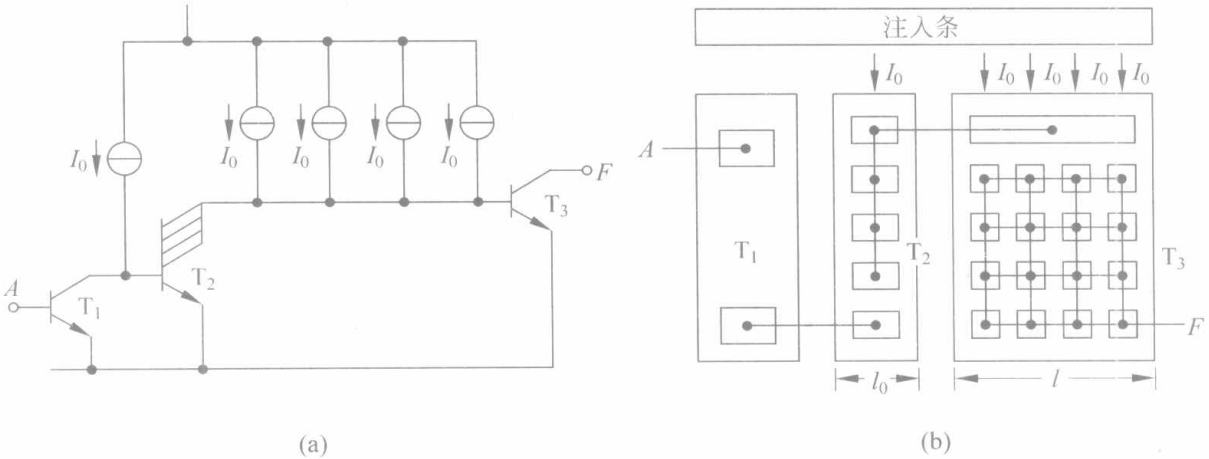


图 11.12　用调整基区条宽来实现电流放大

如果按照图 11.12 所示的设计方法使输出管具有一定的驱动能力(例如大于 1mA)，即有可能驱动一个 TTL 门电路，但因其所获得的驱动能力不可能很大，如果想使 I^2L 电路输出去直接驱动更多的 TTL 负载门将是困难的。所以需制作一 I^2L 到 TTL 的接口电路，线路如图 11.13 所示。

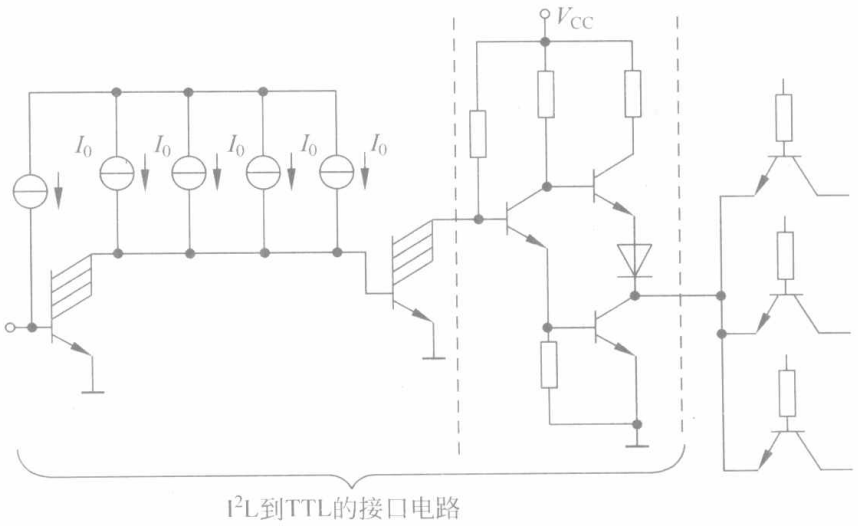


图 11.13　I^2L 到 TTL 的接口电路

为了增加 I^2L 输出端的驱动能力，可采用图 11.14 所示的办法。

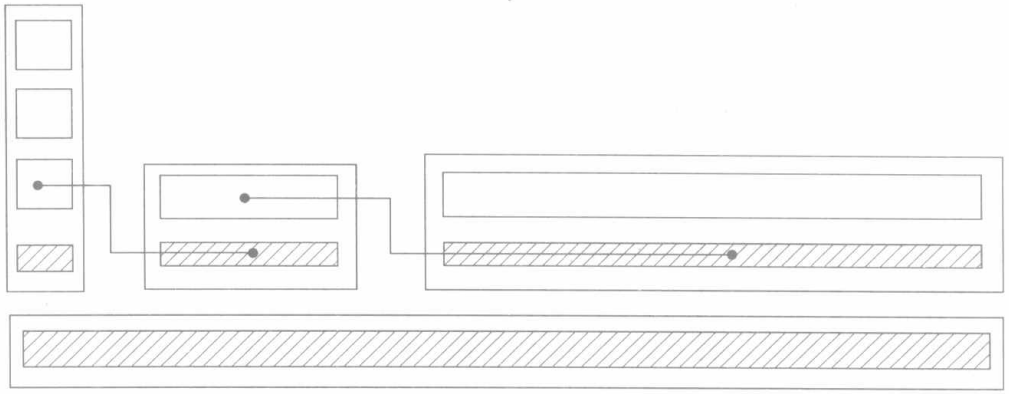


图 11.14　I^2L 电路输出端增加负荷能力的级联

11.2　TTL 和 MOS 逻辑系列间的接口电路

11.2.1　TTL 到 CMOS 的接口电路

用 TTL OC 门即可实现 TTL 到 CMOS 的接口，具体电路是在 OC 门的开集电极端通过一个电阻 R_L 与 CMOS 电路的 V_{DD} 相连，OC 门的输出直接与 CMOS 的输入端相连，如图 11.15 所示。

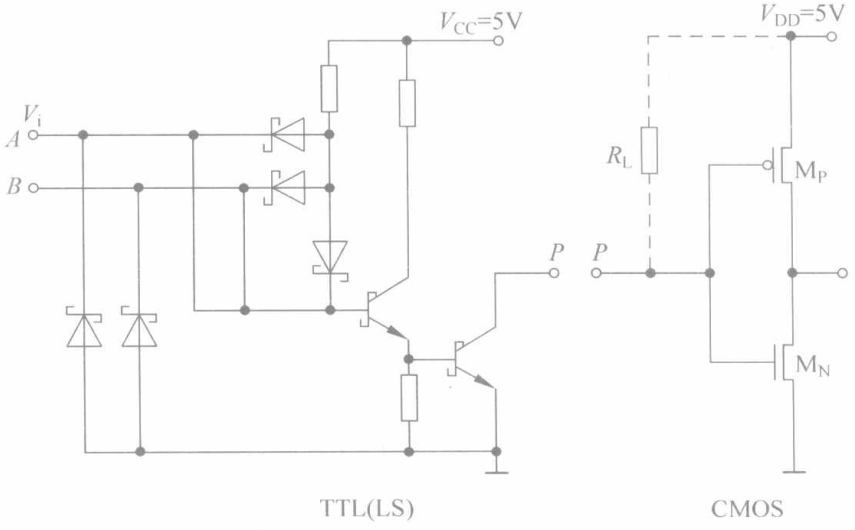


图 11.15　TTL 到 CMOS 的接口电路

当 V_i 为 TTL 低电平时，OC 呈关断状态，流过 R_L 的电流等于 CMOS 电路的输入电流，这个电流一般都很小，只要选取适当的 R_L 值就能保证 P 点的电平值高于 CMOS 电路的高

电平。当 V_i 为 TTL 高电平时，OC 呈开态，流过 R_L 的电流都流入 OC 门的输出管。同样取适当的 R_L 值，让 OC 门的输出管总处于饱和状态，则 P 点的电平始终低于0.3V，这个电平完全可以作为 CMOS 电路的低电平。

根据以上分析和 CMOS 电路的工作特性，可以推出 R_L 的选值范围为

$$\frac{0.9V_{DD}}{I_o}<R_L<\frac{0.1V_{DD}}{N\cdot I_i}$$

式中：I_o 为 TTL OC 门的灌电流负载能力；

I_i 为 CMOS 电路输入电流；

N 为电平转换电路驱动的 CMOS 电路个数；

V_{DD} 为 CMOS 电路电源电压。

若选 $I_o=12.8\text{mA}$，$V_{DD}=10\text{V}$，$I_i=1\mu\text{A}$，$N=1$，则 R_L 的范围为 $0.8\text{k}\Omega<R_L<1\text{M}\Omega$，可见其范围很宽。

11.2.2 CMOS 到 TTL 的接口电路

CMOS 电路到 TTL(LS)电路的接口更为简单，只要 V_{DD} 也取 5V，一般直接相连就可以了(如图 11.16 所示)。但是对于 CMOS 驱动器，PMOS 管的 W/L 要足以保证 $V=2.7\text{V}$ 时向 TTL 电路提供达到 TTL 电路 I_{IH} 数值的输出电流；同时 NMOS 管的 W/L 也要保证 P 处电压为 0.5V 时，承受达到 TTL 电路 I_{IL} 数值的灌入电流，为此要使 M_N 的面积比 M_P 大得多。这样一来，使 CMOS 驱动器的传输延迟时间 t_{PHL} 比 t_{PLH} 小得多。为了使驱动器从高到低和从低到高的电平转换时间大致相等，必须增大 M_P 的 W/L。

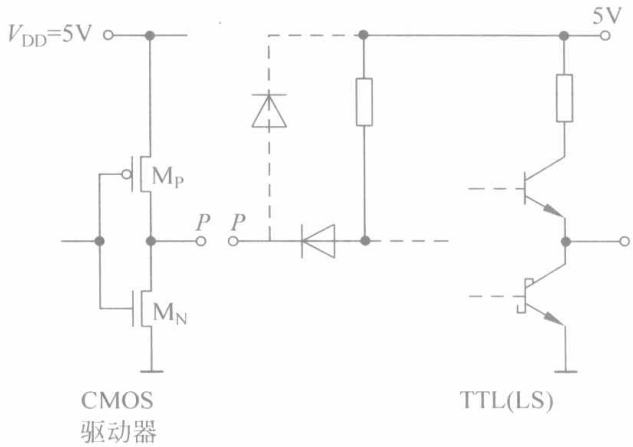


图 11.16　CMOS 到 TTL 的接口电路

当 CMOS 电路的 V_{DD} 大于 5V 时，在 TTL 电路的输入端要增加一个钳位二极管，以保证 CMOS 的输出电压不大于 5V。

11.2.3 E/D NMOS 与 TTL 之间的接口电路

如果 E/D NMOS 电路和 TTL(LS)电路的电源电压 V_{DD} 和 V_{CC} 都是 5V，那么它们之间的接口问题就简单了，如图 11.17 所示即可。

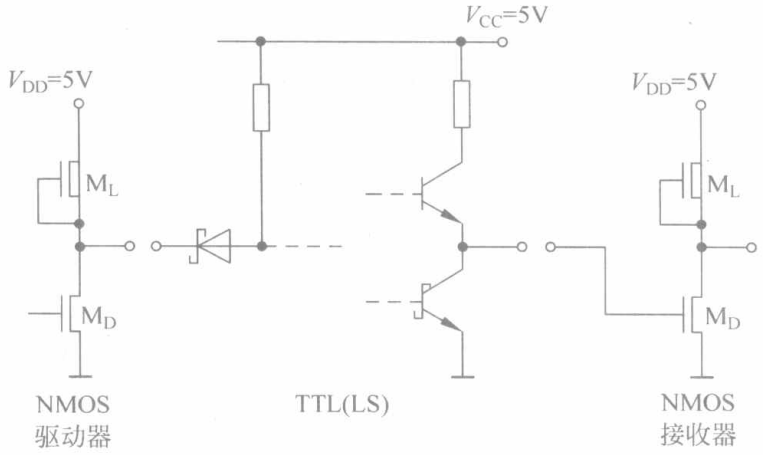


图 11.17 E/D NMOS 与 TTL(LS)间的接口电路

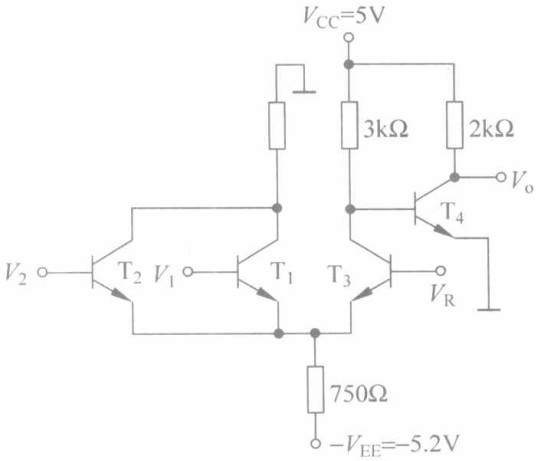
复习思考题

11.1 试比较 TTL 电路、ECL 电路和 I^2L 电路的优缺点，说明它们在工作原理和性能上各有哪些特点。

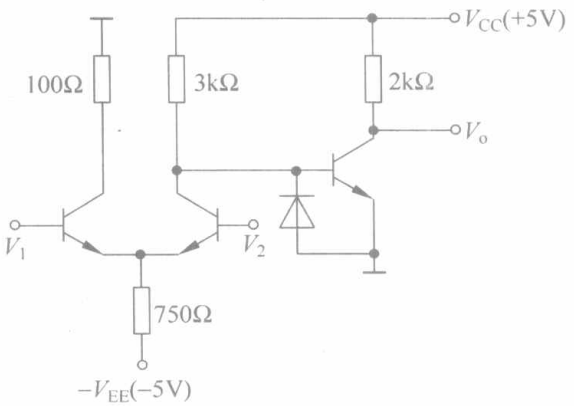
11.2 说明线与、线或概念的异同点，并分析利用线与、线或的好处是什么？什么门能线与、线或？

11.3 图题 11.3 所示为 ECL 到 TTL 电平转换电路，试分析电平转换原理，指出输出 V_o 与输入 V_1，V_2 间的逻辑关系。

11.4 分析图题 11.4 所示的 ECL 到 TTL 转换电路的工作原理。



图题 11.3



图题 11.4

第 12 章　模拟集成电路中的基本单元电路

12.1　单管、复合器件及双管放大级

由双极晶体管组成的电阻负载共射(CE)、共基(CB)和共集(CC)单管放大器已为大家所熟知，下面主要介绍双极晶体管的复合器件和双管放大级以及 MOS 管放大级。

12.1.1　双极晶体管复合器件及双管放大级

在双极模拟集成电路中，经常把两个或两个以上的有源器件按一定的要求连接在一起，组成一些常用的复合三端器件和单元电路，如达林顿管、复合 PNP 管、射耦对等。在电路分析中，常将这些单元当作一个整体来处理。本节介绍在模拟电路中常用的两管单元。

1. 达林顿管和 CC-CE 级

达林顿管的接法如图 12.1(a)所示，T_1，T_2 管的集电极短接在一起，T_1 的发射极与 T_2 的基极连接在一起，用恒流源 I_0(或用偏置电阻)来设定管子的静态工作点。在电路分析中，可将这个单元电路等效为一个复合的 NPN 管，如图 12.1(b)所示。在版图设计时，由于两个管子的集电极是短接的，集电极电位相等，所以可以共用一个隔离岛，其版图结构如图 12.1(c)所示。在低频使用时可将 T_1 和 T_2 看成为一个复合管，如图 12.1(b)所示，上标 C 代表复合管的 E,B,C。同样，在以后的讨论中，用上标 C 代表复合管的低频小信号参数。下面来计算此复合管的低频小信号等效参数。

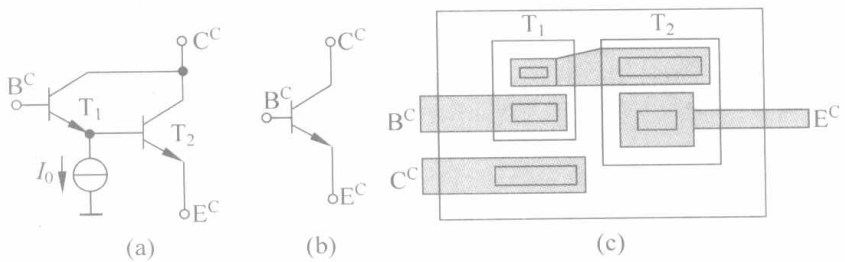


图 12.1　达林顿管

(a) 电路接法；(b) 等效符号；(c) 版图示意图

达林顿管的低频小信号等效电路如图 12.2(a)所示。其输入电阻 r_π^C 是在射极接地时从基极视入的电阻，由射极跟随器的一般特性知，复合管的输入电阻 r_π^C 由射随器 T_1 管的输入电阻 $r_{\pi1}$ 和其负载折合到输入端的电阻二者串联而成。T_1 管的负载由恒流源 I_0 的内阻 r_0 和 T_2 管的输入电阻 $r_{\pi2}$ 并联而成。由于一般情况下 $r_0 \gg r_{\pi2}$，所以

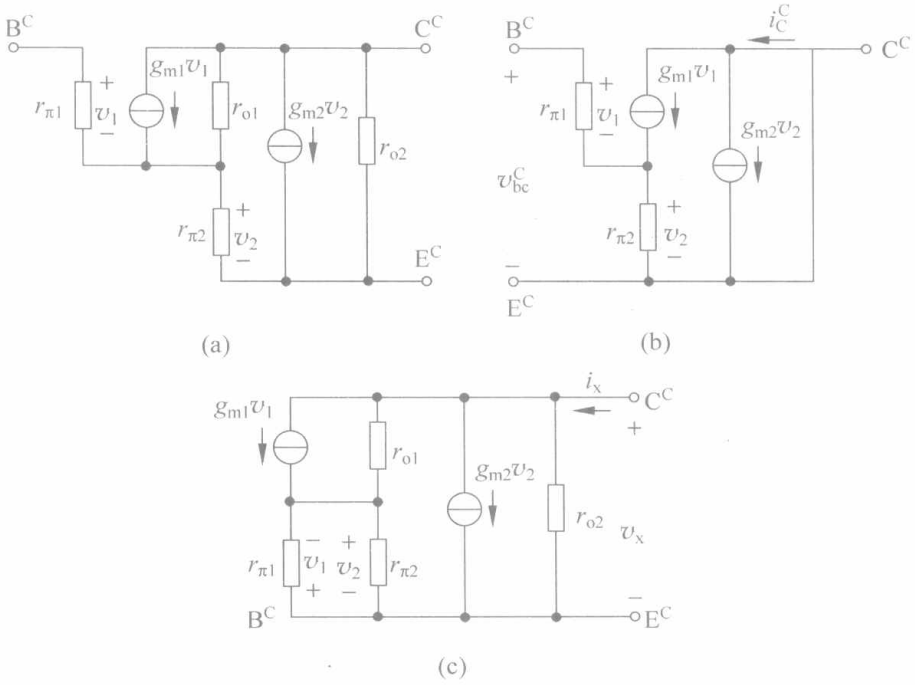


图 12.2　达林顿管的低频小信号电路

(a) 小信号等效电路；(b) 求跨导时的等效电路；(c) 求输出电阻时的等效电路

$$\begin{aligned} r_\pi^C &= r_{\pi1} + (1+\beta_{01})(r_{\pi2} \,/\!/\, r_0) \\ &\approx r_{\pi1} + (1+\beta_{01}) r_{\pi2} \end{aligned} \tag{12.1}$$

式中 β_{01} 为 T_1 管的小信号电流增益。如果忽略基区电阻 r_B，且假定各单管的直流电流增益 β_F 和小信号电流增益 β_0 都近似相等，即 $\beta_{F1} \approx \beta_{F2} \approx \beta_{01} \approx \beta_{02} = \beta_0$，且设 $\beta_0 \gg 1$，因为

$$r_\pi = (1+\beta_0) r_E = (1+\beta_0) \frac{V_t}{I_E} = \frac{V_t}{I_B}$$

式中 V_t 为等效热电压。所以

$$\frac{r_{\pi1}}{r_{\pi2}} = \frac{I_{B2}}{I_{B1}} \approx \beta_0 - \frac{I_0}{I_{B1}} = \beta_0 \left(1 - \frac{I_0}{I_{E1}}\right) \tag{12.2}$$

将式(12.2)代入式(12.1)得

$$r_\pi^C \approx \frac{V_t}{I_{B1}} \left[1 + \frac{1}{1 - \dfrac{I_0}{I_{E1}}} \right] \tag{12.3}$$

复合管的等效直流电流增益 β_F^C 为

$$\beta_F^C = \frac{I_C^C}{I_B^C} = \frac{I_{C1} + I_{C2}}{I_{B1}} = \beta_{F1} + \beta_{F2}\frac{I_{B2}}{I_{B1}} = \beta_F\left(2 + \beta_F - \frac{I_0}{I_{B1}}\right) \tag{12.4}$$

达林顿管的低频小信号电流增益 β_0^C 为

$$\beta_0^C = \frac{i_{c1} + i_{c2}}{i_b} = \frac{\beta_{01} i_{b1} + \beta_{02} i_{b2}}{i_{b1}}$$

因为 $r_0 \gg r_{\pi 2}$，所以 $i_{b2} \approx (1+\beta_{01}) i_{b1}$，代入上式得

$$\beta_0^C \approx \beta_{01} + (1+\beta_{01})\beta_{02} \approx \beta_0^2$$

达林顿管的等效跨导 g_m^C 为输入电压 v_{be}^C 作为单位变化时所引起的短路输出电流 i_c^C 的变化，即

$$g_m^C = \frac{i_c^C}{v_{be}^C} \approx \frac{i_{c2}}{v_{be}^C} \tag{12.5}$$

由求跨导的等效电路图 12.2(b)可得

$$v_{be}^C \approx \left(1 + \frac{r_{\pi 1}}{\beta_{01} r_{\pi 2}}\right) v_2$$

代入式(12.5)得

$$g_m^C \approx \frac{i_{c2}}{v_2\left(1 + \frac{r_{\pi 1}}{\beta_{01} r_{\pi 2}}\right)} = \frac{g_{m2}}{1 + \frac{r_{\pi 1}}{\beta_{01} r_{\pi 2}}}$$

将式(12.2)代入上式，可得

$$g_m^C \approx \frac{g_{m2}}{2 - \frac{I_0}{I_{E1}}} \tag{12.6}$$

达林顿管的等效输出电阻 r_o^C 为输入短路时从输出端视入的戴维宁等效电阻。它可由图 12.2(c)的等效电路求出，图中 v_x 和 i_x 为在输出端所加的试验电压和所产生的试验电流。由等效电路可求得

$$r_o^C \approx \frac{r_{o2}}{1 + \frac{\beta_0}{2\beta_0 - \frac{I_0}{I_{B1}}}} \approx \frac{r_{o2}}{1 + \frac{1}{2 - \frac{I_0}{I_{E1}}}} \tag{12.7}$$

当偏置恒流源 $I_0 = 0$ 时，达林顿管的低频小信号等效参数和直流电流增益变为

$$r_\pi^C = r_{\pi 1} + (1+\beta_{01}) r_{\pi 2} \approx 2 r_{\pi 1} \tag{12.8}$$

$$\beta_F^C \approx \beta_{F1} \cdot \beta_{F2} \tag{12.9}$$

$$\beta_0^C \approx \beta_{01} \cdot \beta_{02} \tag{12.10}$$

$$g_m^C = \frac{1}{2} g_{m2} \tag{12.11}$$

$$r_o^C \approx \frac{2}{3} r_{o2} \tag{12.12}$$

由以上的讨论可见，达林顿管的显著特点是输入电阻 r_π^C 高，电流增益 β_F^C，β_0^C 大，所以在集成电路中得到广泛的应用，但它的跨导和输出电阻比单管小，且芯片面积增大。

当由达林顿管组成 CE 放大级时，由于它的输出电阻小，且 T_1 的集电极-基极电容 C_μ 直接并联在输入和输出端之间，形成密勒电容，降低了电路的 f_{-3dB}。此时可用图 12.3 所示的 CC-CE 单元，它的低频小信号等效参数 r_π^C，β^C，g_m^C 等和达林顿管相同，但输出电阻 $r_o^C = r_{o2}$，比达林顿管的输出电阻大。其 T_1 管的集电极接 V_{CC}，使密勒效应显著减小。等效电路参数如下：

$$r_\pi^C = r_{\pi 1} + (1+\beta_0) r_{\pi 2}$$

$$r_o^C = r_{o2}$$

$$g_m^C = \frac{g_{m2}}{1 + \dfrac{r_{\pi 1}}{(1+\beta_0) r_{\pi 2}}}$$

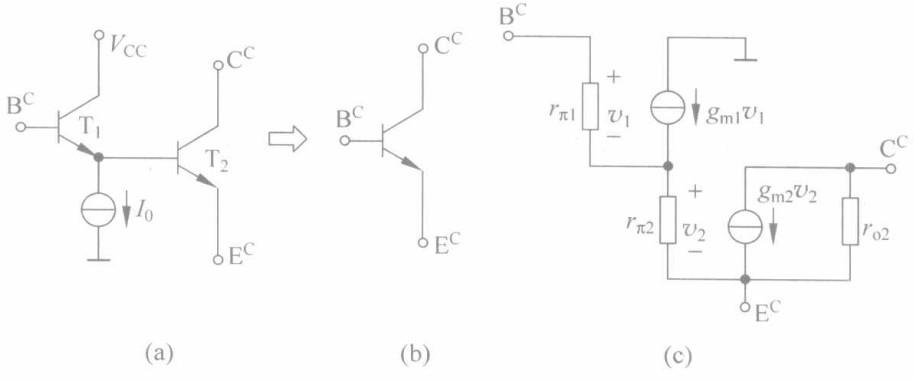


图 12.3　共集-共射(CC-CE)单元

(a) 电原理图；(b) 等效符号；(c) 低频小信号等效电路

2. 复合 PNP 管

在双极模拟集成电路中有时要用到 PNP 管，但一般横向 PNP 管的电流增益较小，在需要较大电流增益的 PNP 管时，可用如图 12.4 所示的复合 PNP 管。它是由一个横向 PNP 管和 NPN 管组合而成，I_0 为偏置恒流源。在电路版图中，它需要两个独立的隔离区，如图 12.4(c)所示。要使这种管子工作于正向工作区，其 C^C 端的电位至少要比 B^C 端低两个正向压降。

复合 PNP 管的低频小信号等效电路如图 12.5(a)所示。假定恒流源 I_0 的内阻 $r_0 \gg r_{\pi 2}$，且 $\beta_{01} \approx \beta_{F1}$，$\beta_{02} \approx \beta_{F2}$，则由等效电路可知

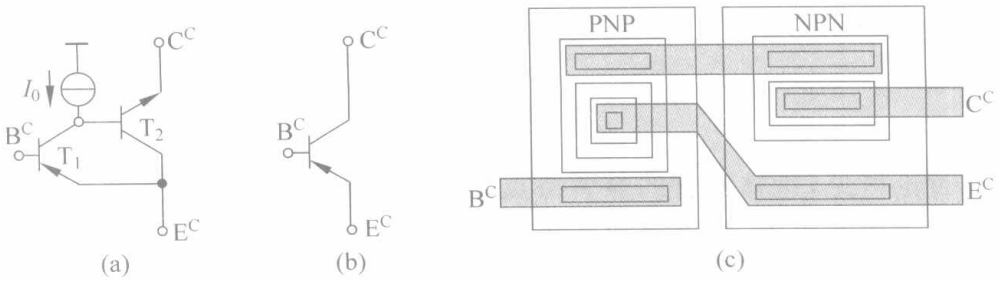


图 12.4　复合 PNP 管

(a) 电路接法；(b) 等效符号；(c) 版图示意图

$$r_\pi^C = r_{\pi 1} \tag{12.13}$$

$$\beta_0^C = \frac{i_c^C}{i_b^C} = \frac{i_{e2}}{i_{b1}} = \frac{\beta_{01} i_{b1}(1+\beta_{02})}{i_{b1}} \approx \beta_{01} \cdot \beta_{02} \tag{12.14}$$

$$g_m^C = \frac{i_c^C}{v_{be}^C} \approx \frac{\beta_{02} i_{c1}}{v_{be1}} = \beta_{02} g_{m1} \tag{12.15}$$

输出电阻可由等效电路 12.5(b)求出，即有

$$r_o^C = \frac{v_x}{i_x} = \frac{r_{o1}}{\beta_{02} + \dfrac{r_{o1}}{r_{o2}}} = \frac{r_{o1}}{\beta_{02}\left[\left(1+\dfrac{\eta_2}{\eta_1}\right) - \dfrac{\eta_2}{\eta_1}\dfrac{I_0}{I_{E1}}\right]}$$

式中 η_1，η_2 分别为 PNP 管和 NPN 管的 Early 因子，$\eta = V_t/V_A$，V_A 为 Early 电压，它反映基区宽度调制效应，V_A 的典型值对于 NPN 管为 50～100V，对于 PNP 管为 50V 左右，若设 $\eta_1 = 2\eta_2$，则当 $I_0 = 0$ 时

$$r_o^C \approx \frac{r_{o1}}{\beta_{02}\left(1+\dfrac{\eta_2}{\eta_1}\right)} \approx \frac{2}{3}\frac{r_{o1}}{\beta_{02}}$$

由上面的讨论可见，复合 PNP 管的输入电阻 r_π^C 和单个 PNP 管一样，而电流增益 β^C 和跨导 g_m^C 都比单个 PNP 管增大了 β_{02} 倍，但输出电阻 r_o^C 则比单个 PNP 管减小了很多。

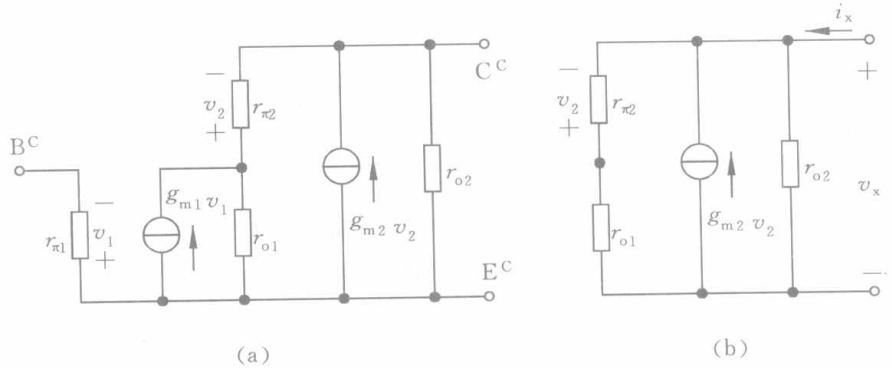


图 12.5　复合 PNP 管

(a) 低频小信号等效电路；(b) 求输出电阻的等效电路

12.1.2 MOS 管放大级

1. 电阻负载 MOS 放大器

图 12.6 为电阻负载 MOS 管放大器的电路图(a)和等效电路图(b)。由等效电路可求得

$$v_o = -iR_L = -\frac{g_m v_i r_{ds}}{r_{ds}+R_L}R_L$$

所以放大倍数 A_R 为

$$|A_R| = \left|\frac{v_o}{v_i}\right| = g_m \frac{r_{ds}R_L}{r_{ds}+R_L} = g_m\ (r_{ds} \mathbin{/\!/} R_L)$$

当 $r_{ds} \gg R_L$ 时,可有

$$|A_R| \approx g_m R_L$$

其输出电阻 r_o 为

$$r_o = (r_{ds} \mathbin{/\!/} R_L) \approx R_L$$

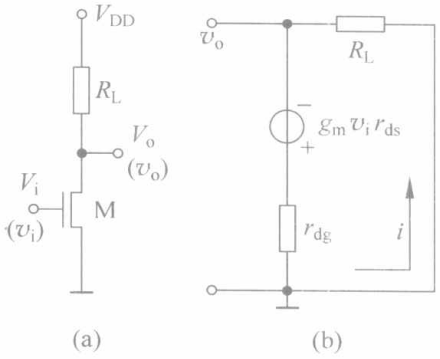


图 12.6 电阻负载 MOS 管放大器

(a) 电路图;(b) 等效电路

2. E/E 放大器

图 12.7 是饱和负载型 E/E 放大器 M_1、M_2 都工作在饱和区,M_1 为放大管,M_2 为负载管。其低频小信号等效电路如图 12.7(b)所示,图中 R_{L2} 为 M_2 管的等效电阻。此放大器的放大倍数可由以下两种办法求得。

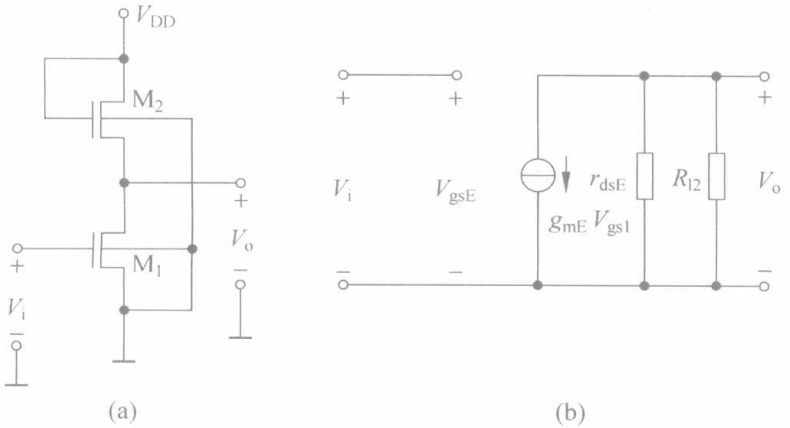


图 12.7 饱和负载型 E/E 放大器

(a) 放大器图;(b) 等效电路

(1) 由 M_1、M_2 两管电流相等来求。

因为两管都工作在饱和区,所以

$$k_L (V_{DD} - V_o - V_{TL})^2 = k_E (V_i - V_{TE})^2$$

式中 k_L、k_E 分别为负载管和放大管的导电因子

$$\frac{k_E}{k_L}=\frac{\left(\frac{W}{L}\right)_E}{\left(\frac{W}{L}\right)_L}$$

在不考虑衬偏调制时，$V_{TE}=V_{TL}=V_T$，于是有

$$V_{DD}-V_o-V_T=\sqrt{\frac{k_E}{k_L}}\ (V_i-V_T)$$

所以

$$|A_E|=\left|\frac{\partial V_o}{\partial V_i}\right|=\left|\frac{v_o}{v_i}\right|=\sqrt{\frac{k_E}{k_L}}=\frac{g_{mE}}{g_{mL}}$$

(2) 由等效电路来求。

因为 $v_o=-g_{mE}v_i\ (r_{ds}/\!/R_{L2})$，所以

$$|A_E|=\left|\frac{v_o}{v_i}\right|=g_{mE}\ (r_{dsE}\ /\!/\ R_{L2})$$

因为通常 $r_{ds}\gg R_{L2}$，所以

$$|A_E|\approx g_{mE}R_{L2}$$

R_{L2} 的值由后边有关有源负载的分析知

$$R_{L2}=\frac{1}{g_{mL}+g_{mbL}}=\frac{1}{(1+\eta_L)g_{mL}}$$

将 R_{L2} 代入上式，可得

$$|A_E|=\frac{g_{mE}}{(1+\eta_L)g_{mL}}$$

式中 $\eta_L=\frac{g_{mbL}}{g_{mL}}$，如果 $\eta_L\ll 1$，衬偏调制效应可以忽略，则

$$|A_E|\approx\frac{g_{mE}}{g_{mL}}$$

由以上的分析可知，只要保证两个 MOSFET 都工作在饱和区，则此放大器的低频小信号电压增益 A_E 主要由两个管子的几何结构决定。目前这种 NMOS E/E 放大器可实现的增益约为 20dB。

E/E 放大器的输入阻抗很高，由 M_1 的栅氧化层的绝缘电阻决定，一般可高达$10^{10}\Omega$ 以上。虽然因为有一定的输入电容，使其在高频时的输入电阻大大下降；加上一般 MOS 反相器的输入端有保护电路(一般为二极管或电阻-二极管)，也会使其输入阻抗下降，即使这样，一般低频小信号交流输入阻抗仍可达$10^8\Omega$ 以上。而一般双极晶体管放大器的输入阻抗约为$10^4\Omega$。

E/E 放大器的交流输出阻抗，可由等效电路得出

$$r_o=(r_{ds}\ /\!/\ R_{L2})$$

3. E/D 放大器

图 12.8 为 E/D 放大器的电路(a)和等效电路图(b)。由图可见,在 E/D 放大器中,由于负载管 M_2 的栅源短接,$V_{GS}=0$,所以 $g_{m2}=0$,其等效电阻 R_{L2} 只受衬偏的调制,因此必须考虑衬偏调制的作用。通过设置工作点使 M_1、M_2 均工作在饱和区,略去沟道长度调制效应,则由图 12.8(b)等效电路可求得此放大器的放大倍数$|A_D|$为

$$|A_D| = g_{m1}\ (r_{ds1} \ /\!/\ R_{L2}) \approx g_{m1}R_{L2}$$

此时 M_2 的等效电阻等于

$$R_{L2} = \left(\frac{\partial I_{D2}}{\partial V_{BS2}}\right)^{-1} = \left(\frac{\partial V_{D2}}{\partial V_o}\right)^{-1} = g_{mb2}{}^{-1}$$

所以

$$|A_D| = g_{m1}g_{mb2}{}^{-1} = \frac{g_{m1}}{g_{m2}} \cdot \frac{g_{m2}}{g_{mb2}} = \frac{1}{\eta_2}\frac{g_{m1}}{g_{m2}} = \frac{1}{\eta_2}\sqrt{\frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_2}}$$

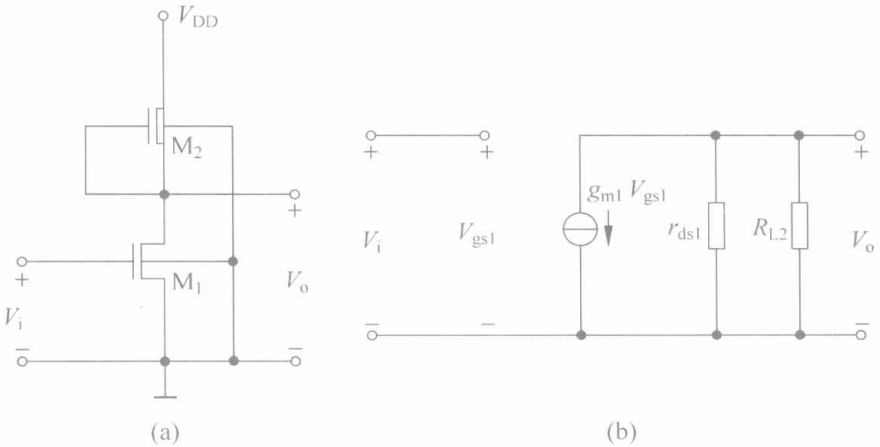


图 12.8 E/D 放大器

(a) 电路图;(b) 等效电路

由以上的分析可知,E/D 放大器的增益受衬偏调制效应的影响显著,通过减小负载管的衬偏调制作用,可以获得较高的增益。在几何尺寸相同的条件下,$|A_D|$约比$|A_E|$ 高$\frac{1}{\eta_2}$倍。

实际上对于任何形式的 MOS 有源负载放大器,减小负载管的衬偏调制作用都可以提高放大倍数,这是因为放大倍数近似正比于负载管的等效电阻,而减小衬偏调制效应,恰恰是加大了此等效电阻。例如对于前面讨论过的 E/E 放大器,如果考虑衬偏调制效应,则负载管 M_2 的等效电阻变为

$$R_{L2} = \frac{1}{g_{ds2} + g_{m2} + g_{mb2}} \approx \frac{1}{g_{m2} + g_{mb2}}$$

式中 $g_{ds2}=1/r_{ds2}$。所以此时 E/E 放大器的放大倍数$|A_E|$ 为

$$|A_E| = g_{m1}R_{L2} = \frac{g_{m1}}{g_{m2}+g_{mb2}} = \frac{1}{1+\eta_2}\cdot\frac{g_{m1}}{g_{m2}}$$

减小衬偏调制效应，使 η_2 减小，同样能提高 E/E 放大器的放大倍数。通常在 E/E 放大器中 $g_{m2} > g_{mb2}$，即 $\eta_2 < 1$，所以

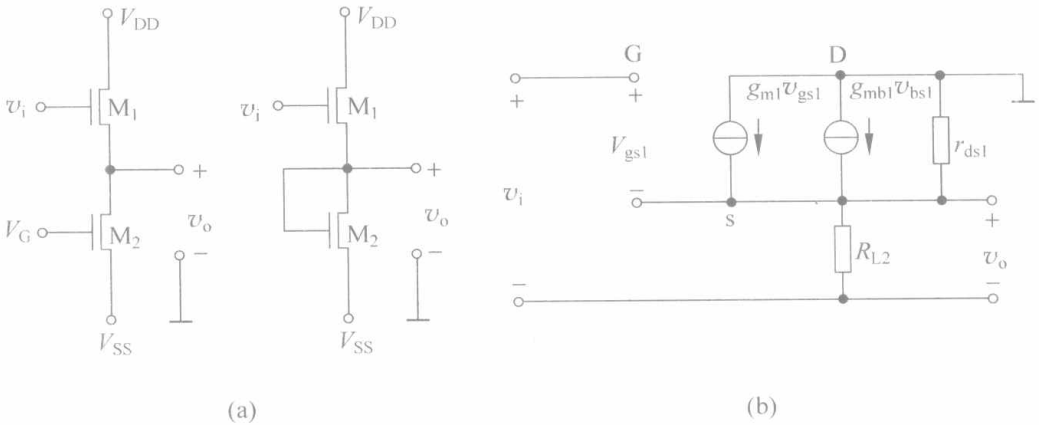
$$|A_E| \approx \frac{g_{m1}}{g_{m2}}$$

E/D 放大器的输出电阻可由等效电路求出

$$r_o = (R_{L2} \;/\!/\; r_{ds1}) = (g_{mb2}^{-1} \;/\!/\; r_{ds1}) \approx \frac{1}{g_{mb2}}$$

4. MOS 源跟随器

MOS 管组成的源跟随器与双极型晶体管的射极跟随器类似，具有输入阻抗高、输出阻抗低、电压增益小于(近于 1)的特点，它在 MOS 集成运放中得到广泛应用。图 12.9 给出了两种 E/E 源跟随器的电路图(a)和等效电路(b)。但在图(a)的左图中，负载管 M_2 的栅电压 V_G 为一常数，所以其源漏电阻 r_{ds2} 变化很小，基本上可以看做常数。而在图(a)的右图中，负载管 M_2 的栅电压 $v_{G2} = v_o$，其栅源电压随输出电压而变化，所以 r_{ds2} 是一个变化的非线性电阻。由图 12.6 可以得到源跟随器的电压增益 A_S 为



(a) (b)

图 12.9 E/E 源跟随器

(a) 电路图；(b) 等效电路

$$A_S = \frac{v_o}{v_i} = \frac{g_{m1}}{g_{m1}+g_{mb1}+g_{ds1}+g_{ds2}} \tag{12.16}$$

式中 $g_{ds1} = 1/r_{ds1}$，$g_{ds2} = 1/r_{ds2}$，通常 g_{ds} 比 g_m 小一、二个数量级，所以上式可近似为

$$A_S \approx \frac{g_{m1}}{g_{m1}+g_{mb1}} = \frac{1}{1+\eta_1} \tag{12.17}$$

由以上分析可见，MOS 源跟随器的电压增益略小于 1，而输入信号与输出信号同相。

根据输出电阻的定义，可以画出求输出电阻的等效电路如图 12.10 所示。由图可得输出电阻 r_o 为

$$r_o = \frac{v_o}{i_2} = \frac{r_{ds1} r_{ds2}}{r_{ds1} + r_{ds2} + (g_{m1} + g_{mb1}) r_{ds1} r_{ds2}}$$

$$= \frac{1}{g_{ds1} + g_{ds2} + g_{m1} + g_{mb1}}$$

通常 g_{ds1}、g_{ds2}较小，于是可得

$$r_o \approx \frac{1}{g_{m1} + g_{mb1}} = \frac{1}{g_{m1}(1 + \eta_1)} \qquad (12.18)$$

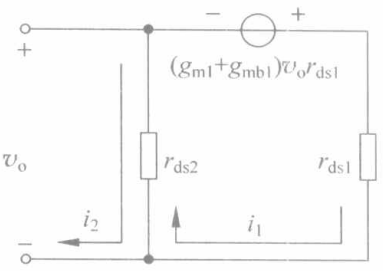


图 12.10　源跟随器的恒压源等效电路

其输出电阻比其他 MOS 放大器的输出电阻小，但和双极晶体管射极跟随器相比，由于 MOS 管的跨导较低，所以 MOS 源跟随器的输出电阻比双极晶体管射极跟随器的输出电阻要大得多。

5. 共栅放大器

图 12.11(a)、(b)分别为共栅放大器的电路图及其等效电路，若把图中的 R_S，R_L 理解为 MOSFET 的等效电阻，则下面讨论的结果，也可用到 E/E 和 E/D 共栅放大器中去。

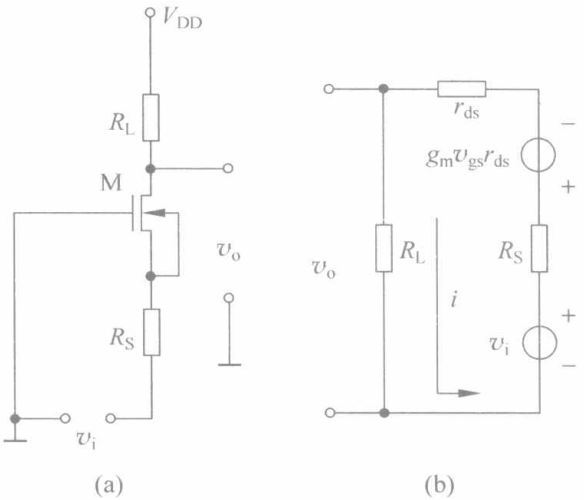


图 12.11　共栅放大器

(a) 电路图；(b) 等效电路

由图 12.11 的等效电路可以得到

$$\begin{cases} iR_L + iR_S - v_i + g_m v_{gs} r_{ds} + i r_{ds} = 0 \\ v_{gs} = iR_S - v_i \\ v_o = -iR_L \end{cases} \qquad (12.19)$$

解以上方程组可得到共栅放大器的电压增益为

$$|A_G| = \left|\frac{v_o}{v_i}\right| = \frac{R_L(1 + g_m r_{ds})}{R_L + R_S + r_{ds} + g_m r_{ds} R_S} \qquad (12.20)$$

由式(12.19)可得此放大器的输入电阻为

$$r_i = \frac{v_i}{i} = \frac{R_L + R_S + r_{ds} + g_m r_{ds} R_S}{1 + g_m r_{ds}} \qquad (12.21)$$

这种放大器的输出与输入同相，且输入阻抗很低，故有特殊用途。

6. 共源共栅(cascode)放大器

图 12.12(a)、(b)分别为共源共栅放大器的电路图和等效电路图，M_1、M_2 组成共源共栅电路，M_3 为负载管，等效电路中的 R_L 为 M_3 的等效负载。如果忽略衬底偏置效应，则由图 12.12 可得

$$\begin{cases} iR_L + ir_{ds2} - g_{m2}v_{gs2}r_{ds2} + ir_{ds1} - g_{m1}v_{gs1}r_{ds1} = 0 \\ v_{gs1} = v_i \\ v_{gs2} = g_{m1}v_{gs1}r_{ds1} - ir_{ds1} \\ v_o = -iR_L \end{cases} \tag{12.22}$$

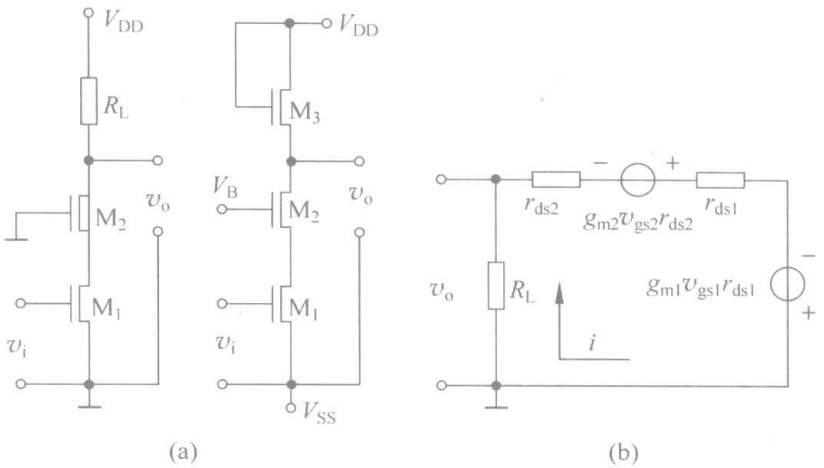


图 12.12　共源共栅放大器

(a) 电路图；(b) 等效电路

解以上方程组可得共源共栅放大器的电压增益

$$A_O = \frac{v_o}{v_i} = -\frac{g_{m1}r_{ds1} + g_{m1}g_{m2}r_{ds1}r_{ds2}}{R_L + r_{ds1} + r_{ds2} + g_{m2}r_{ds1}r_{ds2}}R_L$$

$$= -\frac{g_{m1}R_L r_{ds1}(1 + g_{m2}r_{ds2})}{R_L + r_{ds1}(1 + g_{m2}r_{ds2}) + r_{ds2}}$$

通常 M_2 的跨导较高，常满足 $g_{m2}r_{ds2} \gg 1$，$g_{m2}r_{ds1}r_{ds2} \gg R_L$，所以

$$A_O \approx -g_{m1}R_L = -\frac{g_{m1}}{g_{m3}} = -\sqrt{\frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_3}} \tag{12.23}$$

用类似的方法可以求出 M_1 管的漏极电压 v_{o1} 与输入电压 v_i 之比

$$\frac{v_{o1}}{v_i} = -\frac{g_{m1}}{g_{m2}} = -\sqrt{\frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_2}}$$

共源共栅放大器的特点是可以削弱放大管 M_1 的栅漏电容的影响，有利于展宽频带，并可起到信号与负载的隔离作用。

7. CMOS 放大器

以上介绍的 MOS 放大器均为单沟道 MOS 放大器，它们的缺点是都存在衬偏调制效应，影响了放大倍数的提高，而且衬底偏置效应与掺杂浓度有关。采用 CMOS 放大器可以克服这种效应，下面介绍两种 CMOS 放大器。

(1) 固定栅式 CMOS 放大器

图 12.13(a)和(b)分别是固定栅式 CMOS 放大器的电路图和等效电路图，其中 NMOS 管 M_1 为放大管，PMOS 管 M_2 为负载管，PMOS 管的栅接固定电位 V_B，输入信号只加到 NMOS 管的栅源上，由于阱的隔离作用，两个 MOS 管的衬底可以分别接到各自的源上，因而基本上消除了因衬底偏置效应而导致的性能的退化。

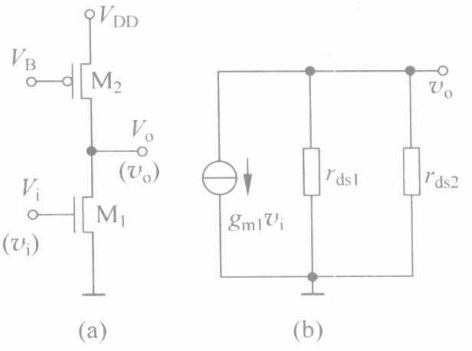


图 12.13　固定栅式 CMOS 放大器

(a) 电路图；(b) 等效电路

由等效电路可以写出此放大器的电压增益 A_C 和输出电阻 r_o 分别为

$$A_C = -g_{m1}(r_{ds1} \,/\!/\, r_{ds2}) = -\frac{g_{m1}}{g_{ds1}+g_{ds2}} \tag{12.24}$$

$$r_o = (r_{ds1} \,/\!/\, r_{ds2}) = \frac{1}{g_{ds1}+g_{ds2}} \tag{12.25}$$

式中 $g_{ds1}=1/r_{ds1}$，$g_{ds2}=1/r_{ds2}$，分别为 NMOS 管和 PMOS 管的源漏输出电导。

(2) CMOS 互补放大器

图 12.14(a)和(b)分别为 CMOS 互补放大器的电路及等效电路。其中 M_1 为 NMOS 管，M_2 为 PMOS 管，两管的衬底与它本身的源短接，$V_{BS}=0$；另外，两管的栅短接，输入信号 v_i 同时作用在两管上。因为两管的沟道不同，所以两管的电流方向相反，因此放大器的输出电流为两管电流之和，即

$$I_o = I_{D1} + I_{D2}$$

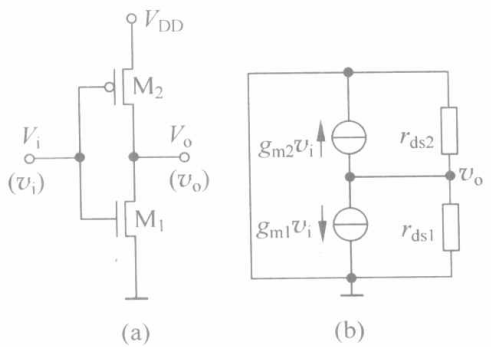


图 12.14　CMOS 互补放大器

(a) 电路图；(b) 等效电路

由等效电路可求得此放大器的电压增益为

$$A_C = \frac{v_o}{v_i} = -\frac{g_{m1}v_i + g_{m2}v_i}{v_i}(r_{ds1}+r_{ds2})$$

若 $g_{m1}=g_{m2}=g_m$，则

$$A_C = -2g_m(r_{ds1}+r_{ds2}) \tag{12.26}$$

输出电阻 r_o 为

$$r_o = (r_{ds1} \,/\!/\, r_{ds2}) \tag{12.27}$$

将式(12.26)、式(12.27)与式(12.24)、式(12.25)相比较，可见在电路参数相同时，CMOS 互补放大器的电压增益是固定栅式 CMOS 放大器电压增益的两

倍，而两者的输出电阻相同；但固定栅式 CMOS 放大器的偏置要求比较简单。

若将 CMOS 放大器的电压增益和输出电阻与 E/E MOS 放大器、E/D MOS 放大器的电压增益和输出电阻相比较，可以看出，由于在一般情况下，g_{ds} 比 g_m 和 g_{mb} 小一两个数量级，因而在相同的工作电流条件下，CMOS 放大器的电压增益远高于 E/E，E/D 放大器，通常可达 50～60dB，其输出电阻也比 E/E，E/D 放大器的输出电阻高；而且 CMOS 放大器有两种性能接近的互补管子，所以可以使许多模拟电路简化。由于以上这些特点，因此 CMOS 放大器被广泛地应用于 MOS 模拟大规模集成电路中。其缺点是工艺复杂、占用管芯面积较大。

12.2 恒流源电路

恒流源电路被广泛用做偏置电路和有源负载。其基本形式为镜像电流源电路，为了简化制造工艺，提高恒流源性能以及适应不同的要求，出现了多种电路形式。

12.2.1 基本恒流源电路

图 12.15 为大家所熟知的双极型基本恒流源电路。假设两管完全相同，T_2 的输出电阻 $r_{o2}\to\infty$，则由图可知：$V_{BE1}=V_{BE2}=V_{BE}$，$I_{E1}=I_{E2}=I_E$，$I_{B1}=I_{B2}=I_B$，则

$$I_o = I_{C2} = I_{C1} = I_r - 2I_B$$

因为

$$I_B=\frac{I_o}{\beta_F}$$

所以

$$I_o=\frac{I_r}{1+\frac{2}{\beta_F}}$$

$$\frac{I_r-I_o}{I_o}=\frac{2}{\beta_F}$$

当 $\beta_F\gg 2$ 时，则 $I_o\approx I_r$，输出电流 I_o 近似等于参考电流 I_r，所以基本恒流源又叫做镜像恒流源。但当 β_F 较小时，I_o 和 I_r 的匹配较差。

在有些使用中，要求 I_o 和 I_r 很对称，或要求一个参考电流带动几个输出电流，此时这种误差将增大为 $I_r-I_o=(n+1)I_B$。这不仅使 I_o 与 I_r 之间有较大的误差，而且使 I_o 随 β_F 而变化。为了减小基极电流产生的误差，常加上射极跟随器缓冲，如图 12.16 所示，如果 T_0 管之放大系数为 β_0，则基本恒流源在加上 T_0 后，基极电流引入的误差就比原来缩小到 $1/(1+\beta_0)$。实际上当 T_0 的 $I_{E0}=(n+1)I_B$ 时，其 β_F 也将比其他管子小。为提供足够的 $(n+1)I_B$，将增加 I_{B0} 的值，从而使误差增大，为此可加入虚线之电阻 R_0，使 $I_{R0}=\frac{V_{BE}}{R_0}=(5\sim10)I_B$，以提高 T_0 管的 β_F 值。因为对 I_{E0} 的要求并不十分精确，所以 R_0 可使用基区沟道电阻。

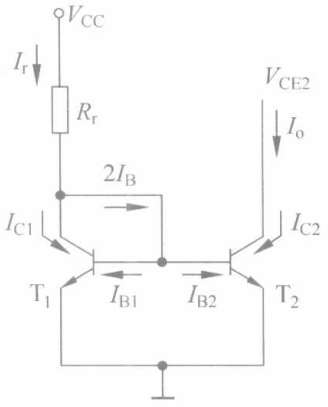


图 12.15　双极型基本恒流源

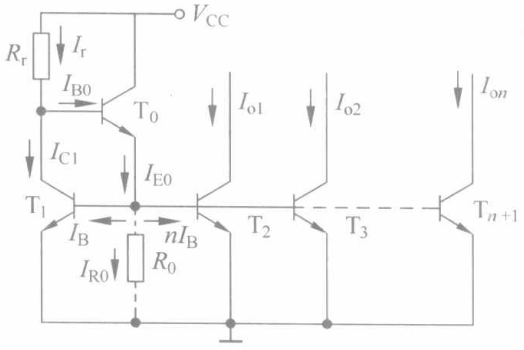


图 12.16　多输出的镜像电流源

MOS 管组成的基本恒流源的形式与双极型基本恒流源电路形式完全类似，如图 12.17(a)所示。

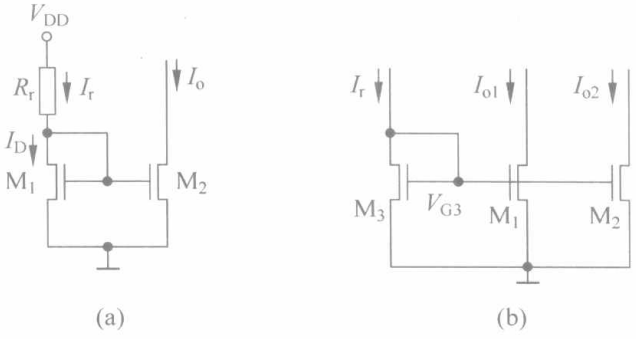


图 12.17　MOS 基本恒流源(a)及多输出恒流源(b)

由图可见

$$I_r = V_{DD} - V_{GS}$$

当两管完全对称时，此恒流源的输出电流 I_o 为

$$I_o = I_D = I_r$$

与上述的双极型基本恒流源相比，因为 MOS 管不存在输入偏置电流的影响，所以在理想的情况下，输出电流 I_o 与参考电流 I_r 相等。但实际上 I_o 与 I_r 之间仍有差别，这主要是由于沟道调制效应的影响。当考虑沟道调制效应后，I_o 为

$$I_o = I_r \cdot \frac{1+\lambda V_{DS2}}{1+\lambda V_{DS1}}$$

式中 λ 为沟道调制系数。

此电路的输出电阻 r_o 为 M_2 管的输出电阻

$$r_o = \left(\frac{\partial I_o}{\partial V_D}\right)^{-1} = \frac{1}{\left[\frac{\mu C_{ox}}{2}\frac{W}{L}(V_{GS}-V_T)^2\right]\lambda}$$

在实际电路中希望 r_o 越高越好，以便得到较好的恒流特性，这可以通过选取具有较小的“λ”的管子（即较长沟道的管子）来实现。当“λ”很小，且保证 $\lambda V_{DS} \ll 1$ 时，输出电阻近似为

$$r_o \approx \frac{1}{\lambda I_o}$$

它也可以和双极型基本恒流源一样，以一个参考电流带动几个输出电流，如 MOS 运放中常用的那样（见图 12.17(b)）。当 I_r 恒定时，V_{GS3} 也是恒定值，这样，就可以保持 I_{o1}、I_{o2} 恒定。若 M_1、M_2、M_3 完全相同，则 $I_r = I_{o1} = I_{o2}$；若三个管子的尺寸不同，则可以导出：

$$I_{o1} : I_{o2} : I_r = \left(\frac{W}{L}\right)_1 : \left(\frac{W}{L}\right)_2 : \left(\frac{W}{L}\right)_3$$

上式表明，可以通过改变管子的尺寸来改变电流比。而双极型恒流源电路为得到与参考电流成比例的输出电流，需采用图 12.18 的结构，或改变 T_1、T_2 两管的有效发射结面积比。

12.2.2 双极型比例恒流源电路

1. 有效发射结面积比例恒流源

通过改变图 12.15 中 T_1、T_2 两个管子的有效发射结面积比，可以改变 I_0 和 I_r 的比值。

由半导体器件知

$$I_E = I_{ES}\exp\left(\frac{V_{BE}}{V_t}\right) \approx A_E \frac{qD_n n_i^2}{W_B N_A}\exp\left(\frac{V_{BE}}{V_t}\right) \tag{12.28}$$

若 T_1、T_2 管的有效发射结面积分别为 A_{E1}，A_{E2}，则

$$\frac{I_o}{I_r} \approx \frac{I_{E2}}{I_{E1}} \approx \frac{A_{E2}}{A_{E1}} \tag{12.29}$$

上式表明，设计不同的两管有效发射结面积比，即可获得不同的电流比。一般 A_{E1}/A_{E2} 取 0.2～5，若两者比例太大，会影响器件间的匹配和跟踪，而且大管所占的管芯面积也会过大。

2. 电阻比例恒流源

图 12.18 为电阻比例恒流源的电路图，在 T_1、T_2 的发射极串入了电阻 R_1、R_2。由电路图知

$$V_{BE1} + I_{E1}R_1 = V_{BE2} + I_{E2}R_2$$

根据式(12.28)和式(12.29)可得

$$\frac{I_{E2}}{I_{E1}} \approx \frac{I_o}{I_r} \approx \frac{R_1}{R_2}\left[1 + \frac{V_t\left(\dfrac{A_{E2}}{A_{E1}} \cdot \dfrac{I_r}{I_o}\right)}{I_r R_1}\right]$$

当 $I_r R_1 \gg V_t \ln\left(A_{E2} I_r / A_{E1} I_o\right)$ 时，有

$$\frac{I_o}{I_r} \approx \frac{R_1}{R_2}$$

上式表明，输出电流与参考电流之比，近似与串接在两管发射极的电阻成反比，而与晶体管的有效发射结面积无关，故这类电路一般取 $A_{E1} = A_{E2}$。

这种电路的输出电阻 R_o 比基本恒流源大，近似为

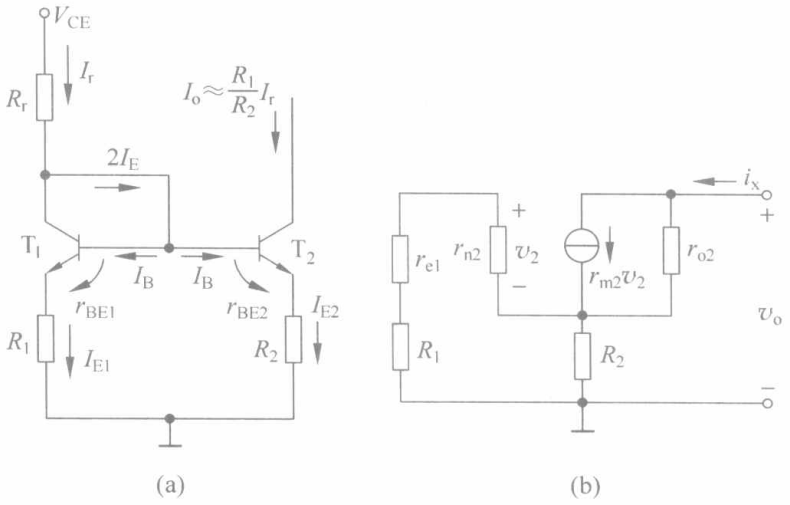


图 12.18　电阻比例恒流源电路

(a) 电路图；(b) 求输出电阻的等效电路

$$R_o \approx \left(1 + \frac{R_2}{R_1 + R_2} \cdot \beta_{02}\right) r_{o2} \approx \frac{R_2}{R_1 + R_2} \beta_{02} r_{o2}$$

即比基本恒流源的输出电阻大了 $\beta_{02} R_2 / (R_1 + R_2)$ 倍。

当要求 I_r 和 I_o 高度对称或几个电流之间的比例高度精确时，可用精密匹配电流镜。

12.2.3　精密匹配电流镜

图 12.19 为精密匹配电流镜电路图，它实际是由 $R_1 = R_2$ 的电阻比例恒流源和加射极跟随器缓冲的基本恒流源结合而成。它能达到精密匹配，是由于采用了以下几个措施：

(1) 增加了 T_3 射随器缓冲，改善了 I_B 引入的电流传输差；

(2) 利用 $R_1 = R_2$ 的负反馈，减小 ΔV_{BE} ($= V_{BE1} - V_{BE2}$) 引入的电流差；

(3) 为抵消 I_{B3} 的影响，在 T_2 的集电极增加射极跟随器 T_4，利用 T_4 的 I_{B4}，抵消 I_{B3}，进一步提高了 I_r 和 I_o 的对称性。

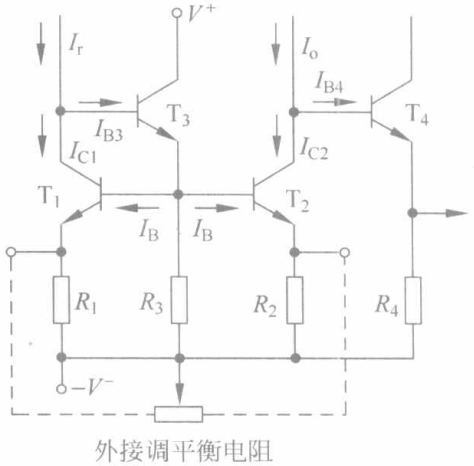


图 12.19　精密匹配电流镜

12.2.4　温度稳定恒流源

当要求恒流源具有最佳补偿的温度特性时，可采用图 12.20 所示的电路，它用了两个接成二极管的三极管 T_1、T_3 作为温度补偿。在适当选取 R_r 和 R_1 的数值后，电路可获得最佳的温度补偿。由图可见，此电路形式与电阻比例恒流源类似，但在 R_1 的支路上加接 CB 短

接的 T_3 管。当管子的 β 很大时，基极电流可忽略，所以

$$I_1 \approx I_3$$

因为 T_1 和 T_3 的特性是一样的，当取 $R_r = R_1$ 时，A 点的电压为

$$V_A = -\frac{V_{EE}}{2}$$

又因为 T_1 和 T_2 特性一致，所以

$$V_B = V_A = V_G - V_{BE} = -\frac{V_{EE}}{2}$$

于是可得

$$I_o \approx I_2 = \frac{V_B - (-V_{EE})}{R_2} = \frac{V_{EE}}{2R_2}$$

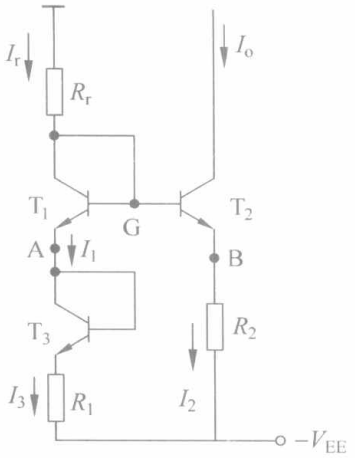


图 12.20　温度稳定恒流源

上式表明，输出电流 I_o 仅与电源电压 V_{EE} 有关，而与 V_{BE} 无关。所以输出电流 I_o 不随温度变化而始终稳定。但实际上 I_o 也与温度有关，它主要取决于 R_2 的温度稳定性，而基区扩散电阻的温度系数为 $(1.5 \sim 2.5) \times 10^{-3}/℃$，还是较小的。

12.2.5　小电流恒流源

双极型小电流恒流源电路如图 12.21 所示，此电路可获得微安量级的输出电流 I_o，而在别的形式的恒流源中，要获得如此小的输出电流，势必要求参考电流 I_r 也很小，这就要求 R_r 很大。例如设 $V_{CC} = 15V$，当要求 $I_o = 10\mu A$ 时，若采用基本恒流源电路，则要求

$$R_r = \frac{V_{CC} - V_{BE}}{I_r} \approx 1.43M\Omega$$

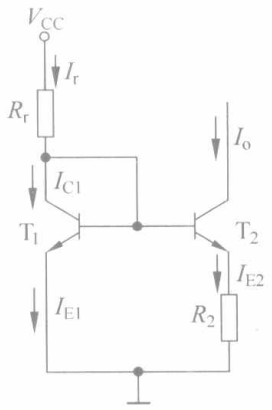


图 12.21　双极型小电流恒流源

这么大的电阻，在集成电路工艺中是较难制造的。而小电流恒流源电路只要用小电阻即可获得微安量级的输出电流。此电路是利用 T_1、T_2 两管不同工作电流时的基极-射极电压差来控制输出电流。若忽略基极电流的影响，则

$$I_{E2} \approx I_o = \frac{V_{BE1} - V_{BE2}}{R_2}$$

假设 T_1、T_2 两管对称，β 足够大，$r_o \to \infty$，则 $I_{E2} \approx I_o$，$I_{E1} \approx I_r$，于是有

$$I_o = \frac{V_t}{R_2} \ln \frac{I_{E1}}{I_{E2}} = \frac{V_t}{R_2} \ln \frac{I_r}{I_o} \tag{12.30}$$

这种电路只要制作中等阻值的电阻，即可获得小的输出电流。例如同样设 $V_{CC} = 15V$，要求 $I_o = 10\mu A$，若 $I_r = 1mA$，则由式(12.30)可求得电阻 $R_r \approx 14.3k\Omega$，$R_2 \approx 12k\Omega$。这些电阻在集成电路中都是可以精确制作的。

由式(12.30)知，若已知参考电流 I_r 和电阻 R_2，可由式(12.30)求出 I_o。但要直接求解此超越方程则是很麻烦的，在实际工作中常采用迭代法(逼近法)或图解法查 I_o-R_r 曲线(见图 12.22)来求 I_o。

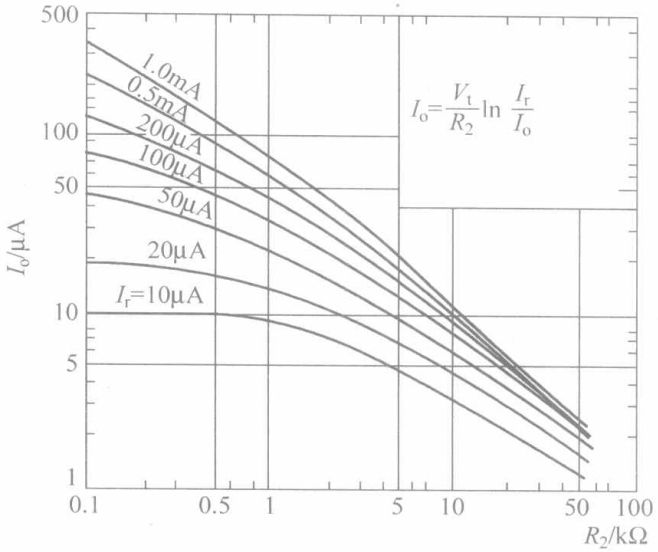


图 12.22　小电流恒流源的 I_o-R_r 关系曲线

此外，小电流恒流源电路还有以下优点：

(1) 对电源电压的变化具有一定的抑制作用。其输出电流对电源电压变化的灵敏度为

$$S_{V_{CC}}^{I_o}=\frac{\frac{\Delta I_o}{I_o}}{\frac{\Delta V_{CC}}{V_{CC}}}=\frac{1}{1+\ln\frac{I_r}{I_o}}$$

当 $I_r \gg I_o$ 时，这种抑制作用是很明显的。

(2) 温度稳定性较好。当 $I_o R_2 \gg V_t$ 时

$$\frac{1}{I_o}\frac{\partial I_o}{\partial T}=\frac{1}{T}\cdot\frac{1}{1+\frac{V_t}{I_o R_2}}-\frac{1}{R_2}\frac{\partial R_2}{\partial T}\approx\frac{1}{T}-\frac{1}{R_2}\frac{\partial R_2}{\partial T}$$

在室温附近 $1/T\approx 3\times10^{-3}/℃$，而基区扩散电阻的温度系数 $(1.5\sim2.5)\times10^{-3}/℃$，两者相互补偿的结果，将使 I_o 的温度系数大为减小。

(3) 输出电阻较大。R_o 为

$$R_o\approx(1+g_{m2}R_2)r_{o2}=\left(1+\frac{I_o R_2}{V_t}\right)r_{o2}$$

12.2.6　威尔逊(Wilson)恒流源

1. 双极型 Wilson 恒流源

图 12.23 为大家所熟知的双极型 Wilson 恒流源电路，此电路的优点是：

(1) 实现了一阶基流补偿，故对称性好。

假定各晶体管都相同，且设各管输出电阻为无穷大，则由图可知

$$I_r = I_{C1} + I_{B2} = I_{C3} + I_{B2} = I_{E2} - 2I_B + I_{B2}$$

所以 $I_r - I_o = 2(I_{B2} - I_B)$。

因为 $I_{B2} \approx I_B$，所以 $I_r - I_o \approx 0$。

(2) 输出电阻 R_o 大，等于 $\frac{1}{2}\beta_0 r_o$，比基本恒流源的输出电阻提高了 $\frac{\beta_0}{2}$ 倍。

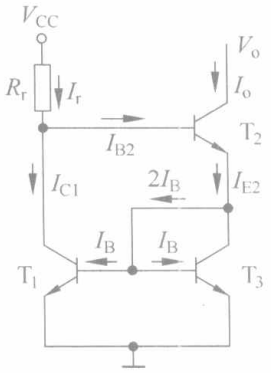


图 12.23　双极型 Wilson 电流源

(3) 稳定性高。因为此电路的输出电阻较大，所以当输出电压变化时，对输出电流 I_o 的影响较小。加上此电路有负反馈环的抑制作用，使 I_o 的稳定性提高，例如因某种原因使 $I_o \uparrow \rightarrow I_{E2}$、$I_{C3} \uparrow \rightarrow I_{C1} \uparrow \rightarrow I_{B2} \downarrow \rightarrow I_o \downarrow$ 。由于此电路实现了一阶基流补偿，所以当温度变化时，$\frac{I_r - I_o}{I_o}$ 受温度的影响较小。

2. MOS Wilson 恒流源

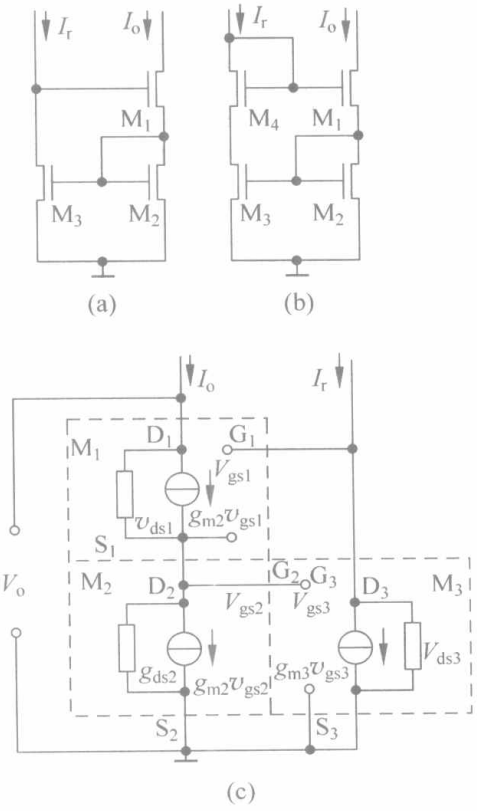


图 12.24　MOS Wilson 电路(a)改进型电路(b)及等效电路(c)

MOS Wilson 恒流源的电路形式与双极型 Wilson 恒流源相似，如图 12.24 (a)所示，(b)为其改进型电路。因为 M_2 工作于饱和区，所以可近似认为其输出导纳 $g_{ds2} \approx 0$。由等效电路可得到

$$i_o = g_{m2}v_{gs2} + g_{ds2}v_{gs2} \approx g_{m2}v_{gs2}$$

$$v_o = (i_o - g_{m1}v_{gs1})r_{ds1} + v_{gs2}$$

$$v_{gs2} = v_{gs3}$$

$$v_{gs1} = (I_r - g_{m3}v_{gs3})r_{ds3} - v_{gs2}$$

解以上方程组可求出输出电阻

$$r_o = \frac{\partial v_o}{\partial I_o} = \frac{1}{g_{m2}} + r_{ds1}\left[1 + \frac{g_{m1}}{g_{m2}}(1 + g_{m3}r_{ds3})\right]$$

当 $g_{m1} = g_{m2} = g_{m3}$，且 $g_{m3}r_{ds3} \gg 1$ 时

$$r_o \approx g_{m3}r_{ds1}r_{ds3}$$

上式表明 Wilson 恒流源的输出电阻 r_o，比单管的输出电阻增加了 $g_{m3}r_{ds3}$ 倍。因而威尔逊恒流源具有更高的输出电阻。

它与双极型 Wilson 恒流源一样，也因为有反馈环，所以可使输出电流稳定度提高。例如假设某种原因使电流源输出电压增高，于是有

$$v_o \uparrow \rightarrow i_o \uparrow \rightarrow v_{gs2} \uparrow \rightarrow v_{ds3} \downarrow \rightarrow v_{gs1} \downarrow \rightarrow i_o \downarrow \rightarrow v_o \downarrow$$

上述过程表明，负反馈环将负反馈引到 M_1 的栅上，使得输出电流 i_o 的变化得到补偿，从而获得更高的输出电阻，提高了恒流源输出电流的稳定性。

图 1.24(b)所示的改进型 Wilson 恒流源中增加了一个 M_4 管，只要 M_1 和 M_4 完全相同，就可以使 M_2、M_3 在相同的源漏电压下工作。这样一来，I_o 和 I_r 相差就更少了。

12.2.7 PNP 恒流源

在双极模拟集成电路中，一般选用 NPN 管作为放大器件，它需要互补的 PNP 管作为有源负载以增加增益，所以 PNP 恒流源在双极模拟电路中得到广泛的应用。各种 NPN 恒流源都可化为 PNP 恒流源，只要以 PNP 管代替 NPN 管并改变电源接法和电流的方向，如图 12.25 所示的 PNP 基本恒流源及其改进型电路。该电路输出电流 I_o 与参考电流 I_r 之差为

$$I_r - I_o = 2I_B = 2I_o/\beta$$

所以 I_o 与 I_r 的相对误差为

$$\frac{I_r - I_o}{I_o} = \frac{2}{\beta}$$

因为在集成电路中的 PNP 管一般为横向 PNP 管，$\beta \approx 5$，所以

$$\frac{I_r - I_o}{I_o} = \frac{2}{5} = 40\%$$

为了减小由于 β 小造成的误差，可采用图 12.25(b)所示的改进型电路。假设各管子的参数都相同，所以 $I_{C1} = I_{C2}$，对图中的 P 点、G 点分别用节点电流法，可得

$$I_{C1} + 2\frac{I_{C1}}{\beta} = I_{E3} = I_o\left(1 + \frac{1}{\beta}\right)$$

$$I_{C2} + \frac{I_o}{\beta} = I_r$$

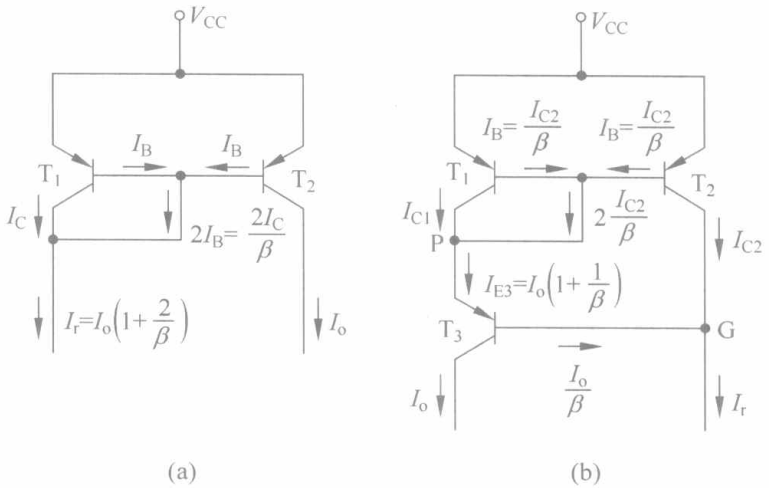


图 12.25　PNP 基本恒流源及其改进电路

(a) 基本恒流源；(b) 改进电路

解上述方程组得到

$$I_r = I_o\left(1+\frac{2}{\beta^2+2\beta}\right) \tag{12.31}$$

此时若 $\beta=5$，则误差变为

$$\frac{I_r-I_o}{I_o}=\frac{2}{\beta^2+2\beta}<6\%$$

这种改进型 PNP 恒流源电路不仅减小了输出电流 I_o 与参考电流 I_r 之差，而且由于在 T_3 的发射极到 T_2 的基极形成了电流负反馈，从而提高了输出电流 I_o 的稳定程度。例如，假设温度变化引起 I_o 上升，使 I_{E3} 上升，亦即使 I_{C1} 上升，最终导致 I_{C2} 上升，因为 I_r 是稳定的，所以 $I_r-I_{C2}=\dfrac{I_o}{\beta}$ 下降，从而引起 I_o 下降。显然，这种改进型 PNP 恒流源的输出电流比较稳定，并有较高的输出阻抗。

由于横向 PNP 管容易做成共基极多发射极多集电极结构，而且各集电极的电流比，精确地取决于各集电极对应的有效发射区周长之比。这正符合恒流源设计的要求，给电路设计带来很多方便，且可节省隔离岛的数目，减小管芯的面积。如图 12.26 是一个由 PNP 管组成的多输出比例恒流源电路，共基极的各管可共用一个隔离岛，不同的电流比，可以通过不同的有效发射区周长比来实现。当这个电路的总发射极电流 I_E 较小时，可以简化成图 12.26(b)、(c)所示的，由一个或二个横向 PNP 管来实现。图 12.27 是它们的版图示意图。

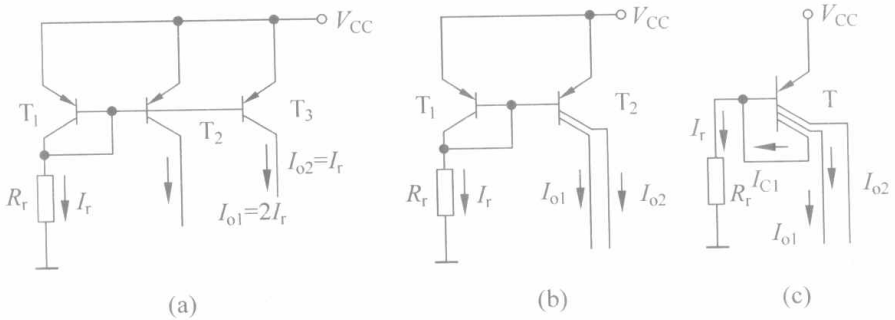


图 12.26　PNP 多输出恒流源

(a) 三管电路；(b) 双管电路；(c) 单管电路

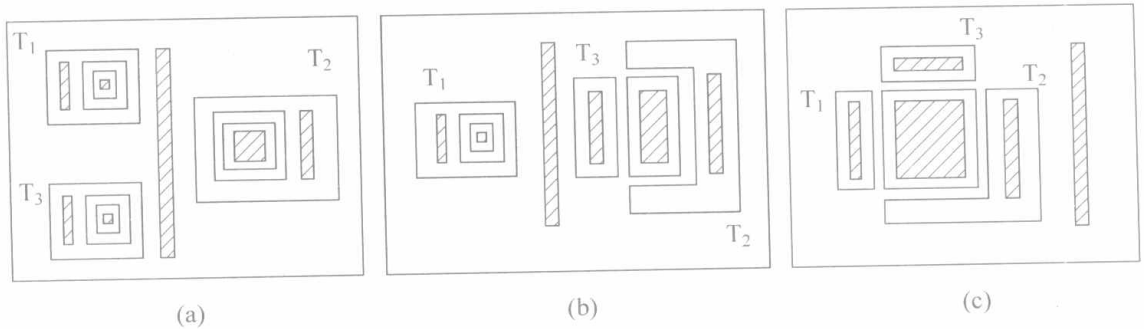


图 12.27　PNP 多输出恒流源版图示意图

(a) 三管电路；(b) 双管电路；(c) 单管电路

12.2.8 JFET 恒流源

在双极集成运放及其他模拟集成电路中还经常使用在外延层上形成的 N 沟结型场效应管 JFET 作为恒流源，它是利用 P 型衬底和顶部基区扩散通过 P^+ 隔离槽连接在一起作为 JFET 的栅极 G，外延层为沟道。它的输出特性如图 12.28 所示。和双极晶体管类似，输出特性的延长线也和 V_{DS} 轴交于一点 V_A，也称为厄莱电压，它反映有效沟道长度 L_{eff} 受漏-栅耗尽层的调制作用，它将随着 $L/2a$ 的增大而提高，一般为 50～100V。由输出特性曲线可见，当 $V_{DS} \geqslant V_p$（称为夹断电压）时，由于沟道夹断，I_{DS} 达到某一饱和值 I_{DSS}，输出电流 I_{DS} 基本不变，利用此特性，可用做恒流源。

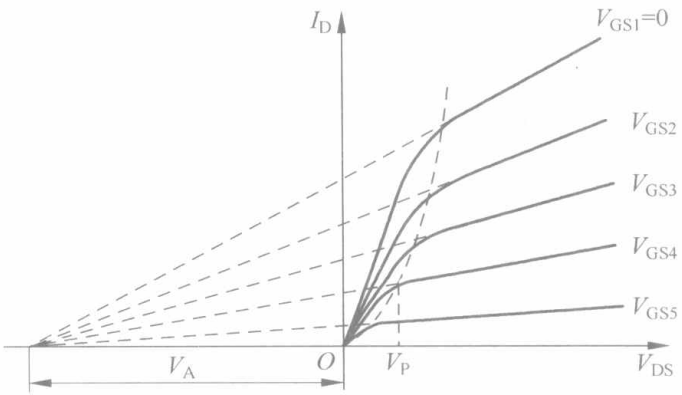


图 12.28　N-JFET 输出特性和厄莱电压 V_A

这类电路结构简单、工艺与双极模拟集成电路相兼容。但 I_{DSS} 不易控制，所以常用于要求不高的启动电路（见第 15 章集成稳压器的启动电路一节）。

其应用电路主要有以下两种：

(1) 栅-源短接（$V_{GS}=0$），以饱和电流 I_{DSS} 作为供偏置用的输出电流，如图 12.29(a) 所示。

(2) 栅-源间有负偏压（$V_{GS} \neq 0$），如图 12.29(b) 所示。因此时 $V_{GS}<0$，所以输出电流 I_{DSS} 更小。加负偏置的方法是在 JFET 的源极接一个电阻 R_S 或一个齐纳二极管或几个二极管，利用电阻 R_S 上的电压降、稳压管的稳定电压 V_Z 或几个 PN 结的正向压降 nV_{BE}，作为 JFET 的栅偏压。

在实际电路中，有时也将上述 N 沟 JFET 简单恒流源与其他基本结构的恒流源组合成一个恒流源，如图 12.30 所示。它是以 JFET 之输出，作为 T 之输入，形成 PNP 恒流源之参考电流 I_r，以使 PNP 恒流源的输出电流 I_o 更稳定。通过控制 JFET 的图形尺寸，得到一定偏压下的 I_{DSS}，改变 R 或 D_Z，可以得到不同输出电流 I_o 值的恒流源。

$$I_o \approx I_r = \frac{V_Z - V_{BE}}{R}$$

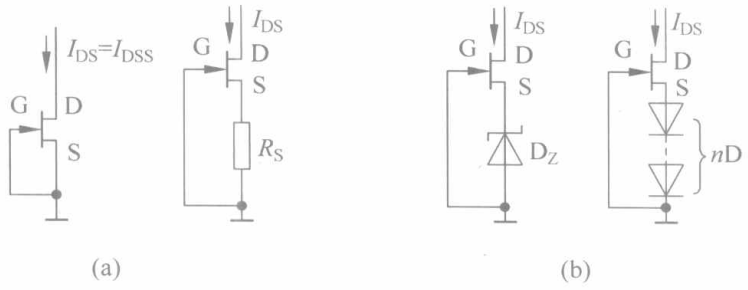


图 12.29　N 沟道 JFET 简单恒流源

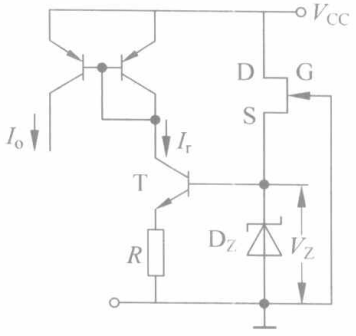


图 12.30　由几种基本结构的恒流源组成的恒流源

12.3　偏置电压源和基准电压源电路

在集成电路内部经常需要高质量的内部稳压源，以提供稳定的偏置电压或作为基准电压。一般要求这些电压源的直流输出电平较稳定，而且这个直流电平应该对电源电压和温度不敏感。

在集成电路中，与电源电压无关的常用标准电压有以下三类：

(1) BE 结二极管的正向压降 V_{BE}，$V_{BE}=0.6\sim0.8\text{V}$，它的温度系数 $\dfrac{\partial V_{BE}}{\partial T}\approx-2\text{mV/℃}$；

(2) 由 NPN 管反向击穿 BE 结构成的齐纳二极管的击穿电压 V_Z，$V_Z=6\sim9\text{V}$，它的温度系数 $\dfrac{\partial V_Z}{\partial T}\approx+2\text{mV/℃}$；

(3) 等效热电压 $V_t=26\text{mV}$，温度系数 $\dfrac{\partial V_t}{\partial T}\approx+0.086\text{mV/℃}$。

由上可见，这三种标准电压的温度系数有正、有负。利用 V_{BE} 和 V_Z，V_t 的温度系数符号相反以及集成电路中元器件间匹配和温度跟踪较好的特点，将这三种标准电压加以不同的组合，可望得到不同的对电源电压和温度不敏感的电压源和基准电压。下面重点介绍两种双极型基准电压源电路和两种 MOS 基准电压源电路。

12.3.1　双极型三管能隙基准源

图 12.31 为双极型三管能隙基准源电路，图中的 T_1，T_2，R_1，R_3 组成小电源恒流源，因为集成 NPN 管的 β_F 很大，所以 I_B 可忽略。由图可见

$$I_2R_3=V_{BE1}-V_{BE2}=\Delta V_{BE}$$

所以

$$V_2\approx I_2R_2=\frac{R_2}{R_3}\Delta V_{BE}$$

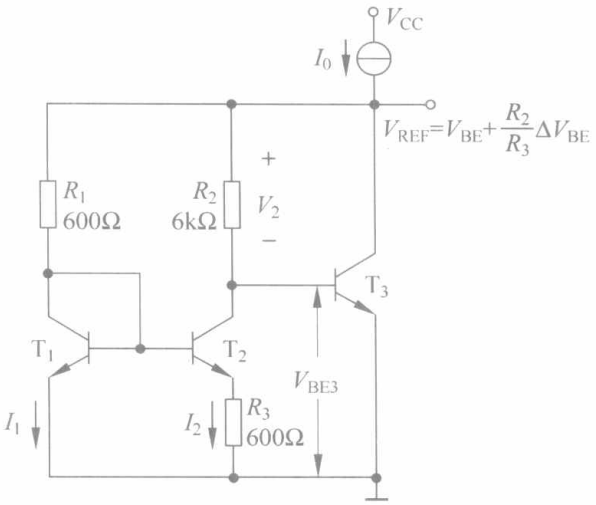


图 12.31　三管能隙基准源

此电路的输出基准电压 V_{REF} 为

$$V_{REF} = V_{BE3} + V_2 = V_{BE} + \frac{R_2}{R_3}\Delta V_{BE} \tag{12.32}$$

其中

$$\Delta V_{BE} = \frac{kT}{q}\ln\frac{I_{E1}/A_{E1}}{I_{E2}/A_{E2}} = \frac{kT}{q}\ln\frac{J_1}{J_2} \tag{12.33}$$

式中 I_{E1}，I_{E2}，A_{E1}，A_{E2}，J_1，J_2 分别为 T_1，T_2 管的发射极电流、有效发射结面积和发射极电流密度。将式(12.33)代入式(12.32)可得

$$V_{REF} = V_{BE} + \frac{R_2}{R_3}\frac{kT}{q}\ln\frac{J_1}{J_2} = V_{BE} + \frac{R_2}{R_3}V_t\ln\frac{J_1}{J_2} \tag{12.34}$$

由上式可知，利用等效热电压 V_t 的正温度系数和 V_{BE} 的负温度系数相互补偿，可使输出基准电压的温度系数接近为零。

由文献[①]知

$$V_{BE}(T)\mid_{I_C=常数} = V_{g0}\left(1-\frac{T}{T_0}\right)+V_{BE0}\left(\frac{T}{T_0}\right)+\frac{nkT}{q}\ln\frac{T_0}{T} \tag{12.35}$$

式中 $V_{g0}=1.205\text{V}$，是温度为 0K 时的硅外推能隙电压；n 为常数，其值与晶体管的制作工艺有关，对于集成电路中的双扩散晶体管，$n=1.5\sim2.2$；T_0 为参考温度。假设 R_2/R_3，J_1/J_2 与温度无关，则我们可以令在 $T=T_0$ 时的基准电压的温度系数为零，即 $\partial V_{REF}/\partial T=0$，来求得在参考温度 T_0 附近时，基准电压和温度的关系。

① I. S. Brugler. Silicon Transistor Biasing for Linear Collector Current Temperature Dependence. IEEE J. Solid-State Circuits, Vol. SC-2, June 1967. pp. 57～58

将式(12.35)代入式(12.34)并令$\partial V_{REF}/\partial T=0$,可得

$$V_{REF}\mid_{T=T_0}=V_{BE0}+\frac{R_2}{R_3}\frac{kT_0}{q}\ln\frac{J_1}{J_2}$$
$$=V_{g0}+n\frac{kT_0}{q} \tag{12.36}$$

实际上$nkT_0/q\ll V_{g0}$,于是

$$V_{REF}\mid_{T=T_0}\approx V_{g0}$$

这说明在选定参考温度T_0后,只要适当设计R_2/R_3和J_1/J_2,即可使在该温度下基准电压的温度系数接近零。由于这种温度系数为零的基准电压,其值接近于材料的能隙电压V_{g0},所以称为能隙基准源。

假设T_1,T_2的几何尺寸相同,晶体管的β_F较大,则$J_1/J_2=I_{E1}/I_{E2}\approx\frac{I_1}{I_2}$,由图12.31可见

$$I_1R_1+V_{BE1}=V_{REF}=I_2R_2+V_{BE3}$$

所以$I_1R_1\approx I_2R_2$,代入式(12.36)可得

$$V_{REF}\mid_{T=T_0}=V_{BE0}+\frac{R_2}{R_3}\frac{kT_0}{q}\ln\frac{R_2}{R_1}=V_{g0}+n\frac{kT_0}{q} \tag{12.37}$$

由于在工艺上V_{BE}值和电阻的比值都较易控制,所以这类电源的输出基准电压可调得较准。

当需要较高的基准电压时,可采用图12.32所示的电路。它是在三管能隙基准源的输出基准电压上再叠加V_{BE}和增加电阻比值,以实现接近5V的输出基准电压。

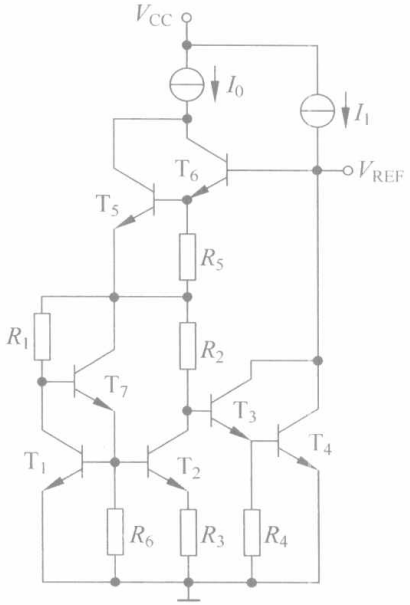


图12.32 输出接近为5V的能隙基准源

12.3.2 双极型二管能隙基准源

上述的三管能隙基准源输出是V_{g0}整数倍的基准电压,若要求输出电压不是V_{g0}的整数倍,可用二管能隙基准源,图12.33为两管能隙基准源的电路图。它的电路比较简单,T_3,T_4为PNP恒流源,作为T_1,T_2管集电极的有源负载,设

$$\frac{I_{C3}}{I_{C4}}=\frac{I_{C1}}{I_{C2}}\approx\frac{I_{E1}}{I_{E2}}=p$$

则由图可得

$$V_{R2}=(I_{E1}+I_{E2})R_2=(1+p)R_2\frac{\Delta V_{BE}}{R_1}$$
$$=(1+p)\frac{R_2}{R_1}\frac{kT}{q}\ln\frac{J_1}{J_2}$$

所以

$$V_{REF}=V_{BE}+V_{R2}=V_{BE}+(1+p)\frac{R_2}{R_1}\frac{kT}{q}\ln\frac{J_1}{J_2} \tag{12.38}$$

与分析三管能隙基准源类似，令$\frac{\partial V_{REF}}{\partial T}=0$，可得

$$V_{REF}\mid_{T=T_0}=V_{BE0}+(1+p)\frac{R_2}{R_1}\frac{kT_0}{q}\ln\frac{J_1}{J_2}=V_{g0}+n\frac{kT_0}{q}$$

所以可以通过控制有效发射结面积比 A_{E1}/A_{E2} 或 A_{E3}/A_{E4} 及电阻比 R_2/R_1 来获得接近零温度系数的基准源。因为 $A_{E1}/A_{E2}=L_{E1}/L_{E2}$，$A_{E3}/A_{E4}=L_{E3}/L_{E4}$ 的控制相对比较容易，而且控制精度较高，所以它只要精确修正一个电阻值(用离子注入电阻改变注入剂量，或用金属膜电阻并采用激光修正阻值工艺)即可精确控制 V_{REF} 值。

例如取 $p=1$，$A_{E2}/A_{E1}=10$，$R_2=10\text{k}\Omega$，$R_1=2\text{k}\Omega$，设 $V_{BE}=0.65\text{V}$，则 $V_{REF}\approx1.25\text{V}$。

若需要较高的基准电压，可采用图 12.34 所示的电路。左边虚线框内为两管能隙基准源，显然，此时输出电压 V'_{REF} 为

$$V'_{REF}\approx V_{REF}+\left(\frac{V_{REF}}{R_5}\right)R_4$$

$$=V_{REF}\left(1+\frac{R_4}{R_5}\right)\approx V_{g0}\left(1+\frac{R_4}{R_5}\right)$$

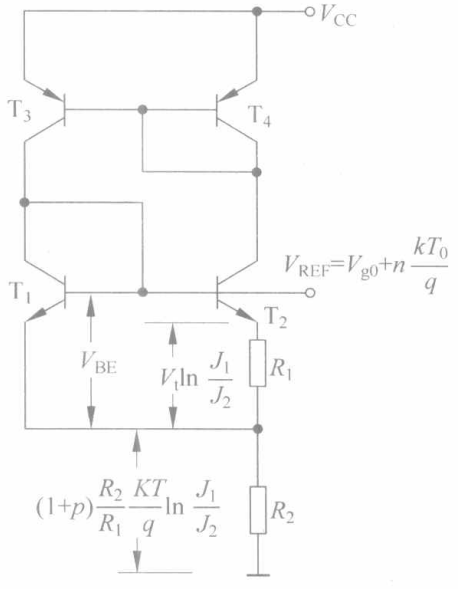


图 12.33　两管能隙基准源

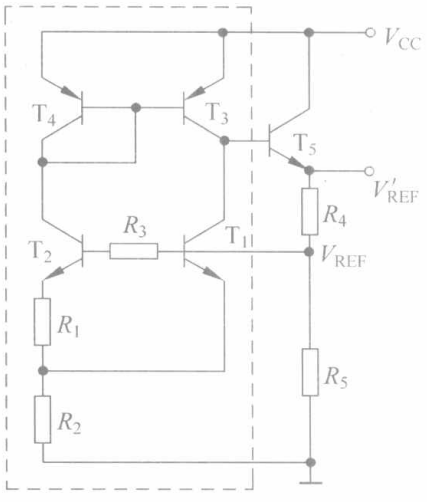


图 12.34　输出电压较高的能隙基准源

改变 R_4/R_5 的比值，即可获得不同的 V'_{REF} 输出，而又不会影响获得零温度系数的条件。适当选取 R_3 的阻值，即可补偿由于基极电流流经 R_4 产生的影响。采用这种电路可获得温漂小于 0.01%/℃，电压精度高达 0.1%，而输出不是 V_{g0} 整数倍的基准电压。

由以上的讨论可以看出，在双极电路中，EB 结压降是重要的电参数，它随温度有明显

的变化。能隙基准源就是通过合理的电路设计，设法补偿 V_{BE} 随温度变化对输出电压的影响，以获得接近零温度系数的基准源。而在 MOS 电路中的重要电参数是 MOSFET 的开启电压，它也随温度有明显的变化。我们同样可以通过合理的电路设计，来获得接近零温度系数的基准电压源。下面介绍两种 MOS 基准电压源。

12.3.3 E/D NMOS 基准电压源

E/D NMOS 基准电压源是利用增强型与耗尽型 MOSFET 的开启电压之差形成温度稳定的基准电压源。

由器件物理可知，如果忽略衬底偏置效应，则增强型与耗尽型 MOSFET 的开启电压 V_{TE}，V_{TD} 为

$$V_{TE} = V_{FB} + |2\varphi_F| + \frac{|Q_B|}{C_{ox}} \tag{12.39}$$

$$V_{TD} = V_{FBN} - \frac{|Q_I|}{\overline{C}} + \frac{|Q_B|}{\overline{C}} = V_{FB} + \varphi_{bi} - \frac{|Q_I|}{\overline{C}} + \frac{|Q_B|}{\overline{C}} \tag{12.40}$$

式中：V_{FB} 为增强型 MOSFET 的平带电压；

V_{FBN} 为耗尽型 MOSFET 的平带电压；

φ_F 为费米势；

φ_{bi} 为注入沟道与衬底之间的内建势；

Q_B 为耗尽层中单位面积的电荷量；

Q_I 为单位面积的注入电荷量；

C_{ox} 为单位面积的栅氧化层电容；

$\overline{C}$ 为 C_{ox} 与注入沟道的深度形成的电容之串联值。

式(12.39)和式(12.40)中的 V_{FB}，φ_F 和 φ_{bi} 都随温度而变，并且式中的其他参数是与工艺条件密切相关的，所以 V_{TE}，V_{TD} 都不宜作为基准电压。下面讨论它们的差与温度的关系，由式(12.39)，式(12.40)可得

$$V_{TE} - V_{TD} = [(V_{FB} + 2|\varphi_F|) - V_{FBN}] + \left[\frac{|Q_B|}{C_{ox}} - \frac{|Q_B|}{\overline{C}}\right] + \frac{|Q_I|}{\overline{C}}$$

在一般情况下 $2|\varphi_F| \approx \varphi_{bi}$，$\overline{C} \approx C_{ox}$，所以

$$V_{TE} - V_{TD} \approx \frac{|Q_I|}{\overline{C}}$$

而 Q_I 与温度无关，而且很容易控制。所以

$$\frac{d(V_{TE} - V_{TD})}{dT} \approx 0$$

实测也证明了这点。以上的分析表明：可以利用 N 沟道增强型和耗尽型 MOSFET 的开启电压之差，来获得温度稳定性能较好的基准电压源。

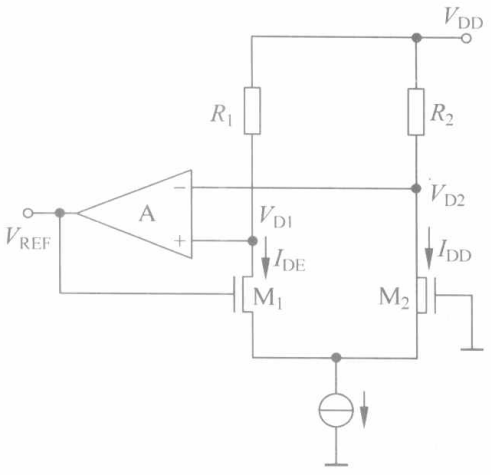


图 12.35　E/D NMOS 基准电压源原理图

利用上述原理构成的基准电压源的框图如图 12.35 所示。图中 M_1 是增强型管，M_2 是耗尽型管，A 是一差分放大器，它接成负反馈的工作方式，$R_1=R_2$，M_1，M_2 的栅源电压之差作为基准输出电压，即

$$V_{REF}=A(V_{D1}-V_{D2})=V_{GSE}-V_{GSD} \tag{12.41}$$

式中 A 为差分放大器的电压增益，V_{GSE}，V_{GSD} 分别为增强型管与耗尽型管的栅源电压。

在工作过程中，若由于某种原因引起 V_{D1} 上升，将会引起 V_{REF} 的上升，从而使 I_{DE} 上升，最终导致 V_{D1} 下降，这样保证了 V_{REF} 的稳定性。下面分析 V_{REF} 的温度稳定性。

此电路要求 M_1，M_2 工作于饱和区（这可以通过参数的合理选择做到），如果设计成 $I_{DE}=I_{DD}=I_D$，则有

$$V_{REF}=(V_{TE}-V_{TD})+\sqrt{\frac{I_D}{k_E}}-\sqrt{\frac{I_D}{k_D}}$$

所以

$$\begin{aligned}\frac{dV_{REF}}{dT}&=\frac{d}{dT}(V_{GSE}-V_{GSD})\\&=\frac{d}{dT}(V_{TE}-V_{TD})+\frac{1}{2\sqrt{I_D}}\left[\frac{1}{\sqrt{k_E}}-\frac{1}{\sqrt{k_D}}\right]\frac{dI_D}{dT}\\&\quad+\frac{\sqrt{I_D}}{2}\left[\frac{1}{\sqrt{k_D}}\frac{1}{\mu_D}\frac{d\mu_D}{dT}-\frac{1}{\sqrt{k_E}}\frac{1}{\mu_E}\frac{d\mu_E}{dT}\right]\end{aligned} \tag{12.42}$$

由上式可见，对于图 12.35 所示的基准电压源，其温度系数决定于三个因素，即 M_1，M_2 的开启电压之差的温度系数，M_1，M_2 漏极电流 $I_{DE}=I_{DD}=I_D$ 的温度系数及沟道电子迁移率 μ_E，μ_D 的温度系数。

下面分别分析这三个因素的影响。

1. 增强型和耗尽型 MOSFET 开启电压之差的温度系数的影响

实际测得的开启电压随温度变化的关系如图 12.36 所示，由图曲线可得 $\frac{d(V_{TE}-V_{TD})}{dT}=-0.176\text{mV/℃}$，这个数值与理论分析结果（−0.189mV/℃）十分相

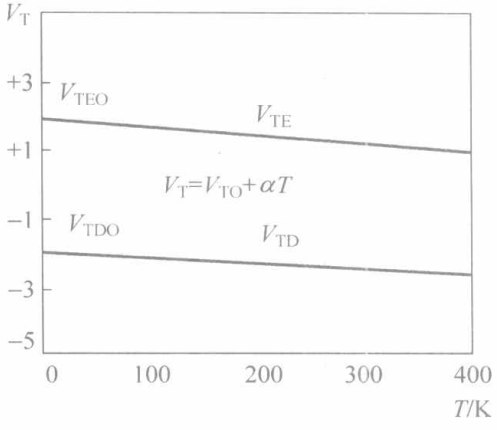


图 12.36　开启电压随温度的变化
$\alpha_E=-2.441E-3$，$\alpha_D=-2.265E-3$

近。这表明($V_{TE}-V_{TD}$)具有负的温度系数，当掺杂浓度一定时它是一个常数，所以($V_{TE}-V_{TD}$)将随温度而线性变化，温度升高，($V_{TE}-V_{TD}$)线性减小。

2. M_1、M_2 偏置电流的影响

由式(12.42)可见，第二项可通过选择参数使之趋近于零，若选取

$$\mu_E\left(\frac{W}{L}\right)_E=\mu_D\left(\frac{W}{L}\right)_D \tag{12.43}$$

就可以达到这一目的。式中 $\left(\frac{W}{L}\right)_E$、$\left(\frac{W}{L}\right)_D$ 分别为增强型管和耗尽型管的宽长比。式(12.42)中的第三项，应通过设计尽量使它的绝对值和同式中第一项的数值接近，而符号相反，以便两者相互抵消一部分，从而获得很好的温度系数。假设增强型和耗尽型MOSFET中的电子迁移率随温度的变化均正比于 $T^{-\frac{3}{2}}$，加上式(12.43)已限定 $k_E=k_D$，所以式(12.42)中的第三项能否和第一项很好地抵消，关键在于工作电流 I_D 的选择以及 I_D 的温度稳定性。实验测定的增强型和耗尽型管的 V_{GS}-$\sqrt{I_D}$ 关系曲线如图 12.37、图 12.38 所示。由曲线可见，当温度变化时，所有的曲线交于一点(称为零温度系数点)，而且对于这两种器件，该交点所对应的电流近似相等。因此，当基准电压源中的 M_1、M_2 均偏置在此电流时，它们各自的 V_{GS} 随温度的变化最小。虽然 V_{REF} 的温漂是与 M_1、M_2 的 V_{GS} 差值($V_{GSE}-V_{GSD}$)的温漂有关，但若它们各自的 V_{GS} 随温度的变化较小时，也将有利于减小 V_{REF} 的温度系数。

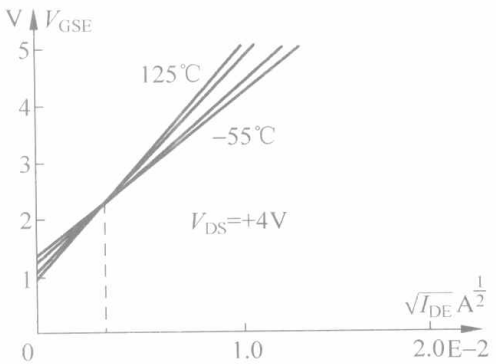


图 12.37　增强型 MOSFET 的栅源电压随电流的变化

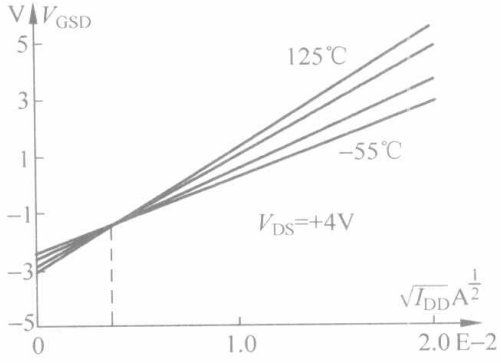


图 12.38　耗尽型 MOSFET 的栅源电压随电流的变化

3. 迁移率温度系数的影响

在以上的讨论中，假设增强型与耗尽型 MOSFET 中的电子迁移率随温度的变化均正比于 $T^{-\frac{3}{2}}$，实际上由于耗尽型 MOSFET 与增强型 MOSFET 沟道的杂质浓度不一样，所以 μ_D 和 μ_E 随温度的变化特性不一致。如图 12.39 所示，在低温区域，μ_D/μ_E 将随温度升高而增加；在中温及高温区域，μ_D/μ_E 近似为常数。

近似计算表明，当温度变化时，式(12.42)中的第三项所引起的 V_{REF} 的变化与同式中第

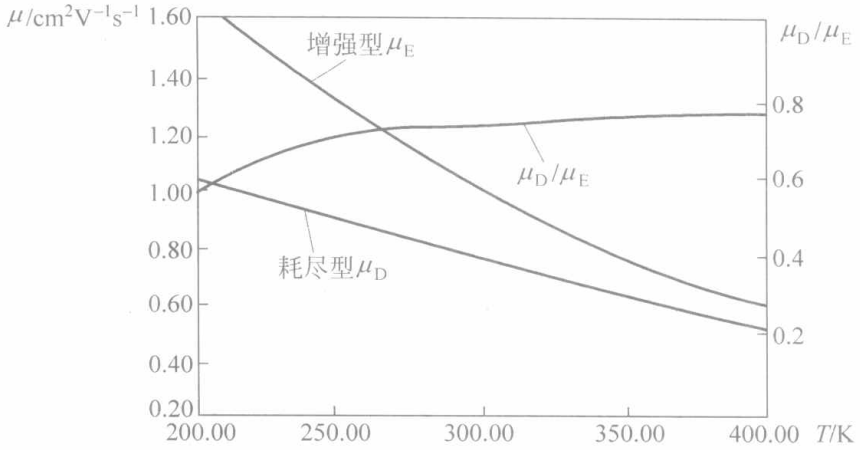


图 12.39　μ_E、μ_D、μ_D/μ_E 随温度的变化曲线

一项引起的 V_{REF} 的变化是同数量级的，但它们的变化方向相反，所以其作用是相互抵消的。对于不同的温度范围，该两项的影响是不一样的。在低温范围，影响 V_{REF} 温度稳定性的主要因素是迁移率的温度系数，此时 V_{REF} 的温度系数是正的；而在高温范围内，影响 V_{REF} 温度稳定性的主要因素是 $\Delta V_T = V_{TE} - V_{TD}$ 的温度系数，此时 V_{REF} 的温度系数是负的；在室温附近 V_{REF} 的温度系数变小。

综上所述，利用这个原理构成的 E/D NMOS 基准电压源，适当偏置增强型和耗尽型管的电流，就可以获得具有较好温度稳定性的基准电压 V_{REF}，其平均温度系数可小于 6ppm/℃。

图 12.40 给出了这种 E/D NMOS 基准源的实际电路图，其中差分对管 M_1，M_2 分别是增强型和耗尽型 MOSFET，它们的 V_{GS} 之差，即为基准电压 V_{REF}，第一增益级由 $M_1 \sim M_4$ 和

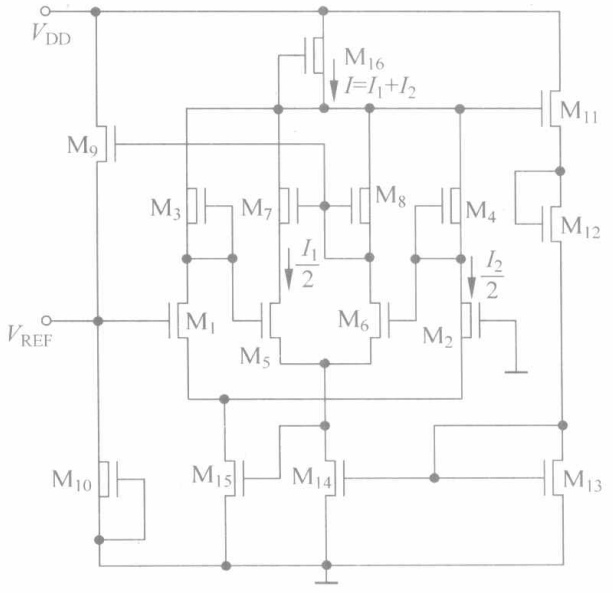


图 12.40　E/D NMOS 基准电压源实际电路

M_{15}构成，M_3，M_4 是有源负载。$M_1 \sim M_4$ 组成的源耦合对采用双端输出，其输出送至第二级差分放大器的输入端(M_5，M_6)的栅极。设计有源负载 M_3，M_4 时，不仅要求有较高的输出阻抗，而且要求其特性应严格匹配，以使 M_1，M_2 中的电流相等。为了保证 M_3，M_4 有相同的开启电压，其源极的电压(相对于衬底)必须相等。

第二级增益电路由 $M_5 \sim M_8$ 以及 M_{14} 组成，它们的作用是保证 M_3，M_4 的源极电压相等，同时完成双端到单端的转换。M_7，M_8 是匹配的耗尽型 MOS 对管，当它们的电流相等时，应有 $V_{GS7}=V_{GS8}=0$。所以即使当 M_9 的负载电流发生变化时，M_7 和 M_8 的源极电压(即 M_5 与 M_6 的漏极电压)始终相等。由于 M_5 和 M_6 的电流和 V_{DS} 都各自严格匹配，这就保证了 M_5 与 M_6 有相等的栅极电压，从而使 M_3 与 M_4 的衬源和漏源电压相等。

第二级差放采用单端输出，其输出送至 M_9 和 M_{10} 组成的源跟随器，再由源跟随器输出基准电压 V_{REF}。

$M_{11} \sim M_{15}$ 为偏置电路，提供恒流偏置，它使电路中各耗尽型器件均工作在饱和区。M_{16} 偏置该两级放大电路的总电流(I_1+I_2)，由于此电路中各器件的电压及电流仅决定于 M_{16} 的电流及各器件的几何尺寸，所以电路的电源电压抑制比较高。

此电路的输出电压 $V_{REF} \approx V_{TE}-V_{TD}$，通过适当地控制离子注入工艺，可适当改变 V_{REF} 的值。但若要求基准电压能在较大范围内变化，且有较精确的绝对值，可用图 12.41 所示的电路，此时输出电压 V'_{REF} 为

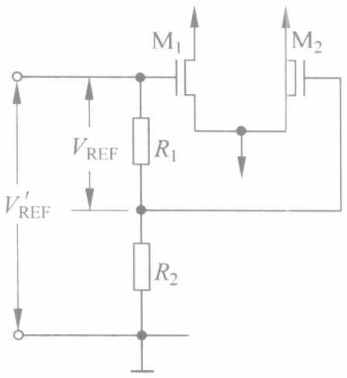


图 12.41　输出电压变化范围较大的 E/D NMOS 基准电压源原理图

$$V'_{REF}=V_{REF}\left(1+\frac{R_2}{R_1}\right)$$

12.3.4　CMOS 基准电压源

利用 MOSFET 在次开启区的饱和漏电流随电压呈指数关系的特性，可以制作温度系数较小的 CMOS 基准电压源。

根据 MOS 晶体管次开启区电特性的理论分析，当 N 沟道 MOSFET 工作在次开启区时，若其源极电压不为零，则其漏电流可表示为

$$I_{DSW} \approx I_{DO}\frac{W}{L}e^{V_{GB}/mV_t}\left(e^{-V_{SB}/V_t}-e^{-V_{DB}/V_t}\right)$$

当器件工作于饱和区时，e^{-V_{DB}/V_t} 项可以忽略，所以

$$I_{DSW} \approx I_{DO}\frac{W}{L}e^{V_{GB}/mV_t}\cdot e^{-V_{SB}/V_t} \tag{12.44}$$

式中 V_{GB}，V_{SB}，V_{DB} 分别表示栅极、源极和漏极对衬底的电位；m 是和衬偏调制系数有关的系

数；I_{DO}称为特征电流，它表示 MOSFET 的宽长比 $W/L=1$ 和各电极对地（衬底）电位为零时的漏极电流。

下面介绍的 CMOS 基准源的基本出发点是利用上述指数特性，产生与绝对温度成正比的电压源（称为 PTAT 源）的正温度系数，补偿双极型晶体管 BE 结压降的负温度系数，从而得到温度系数较小的基准电压源。图 12.42 为这种 CMOS 基准电压源（图 12.42(b)）及其内部的 PTAT 源电路图（图 12.42(a)）。这个 CMOS 基准源中的双极型晶体管与标准的 CMOS 工艺完全兼容。它是以 N 型衬底为集电区，P 阱作基区，N^+ 源漏扩散区为发射区所形成的纵向 NPN 管。下面分析 PTAT 源和 CMOS 基准电压源的工作原理。

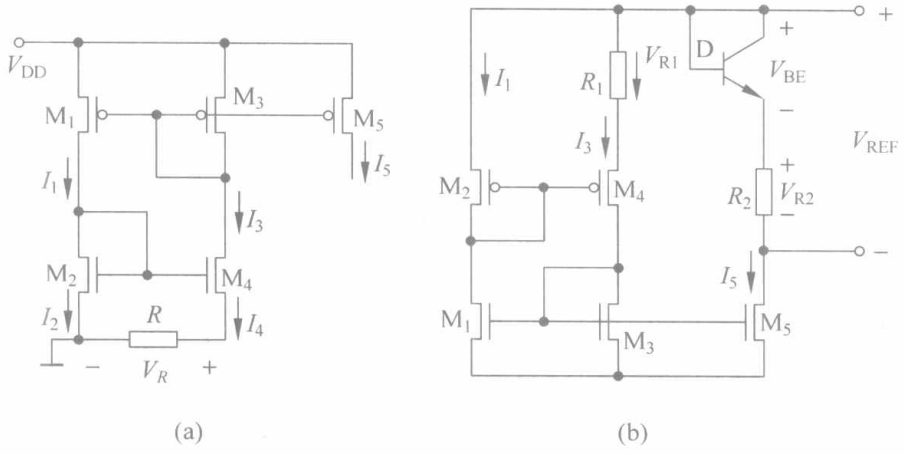


图 12.42　CMOS 基准电压源

(a) CMOS PTAT 源；(b) 电路图

1. PTAT 源的工作原理

PTAT 源中的 M_1，M_3 和 M_5 组成第一组镜像恒流源，它们的 V_{GS} 均相等，但 W/L 不同；M_2，M_4 组成第二组镜像恒流源，并与第一组恒流源构成反馈式闭合环路。假定 $M_1 \sim M_5$ 均工作于次开启区，它们的输出特性如图 12.43 所示。由图可见，当 $V_{DS}>3V_t$ 时，即处于饱和区。

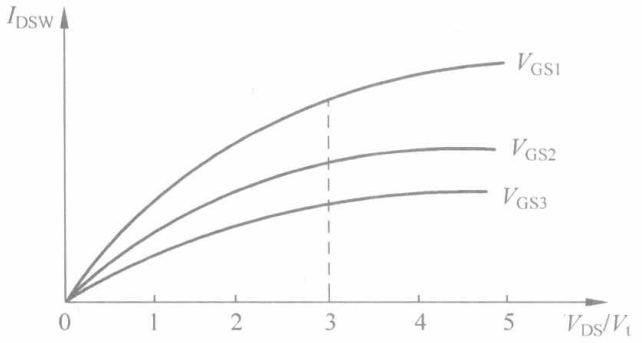


图 12.43　工作于次开启区的 MOSFET 的输出特性

假设通过参数的选择，保证 M_2、M_4 工作在次开启区的饱和工作区。当 N 沟道 MOSFET M_2、M_4 制作在同一 P 阱里的时候，可以认为 M_2、M_4 的栅衬电压近似相等，即

$$V_{GB2} \approx V_{GB4}$$

但因为存在电阻 R，所以 M_2、M_4 处于不同的衬偏状态。此时 $V_{SB2}=0$，$V_{SB4}=I_4R=V_R$。由式(12.44)可得

$$\frac{I_2}{I_4}=\frac{\beta_2}{\beta_4}e^{V_R/V_t} \tag{12.45}$$

其中 $\beta=W/L$。因为 M_1、M_2 组成电流镜，所以

$$\frac{I_1}{I_3}=\frac{I_2}{I_4}=\frac{\beta_1}{\beta_3} \tag{12.46}$$

将式(12.46)代入式(12.45)，可得

$$V_R=V_t\ln\frac{\beta_1\beta_4}{\beta_2\beta_3} \tag{12.47}$$

若选取 $\beta_1\beta_4/\beta_2\beta_3>1$，则因为 $V_t\propto T$，所以 V_R 随温度上升而线性增加。因为 M_3、M_5 也组成电流镜，所以 I_5 也随温度 T 而变化。

2. CMOS 基准电压源的工作原理

在图 12.42(b)中的 D 是由纵向 NPN 管 CB 结短接组成的二极管。由 PTAT 源的讨论可知，流过二极管 D 和电阻 R 的电流(即 I_5)为

$$\begin{aligned}I_5&=\frac{\beta_5}{\beta_3}I_3=\frac{\beta_5}{\beta_3}\frac{V_{R1}}{R_1}\\&=\frac{V_t}{R_1}\frac{\beta_5}{\beta_3}\ln\left(\frac{\beta_1\beta_4}{\beta_2\beta_3}\right)\end{aligned} \tag{12.48}$$

由双极型三管能隙基准源的讨论知，在二极管 D 上的正向压降 V_{BE} 与温度的关系如式(12.35)所示，即

$$V_{BE}=V_{g0}\left(1-\frac{T}{T_0}\right)+V_{BE0}\left(\frac{T}{T_0}\right)+nV_t\ln\left(\frac{T_0}{T}\right)$$

式中 V_{g0} 是温度为 0K 时的硅外推能隙电压，n 为常数，其值与晶体管的制作工艺有关，对于集成电路中的双极型 NPN 管，$n=1.5\sim2.2$。

由图 12.42(b)可见

$$V_{REF}=V_{BE}+V_{R2}=V_{BE}+I_5R_2 \tag{12.49}$$

上式表明，V_{REF} 由两部分组成，一部分(I_5R_2)是随温度上升而增加的；另一部分(V_{BE})则是随温度上升而减小的，这就使 V_{REF} 随温度的变化得到了补偿。

将 V_{BE} 和 I_5 的表达式(12.35)、式(12.48)代入式(12.49)，可得

$$V_{REF}=V_{g0}\left(1-\frac{T}{T_0}\right)+V_{BE0}\left(\frac{T}{T_0}\right)+n\ln\left(\frac{T_0}{T}\right)+V_t\frac{R_2}{R_1}\frac{\beta_5}{\beta_3}\ln\left(\frac{\beta_1\beta_4}{\beta_2\beta_3}\right) \tag{12.50}$$

对式(12.50)求导得出 dV_{REF}/dT，然后令 $dV_{REF}/dT=0$，则可得出获得零温度系数的条件为

$$\frac{R_2}{R_1}\frac{\beta_5}{\beta_3}\ln\left(\frac{\beta_1\beta_4}{\beta_2\beta_3}\right)=\frac{V_{g0}-V_{BE0}}{V_{t0}}+n\left(1-\ln\frac{T_0}{T}\right) \tag{12.51}$$

式中 T_0 为设计时满足零温度系数的参考温度，$V_{t0}=kT_0/q$ 为参考温度时的等效热电压。将式(12.51)代入式(12.50)，可得到在参考温度 T_0 时的 V_{REF} 为

$$V_{REF}\mid_{T=T_0}=V_{g0}+nV_{t0} \tag{12.52}$$

由此可见，在 $T=T_0$ 时，可以得到与温度无关的基准电压值。

由上面的分析过程可见，只有在参考温度 T_0 下工作，才能得到零温度系数。工作温度与参考温度偏离越远，输出电压 V_{REF} 的温度系数就越大。另外，要特别注意电路的工作范围，必须做到在整个工作温度范围内，满足器件在弱反型区的工作条件，并保证 M_2，M_4 不脱离次开启区的饱和工作状态，不然整个分析将失去意义。

12.4 有源负载

12.4.1 双极有源负载

在集成电路中，为了减小芯片面积和减少补偿元件，希望单级有足够高的电压增益，以减少放大器增益的级数。但在一般的电阻负载射耦合对或电阻负载共射放大器中，由于晶体管的输出电阻 r_0 远远大于负载电阻 R_L，所以如图 12.44 所示的电阻负载共射极放大器的电压增益为

$$A_V\approx-g_mR_L=-\frac{I_C}{V_t}R_L \tag{12.53}$$

由上式可见，要求电压增益 A_V 高，必须增大 I_CR_L。但 I_CR_L 的最大值受电源电压 V_{CC} 和管子进入饱和的限制，其值在放大管达临界饱和时为最大。其值为 $(I_CR_L)_{max}=V_{CC}-V_{BE}$，所以

$$|A_{Vmax}|=\frac{V_{CC}-V_{BE}}{V_t}$$

设 $V_{CC}=15V$，则 $|A_{Vmax}|\approx550$。

由式(12.53)可见，要提高电压增益 A_V 可以通过提高晶体管的跨导和提高负载电阻 R_L 来实现。但提高跨导 g_m 受到 I_{Cmax} 的限制，且跨导 g_m 增加，要求 I_C 上升，即要求输入电流 I_B 上升，这会引起输入电阻 R_i 下降，所以很不利。应设法提高负载电阻 R_L 的阻值。

但在集成电路中制造大电阻有困难，而且当 V_{CC} 一定时，R_L 增加，使电流 I_C 下降，引起晶体管跨导 g_m 下降，又会导致电压增益下降。所以希望有一种负载电阻，对直流而言，其阻值很小，所以 I_C 不小，而对交流而言，其阻值很大，使电压增益 A_V 增大。而晶体管或恒流源就具有此特性，所以在一般高增益集成放大器中，常用极性相反的恒流源作为负载，如图 12.45 所示。图中 PNP 恒流源作为放大管 T_1 的负载。

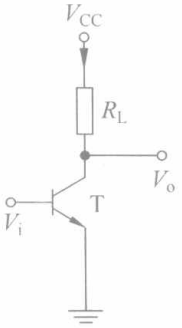


图 12.44　电阻负载共射放大器

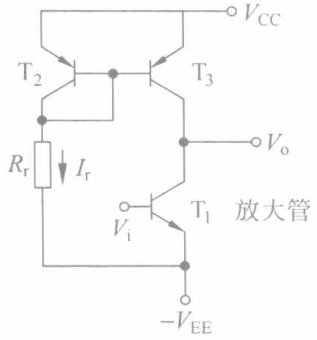


图 12.45　有源负载共射放大器

由图 12.45 可见

$$I_{C3}=I_{C1}=I_o$$

所以

$$g_{m3}=g_{m1}$$

由前面关于恒流源的分析知，恒流源 $T_2\sim T_3$ 输出电阻 $R_o=r_{o3}$，所以此放大器的电压增益为

$$A_V=-g_{m1}(r_{o1}\ /\!/\ r_{o3})=-\frac{g_{m1}}{\dfrac{1}{r_{o1}}+\dfrac{1}{r_{o3}}}=-\frac{1}{\eta_{NPN}+\eta_{PNP}} \tag{12.54}$$

式中 η_{NPN} 和 η_{PNP} 分别为 NPN 管和 PNP 管的厄莱因子。将典型值 $\eta_{NPN}=2\times10^{-4}$，$\eta_{PNP}=5\times10^{-4}$ 代入式(1.56)可得

$$A_V=-\frac{1}{\eta_{NPN}+\mu_{PNP}}\approx-1400$$

由以上的分析可见，采用有源负载的放大器有如下的优点：

(1) 有源负载的交流阻抗 r_{AC} 很大，所以使每级放大器的电压增益 A_V 提高，因而可以减少放大器的级数，简化频率补偿。

(2) 有源负载的直流电阻 R_{DC} 很小，所以为获得高的电压增益 A_V 不需要很高的电源电压。因而有源负载放大器可以在低压、小电流下工作；而且因为电源电压及 I_C 下降，可使输入电流 I_B 下降，也即提高了输入阻抗。

(3) 运放采用有源负载差分输入级，可不需要额外元件即可实现“单端化”。

在许多模拟集成电路中，往往需要将差分级的双端输出转换为单端输出。对于电阻负载差分级，如果简单地从差分级的一端输出时，其差模增益将比双端输出时减小一半；共模信号又将比双端输出时增加，为了使差分级在单端输出时有双端输出的差模增益和共模抑制比，必须采用双端-单端输出转换电路。而采用有源负载的差分级，可不需要额外元件即可实现单端化。例如图 12.46 所示的有源负载差分放大

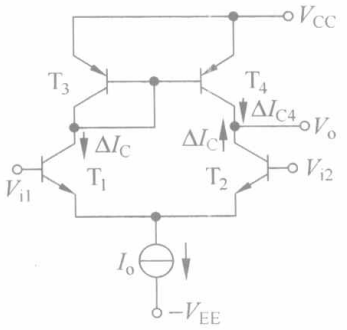


图 12.46　有源负载差分放大器

器，图中 T_3、T_4 是镜像电流源作为有源负载。在差模信号作用下，T_1 管集电极电流有一正的增量 ΔI_C 时，T_2 管集电极电流有一负的增量 $-\Delta I_C$。设晶体管 T_3、T_4 的 $\beta \gg 2$，则由前面关于恒流源的分析知

$$\Delta I_{C4} \approx \Delta I_C$$

输出电流的变化量 ΔI_o 为

$$\Delta I_o = \Delta I_{C4} + \Delta I_C \approx 2\Delta I_C$$

若为共模输入，则因为 T_1、T_2 集电极电流的增量大小及方向相同。所以输出电流的变化量 ΔI_o 为

$$\Delta I_o = \Delta I_{C4} - \Delta I_C \approx 0$$

以上分析说明，有源负载差分放大器在单端输出时，可获得和双端输出时同样大小的差模输出信号，而不影响其共模抑制比。

(4) 用晶体管代替电阻在集成电路制造上也是方便的。

12.4.2 MOS 有源负载

在前面讨论过的 E/E、E/D MOS 放大器中用的就是有源负载 E 管(增强型管)和 D 管(耗尽型管)。

1. 增强型单管有源负载

图 12.47 为增强型 N 沟道 MOS 管构成的有源负载的连接图(a)、V-I 特性曲线(b) 以及等效电路(c)。显然它是一个非线性电阻，在工作点 A 处的等效直流电阻是直线 OA 的斜率，或 $R_E = V_{DSA}/I_{DA}$；在该点处的小信号交流电阻，可由 A 点切线的斜率求得，也可由小信号等效电路计算而得。

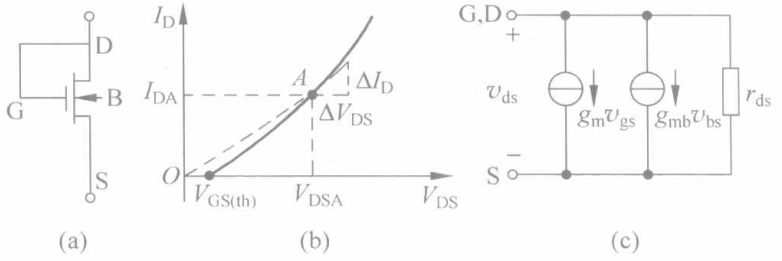


图 12.47　增强型 N 沟道 MOS 管有源负载

(a) 连接图；(b) V-I 特性曲线；(c) 等效电路

由连接图可知，负载管的栅漏短接，所以 $V_{GS} = V_{DS}$，而一般 MOS 管的漏极和衬底接固定直流电压，所以其漏极和衬底对交流是接地的，因而 $v_{gs} = v_{bs}$。由等效电路可求得此有源负载的等效电阻 R_{eff} 为

$$R_{eff} = \frac{1}{g_m + g_{mb} + g_{ds}}$$

式中 $g_{ds} = 1/r_{ds}$，通常 g_{ds} 很小，所以

$$r_{\mathrm{eff}} \approx \frac{1}{g_{\mathrm{m}} + g_{\mathrm{mb}}} = \frac{1}{(1+\eta)g_{\mathrm{m}}} \tag{12.55}$$

式中 $\eta = g_{\mathrm{mb}}/g_{\mathrm{m}}$。

由式(12.55)可见，为增大等效电阻 R_{eff}，可采用减小跨导 g_{m} 的办法，即可以用减小工作电流 I_{D}，或减小宽长比 W/L 的办法来实现。但 I_{D} 受动态范围的限制，不能任意减小。所以一般减小 W/L，使其接近于 1 或小于 1。

另外，也可以用减小 g_{mb} 的办法，即减小衬偏调制的影响，来提高 R_{eff}。

由式(12.55)可见，当 $\eta \ll 1$ 时，$R_{\mathrm{eff}} \approx 1/g_{\mathrm{m}}$。

2. 耗尽型单管有源负载

在 E/D 放大器中的 D 管就是这样的有源负载。其连接图、等效电路及 V-I 曲线如图 12.48 所示。与上面的分析类似，一般情况下其漏极和衬底对交流接地，则由等效电路可得其等效电阻 R_{eff} 为

$$R_{\mathrm{eff}} = \frac{1}{g_{\mathrm{mb}} + g_{\mathrm{ds}}} \approx \frac{1}{g_{\mathrm{mb}}} = \frac{1}{\eta g_{\mathrm{m}}}$$

它仅与背栅跨导 g_{mb} 有关。因为 $g_{\mathrm{mb}} = \eta g_{\mathrm{m}}$，且 $\eta < 1$，所以它的电阻值比增强型 NMOS 构成的有源负载的等效电阻值要大。因而在 NMOS 放大器中，大多采用耗尽型管作为有源负载，增强型管作为放大管。

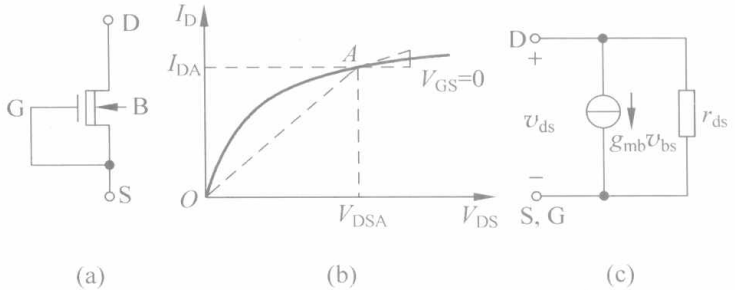


图 12.48　耗尽型 NMOS 有源负载

(a) 连接图；(b) V-I 特性曲线；(c) 等效电路

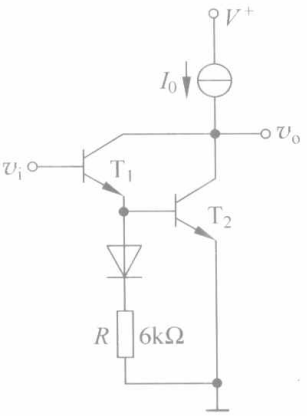
3. MOS 电流镜有源负载

MOS 电流镜也常用做有源负载。与双极型电路的情况一样，当 MOS 差分放大器采用 MOS 电流镜作为有源负载时，不仅可提高电压增益，而且可实现双端输出-单端输出的转换。详见第 2 章集成运算放大器中有关 CMOS 差分输入级一节的分析。

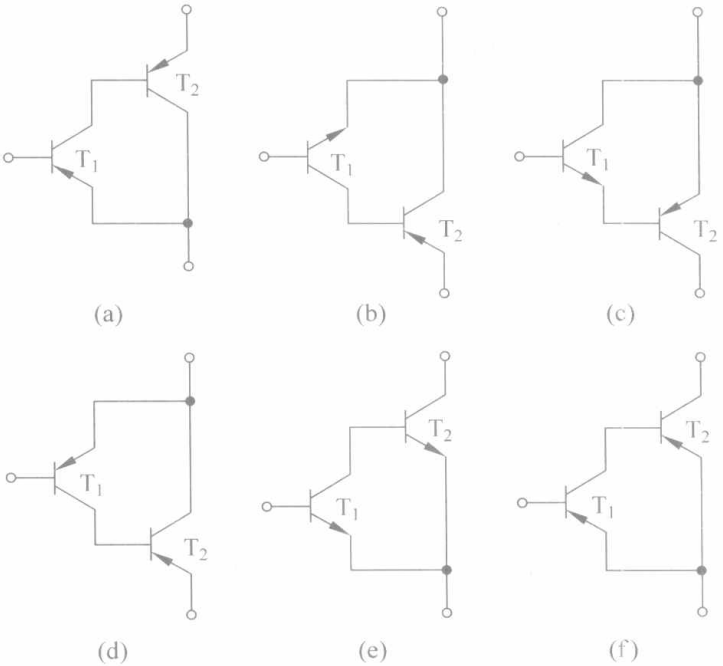
复习思考题

12.1　试求图题 12.1 所示达林顿管放大器的电压增益，其中有源负载 I_0 的输出电阻 $r_{\mathrm{o}} = 300\mathrm{k}\Omega$，$I_0 = 330\mu\mathrm{A}$，$V_{\mathrm{BE2}} = 0.7\mathrm{V}$，$\beta_0 = 100$，$V_{\mathrm{A}} = 130\mathrm{V}$，计算中可忽略 r_{b}，r_{μ}。

12.2　图题 12.2 中的各电路，哪些连接是合理的，哪些连接是不合理的？

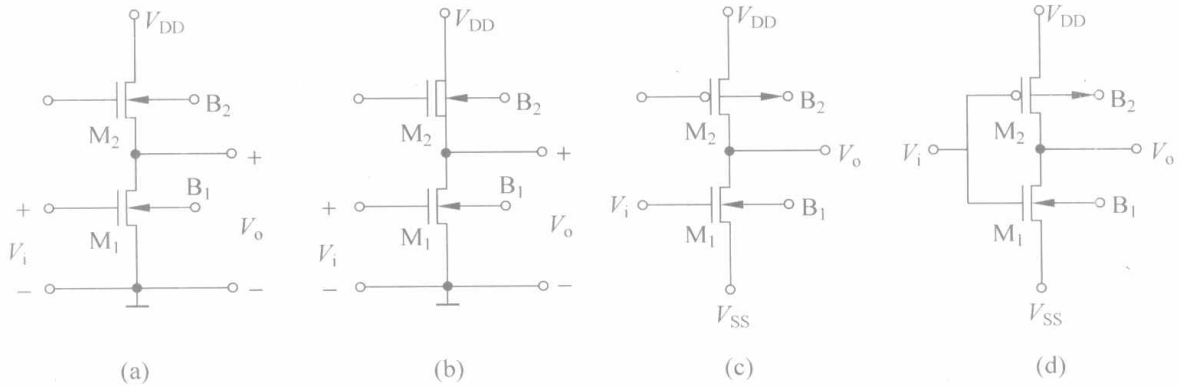


图题 12.1



图题 12.2

12.3　试在图题 12.3(a)、(b)、(c)、(d)电路中，分别标出 E/E，E/D NMOS 单管放大器，CMOS 有源负载放大器和 CMOS 互补放大器中 M_2 的栅极及 B_1，B_2 电位，并指出各电路结构上的特点。



图题 12.3

12.4　图题 12.4 为一个共栅放大器，求电路的电压增益 A_G 和输入电阻 r_i 的表达式。

12.5　图题 12.5 所示为 MOS 集成电路中常用的分相器电路，M_1 为放大管，M_2，M_3 为有源负载管。已知 M_2，M_3 的尺寸和结构完全相同，若不考虑衬调效应，则

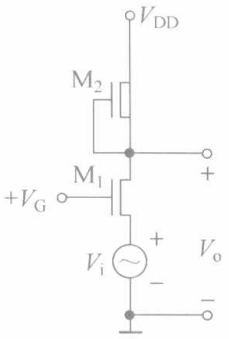
(1) 试画出其小信号等效电路；

(2) 证明两个输出电压 V_{o1} 和 V_{o2} 大小相等，相位相反。

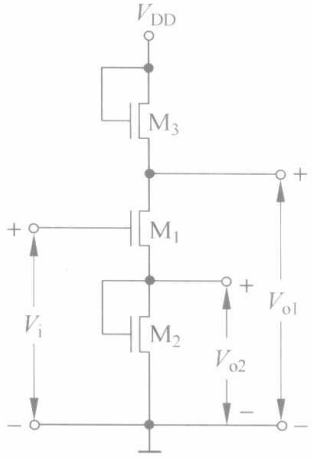
12.6　如图题 12.6 所示电路，MOS 管的 $g_m=1\text{mS}$，$r_{ds}=40\text{k}\Omega$，电阻 $R_D=20\text{k}\Omega$，$R=2\text{k}\Omega$。要求：

(1) 求源电压电压增益 $A_s=V_o/V_s$；

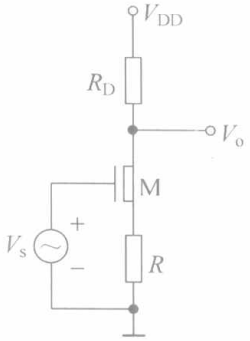
(2) 假定 I_{DS} 变化 20%，其他参数不变，A_s 变化多少？



图题 12.4



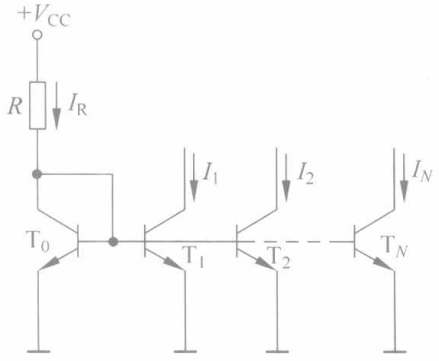
图题 12.5



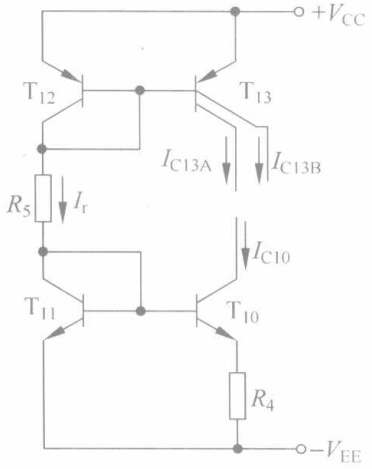
图题 12.6

12.7　推导图题 12.7 所示电路中 $I_1, I_2, \cdots, I_N$ 与 I_R 的关系式。

12.8　图题 12.8 所示是 μA741 中的偏置电路，其中 $R_5=39\text{k}\Omega$，$R_4=5\text{k}\Omega$，$V_{CC}=15\text{V}$，$V_{EE}=-15\text{V}$。试求 I_r 和 I_{C10} 的值。



图题 12.7　多输出电流镜电路



图题 12.8

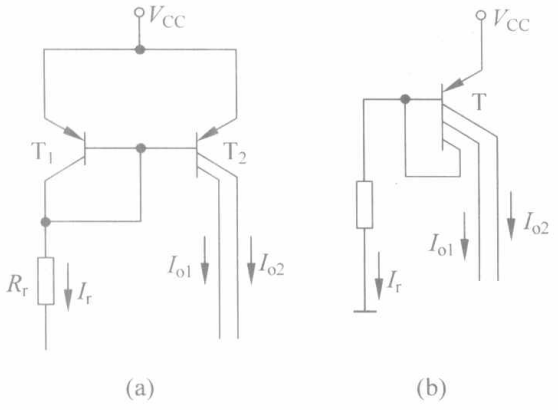
12.9　试画出图题 12.9 所示两个 PNP 管恒流源中各 PNP 管管芯的版图示意图。其中 $I_{o1}=2I_r$，$I_{o2}=I_r$，要求画在方格纸上，且画出铝连线。

12.10　和 NPN 恒流源相比，PNP 恒流源有何主要特点？

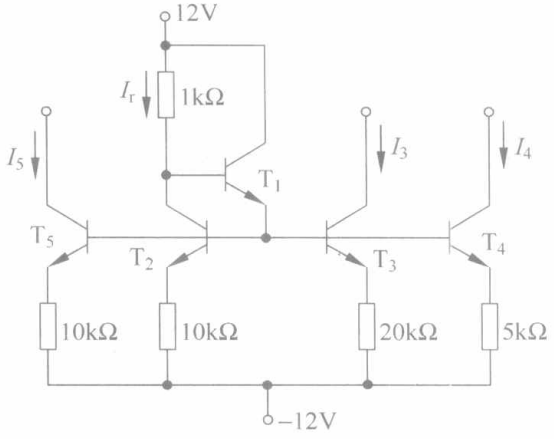
12.11　电路如图题 12.11 所示，试求各支路电流(设 $\beta\gg1$)。

12.12　图题 12.12 是一个 IC 产品中的偏置电路部分。

已知：电源电压 $V_{DD}=+5V$，$V_{SS}=-5V$，稳压管的击穿电压 $V_Z=6V$，管子参数 $\mu_P=200cm^2/(V\cdot s)$，$\mu_N=400cm^2/(V\cdot s)$，$C_{ox}=3.5\times10^{-8}F/cm^2$，所有管子的开启电压均为 2V。



图题 12.9



图题 12.11

求：偏置电流 I_{o1} 及 I_{o2} 的值。

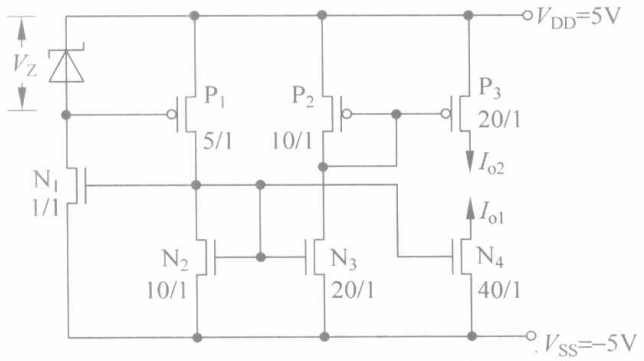
12.13　和分立元件电路相比，模拟集成电路在元器件选配上有什么特点？为什么？

12.14　MOS 模拟集成电路和双极型模拟集成电路相比各有何特点？

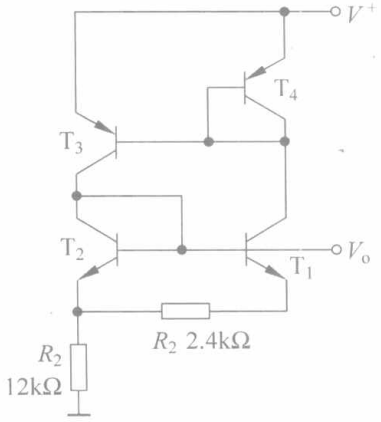
12.15　有一两管能隙基准源电路如图题 12.15 所示。已知：$I_{C2}=I_{C4}$，室温下 $V_{BE2}=0.65V$，有效发射面积比为 $A_{E1}/A_{E2}=10$。

(1) 试简单推导 V_o 的公式；

(2) 求出 $T_0=400K$ 时的 V_o 值。



图题 12.12



图题 12.15

第 13 章　集成运算放大器

集成运算放大器是电子系统的通用基本功能块，它能用来处理各种模拟信号，完成放大、振荡、调制和解调以及模拟信号的相除、相乘、相减和比较等功能，而且还广泛用于脉冲电路，是目前应用最广、产量最大的模拟集成电路。

随着集成电路技术的发展，集成运算放大器由单一的双极型集成运放，发展到双极型和MOS 型集成运放；集成运放的电路类型从通用型电路发展成为能够满足多方面应用要求的特殊型电路，如低功耗、低漂移、高速、高压、高阻抗、高精度及功率型集成运放等等。本章主要介绍组成集成运算放大器的各个基本单元电路对集成运算放大器性能的影响及集成运算放大器版图设计的一些考虑。

集成运算放大器实质上是一种直接耦合的直流放大器，其典型结构框图及电路符号如图 13.1 所示。它主要由四部分组成：差分输入级、中间增益级、推挽输出级和各级的偏置电路，其中增益级和偏置电路部分在第 12 章已介绍，下面主要介绍其他两部分。

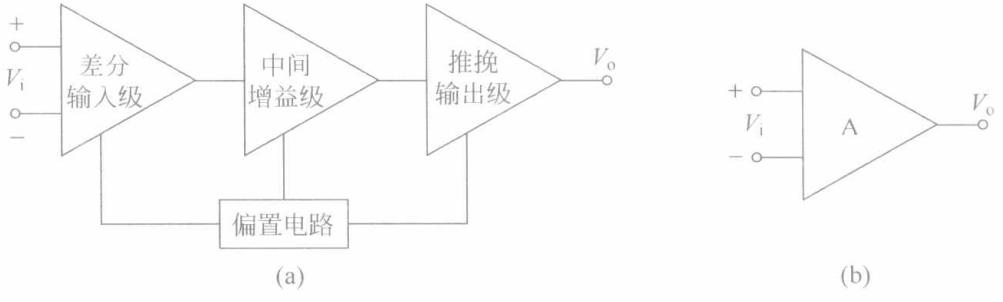


图 13.1　集成运算放大器

(a) 典型结构框图；(b) 电路符号

13.1　运算放大器的输入级

运算放大器的输入级是运放的重要组成部分，运放的许多重要性能参数，如输入失调电压、失调电流、输入阻抗、输入电压范围、共模抑制比等都是由输入级决定的。在一般情况下，运算放大器的输入级均采用匹配性能好，输入失调、温度漂移非常小的射极耦合对(简称射耦对)差分放大电路。它不但输入阻抗高，输入失调小，漂移小，而且制作工艺简单。用集

成化的办法可把差分输入级做得非常对称，两个差分输入端做得非常靠近，使外界感应到两输入端的干扰信号是幅度相等、相位相同的共模信号，而对称的差分放大级对共模干扰信号有很强的抑制能力，所以差分输入级的抗干扰能力较强。本节介绍一些常用的差分输入级电路。

13.1.1 双极晶体管射耦对差分输入级

1. 电阻负载射耦对差分输入级

图 13.2 为电阻负载射耦对差分输入级的电路图，虚线框内 T_3，T_4，R_3 组成小电流恒流源，目的是使输入电流 I_{IB} 下降，以提高差模输入电阻 R_{ID}。

此电路的优点是电路简单、所用元器件少，因而对称性好、制作容易。所以早期的集成运算放大器 μA702，μA709 都用此输入级电路，可把它称为基本型输入级电路。

它的缺点主要是：①电压增益小；②因为是电阻负载，所以单端化和电平位移电路复杂；③输入最大共模电压范围 V_{ICM} 小。

为了改进这类输入级的性能，可采用达林顿管代替 T_1，T_2。

2. 达林顿管差分输入级

图 13.3 是达林顿管差分输入级的原理图，此输入级的特点是电流增益大。由达林顿管放大器的分析知，其等效低频小信号电流增益为

$$\beta_0^C = \beta_{01}\beta_{03}$$

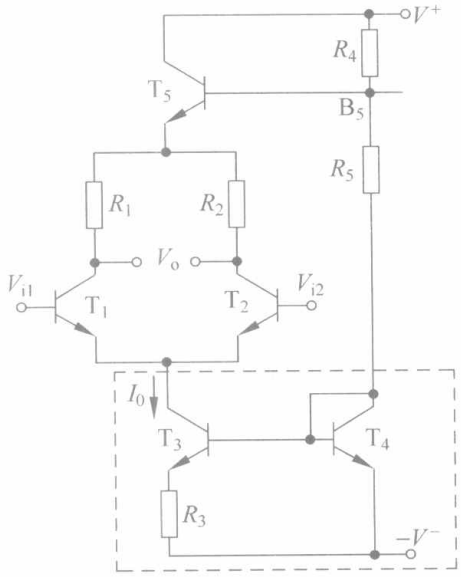


图 13.2 电阻负载射耦对差分输入级

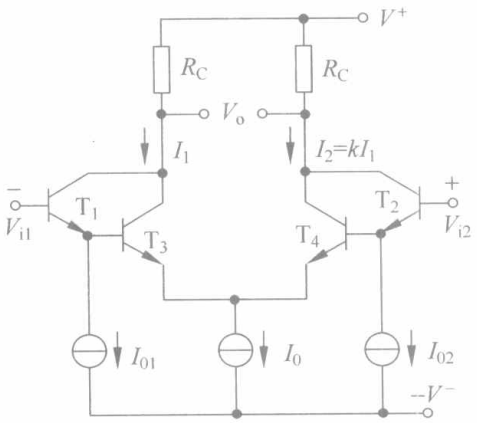


图 13.3 达林顿管差分级原理图

即在同样的偏置电流 I_0 情况下，达林顿管输入级的输入偏置电流 I_{IB} 大大下降，所以其差模输入电阻 R_{ID} 比基本型的差分输入级大很多，且有

$$R_{ID} = 2r_\pi^C \approx \frac{2V_t}{I_{B1}}\left[1+\frac{1}{1-\dfrac{I_{01}}{I_{E1}}}\right] \tag{13.1}$$

其差模输入电压范围比基本型的差分输入级增加一倍。输入级的差模电压增益为

$$A_{vD} = -g_m^C R'_L = -\frac{g_{m3}}{2-\dfrac{I_{01}}{I_{E1}}} R'_L \tag{13.2}$$

其中 g_m^C 为达林顿管的等效跨导，R'_L 为达林顿管放大级的负载电阻，其值为

$$R'_L = (R_C \,/\!/\, r_o^C \,/\!/\, r_{i,nex})$$

r_o^C 为达林顿管的等效输出电阻，$r_{i,nex}$ 为下一级的输入电阻。

此输入级的缺点是：

① 在相同的工作电流 I_0 下，跨导比基本型输入级减小了一半。

② 失调电压较大。

3. 有源负载互补复合管差分输入级

有些运放电路希望以 PNP 管作为输入级，但目前模拟集成电路中使用的纵向、横向 PNP 管的性能都较差，β 低，频率特性也差，单用这种低性能的 PNP 管做输入级不行，所以往往采用复合差分电路。如图 13.4 所示，它是用高性能的 NPN 管和低性能的 PNP 管复合等效成一个高性能的 PNP 管作为输入管，I_{01}，I_{02} 及恒流源作为有源负载。这是目前通用运放中应用最广泛的输入级电路，μA741 型集成运算放大器用的就是这种输入级电路，其具体电路如图 13.5 所示。此电路用精密匹配电流镜作为有源负载，T_5，T_6 组成的恒流源作恒流偏置，其特点如下。

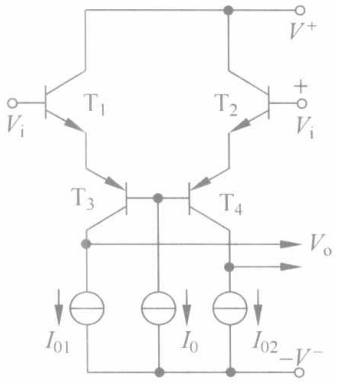


图 13.4　有源负载互补复合管差分输入级

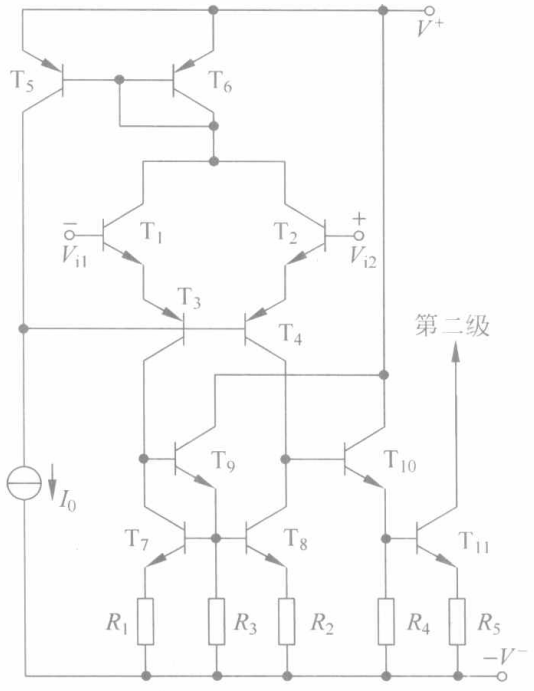


图 13.5　μA741 型运放输入级电路

(1) 输入管采用 CC-CB 互补复合管，每边的电流增益为 $\beta^{C}=\beta_N \cdot \alpha_P \approx \beta_N$，克服了 PNP 管 β_P 低的缺点；而且差模输入电阻 R_{ID} 大，其值为

$$R_{ID}=2r_{\pi}^{C} \approx 2\beta_1(r_{e1}+r_{e2}) \approx 4\beta_1 \frac{V_t}{I_{C1}}$$

另外，由于采用复合管作为输入管，提高了电路的最大共模及差模输入电压范围，其最大共模输入电压范围 $V_{ICM} \approx \pm 13V$，这可由下两式求出

$$V_{ICM}^{+}=V^{+}-V_{BE5} \approx 14.3V$$

$$V_{ICM}^{-}=-V^{-}+V_{BE1}+V_{BE3}+V'_{BE} \approx -13V$$

其中 V'_{BE} 代表恒流源 I_0 输出管处于临界饱和时($V_{BC}=0$)的 V_{CE}。其最大的差模输入电压为

$$V_{IDM}=2V_{BE}+BV_{EBO,NPN}+BV_{BEO,PNP}$$

$$\approx (BV_{EBO}+BV_{CBO})_{NPN} \geqslant 30V$$

即此输入电路的两个差分输入端可承受很高的电压差而不至于使输入管损坏。由于一般电源电压为 $\pm 15V$，所以有很好的输入保护作用。

(2) 由于采用有源负载和 PNP 管，所以有下述优点：

① 第一级的电压增益 A_{vD1} 大；

② 单端化和电平位移同时完成；

③ 电路对称性好，输入失调电压 V_{IO} 小。因为此电路用精密匹配电流镜作为有源负载，还可在 R_1，R_2 两端外接外调平衡器，使 $V_{IO} \approx 0$。

(3) 采用电流镜闭合负反馈来稳定工作点。由于 NPN 管的 β 很大，电路又比较对称，由图 13.5 可见

$$I_{C1} \approx I_{E1}=I_{E3}$$

$$I_{C1}=I_{C2} \approx I_{E2}=I_{E4}$$

所以仅从偏置电路来考虑，T_1 和 T_3，T_2 和 T_4 分别相当于一个 PNP 管，而 T_3，T_4 的基极短接，T_1，T_2 的集电极短接，所以 $T_1 \sim T_4$ 相当于一个 PNP 管，如图 13.6 所示。于是，$T_1 \sim T_4$ 与 T_5，T_6 相当于一个 Wilson 恒流源，它具有 Wilson 恒流源的特点，所以电路稳定性好，使电路与 β_P 离散性的关系较小。

输入级还可以采用场效应管(JFET，MOSFET)，做成偏置电流非常小，输入阻抗很高($10^{13}\Omega$)的差分输入电路。

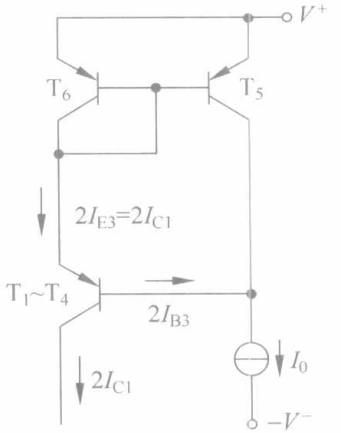


图 13.6 μA741 运放输入级简化的等效偏置电路

13.1.2 MOS 源耦对差分输入级

1. MOS 源耦合对

MOS 源耦合对的电路形式和双极型射耦对电路类似，如图 13.7 所示。

根据饱和区萨方程，有

$$I_1 = I_{DS1} = \left(\frac{\mu C_{ox}}{2}\right)\left(\frac{W}{L}\right)_1 (V_{GS1} - V_{T1})^2$$

$$I_2 = I_{DS2} = \left(\frac{\mu C_{ox}}{2}\right)\left(\frac{W}{L}\right)_2 (V_{GS2} - V_{T2})^2$$

设两个管子完全相同，忽略体效应，并令差模输入电压 $V_{id} = V_{i1} - V_{i2}$，则

$$I_{od} = I_1 - I_2 = \left(\frac{\mu C_{ox}}{2}\right)\{[(V_{i2} + V_{id}) - V_T]^2 - (V_{i2} - V_T)^2\}$$

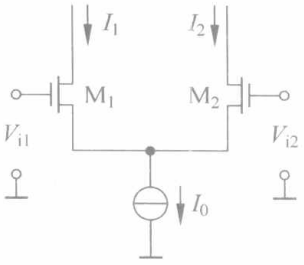


图 13.7　MOS 源耦合对电路图

恒流源偏置电流为

$$I_0 = I_1 + I_2 = \left(\frac{\mu C_{ox}}{2}\right)\{[(V_{i2} + V_{id}) - V_T]^2 + (V_{i2} - V_T)^2\}$$

由上两式可得

$$I_{od} = k \cdot V_{id}\sqrt{\frac{2I_0}{k} - V_{id}^2}$$

此式只有当 $V_{id} \leqslant 2I_0/k$ 时有意义，式中

$$k = \left(\frac{\mu C_{ox}}{2}\right) \cdot \frac{W}{L}$$

当 $V_{id} \ll 2I_0/k$ 时

$$I_{od} \approx k \cdot V_{id}\frac{2I_0}{k}$$

即，在 V_{id} 较小的范围内，I_{od} 和 V_{id} 近似为线性关系，线性工作范围可以通过 W/L 和 I_0 的选择加以改变，如图 13.8 所示。

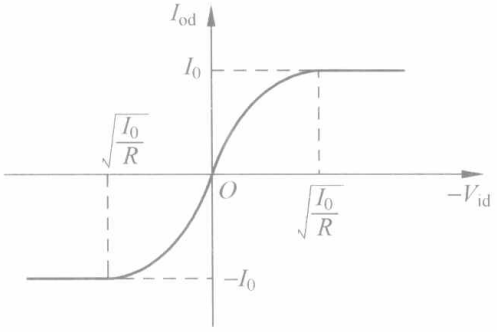


图 13.8　MOS 源耦对的转移特性

由 I_{od} 的表达式，可以求出 MOS 源耦合对的小信号跨导 g_m 为

$$g_m = \frac{\partial I_{od}}{\partial V_{id}} = \sqrt{2kI_0} = g_{m1} = g_{m2}$$

以上所得的结论和双极型射耦对的结论是一样的：源耦合对的跨导等于一个单管的跨导。只是 MOS 源耦合对的 $g_m \propto \sqrt{I_0}$，而双极型射耦对的跨导 $g_m \propto I_0$，二者数值相差较大。

2. 电阻负载 MOS 源耦对差分输入级

图 13.9 为一典型的电阻负载 MOS 源耦合对差分输入级及其等效电路图。

对于差模输入，$V_{i1} = V_i$，$V_{i2} = -V_i$。设两管相同，则由单管放大器分析知

$$\frac{V_{o1}}{V_{i1}} = \frac{V_{o1}}{V_i} = -g_{m1}(r_{ds1} /\!/ R_L) = -g_m(r_{ds} /\!/ R_L)$$

$$\frac{V_{o2}}{V_{i2}} = \frac{V_{o2}}{-V_i} = g_{m1}(r_{ds2} /\!/ R_L) = g_m(r_{ds} /\!/ R_L)$$

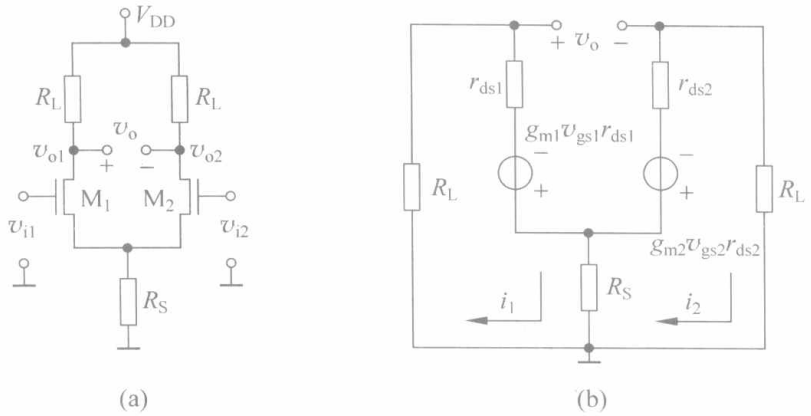


图 13.9　电阻负载 MOS 源耦合对

(a) 电路图；(b) 等效电路

所以差模增益为

$$A_{vd}=\frac{V_o}{V_{i1}-V_{i2}}=\frac{V_{o1}-V_{o2}}{2V_i}=-g_m\ (r_{ds}\ //\ R_L)=-g_m r_o$$

上式表明，电阻负载 MOS 源耦对差分输入级的差模电压增益，就是构成它的 E/R 放大器的电压放大倍数，r_o 为此放大器的输出电阻。此结论与双极型射耦对差分输入级电路是一样的。

在 MOS 运放应用中，MOS 源耦合对用作输入级时，一般以镜像电流源作为有源负载，同时完成双端-单端输出的转换。常用的 MOS 源耦合对差分输入级电路有 E/D、E/E MOS 和 CMOS 三种基本结构形式。

3. E/D NMOS 差分输入级

图 13.10 为 E/D NMOS 差分输入级电路，其中 M_1，M_2 为输入对管，M_3，M_4 为耗尽型有源负载管，M_5 作为恒流偏置用。

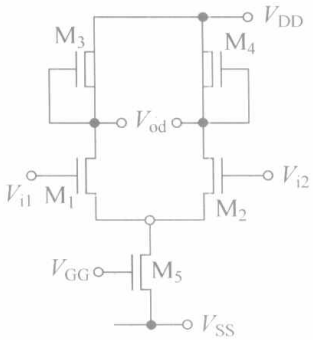


图 13.10　E/D NMOS 差分输入级

由模拟电路知识可知，MOS 差分输入级双端输出的差模电压增益，等于构成它的单边放大器的电压增益。所以我们可以很容易地得到图 13.10 所示的 E/D NMOS 差分输入级双端输出时的差模电压增益 A_{vd} 为

$$A_{vd}=\frac{V_{od}}{V_{id}}=-\frac{1}{\eta_3}\sqrt{\frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_3}} \tag{13.3}$$

单端输出时的差模电压增益 $A_{vd,s}$ 为

$$A_{vd,s}=\frac{1}{2}A_{vd}=-\frac{1}{2\eta_3}\sqrt{\frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_3}} \tag{13.4}$$

单端输出时的共模电压增益 $A_{vc,s}$ 为

$$A_{vc,s} \approx -\frac{\frac{1}{\eta_3}\frac{g_{m1}}{g_{m3}}}{1+2(1+\eta_1)g_{m1}r_{ds5}} \approx -\frac{g_{ds5}}{2(1+\eta_1)\eta_3 g_{m3}} \tag{13.5}$$

所以单端输出时的共模抑制比为

$$K_{CMR,s} = \left|\frac{A_{vd,s}}{A_{vc,s}}\right| = \frac{g_{m1}(1+\eta_1)}{g_{ds5}} \tag{13.6}$$

上式表明，减小 M_5 的 g_{ds5}（即增大 r_{ds5}），可以提高 K_{CMR}，所以通常将 M_5 管的沟道设计得长一些（即 W/L 小些）以获得较小的 g_{ds5}。

4. CMOS 差分输入级

图 13.11 为实用的 CMOS 差分输入级电路，其中 M_3，M_4 为 NMOS 管，组成镜像电流源，作为差放的有源负载，它同时又可完成双端输入到单端输出的转换作用。M_1，M_2 为 PMOS 管，构成源耦合对，I_0 为源耦合对的偏置恒流源。

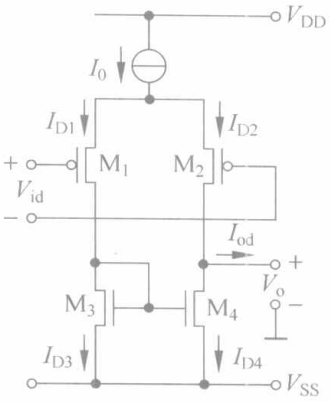


图 13.11　CMOS 差分输入级

在静态时　　$V_{i1}=V_{i2}=0$，$I_{D1}=I_{D2}=I=\frac{1}{2}I_0$

从电路构成知　　$I_{D1}=I_{D2}$

设 M_3、M_4 完全相同，又因为 $V_{GS3}=V_{GS4}$，M_3、M_4 构成镜像电流源，所以 $I_{D3}=I_{D4}$，$I_{D2}=I_{D4}$，即静态时，输出差模电流 $I_{od}=0$。当加上差模电压 V_{id} 时，工作电流变化 ΔI，则此时

$$I_{D1} = I+\Delta I$$
$$I_{D2} = I-\Delta I$$

由以上分析知，此时

$$I_{D1} = I_{D3} = I_{D4} = I+\Delta I$$

所以此时输出电流为

$$|I_{od}| = |I_{D2}-I_{D4}| = 2\Delta I$$

即完成了双端-单端输出转换。

由前面的分析知，此输入级的跨导为

$$g_m = \left.\frac{\partial I_{od}}{\partial V_{id}}\right|_{V_{id}=0} = \sqrt{2kI_0} = g_{m1} = g_{m2} \tag{13.7}$$

在平衡条件下，M_2，M_4（M_1，M_3）的输出电阻分别为

$$r_{o2} = \frac{1}{I_{D2}\lambda_2} = \frac{2}{I_0\lambda_2} \tag{13.8}$$

$$r_{o4} = \frac{1}{I_{D1}\lambda_4} = \frac{2}{I_0\lambda_4} \tag{13.9}$$

此输入级的电压增益为

$$|A_{vd}| = g_m(r_{o2} /\!/ r_{o4}) = \frac{g_m}{g_{o2}+g_{o4}} = \sqrt{\frac{2k}{I_0}}\left(\frac{2}{\lambda_2+\lambda_4}\right) \tag{13.10}$$

式中 $\lambda=1/V_A$，为沟道调制系数，g_{o2}，g_{o4}为输出电导。

下面来分析 CMOS 源耦合对差分输入级的失调电压 V_{IO}。它由两部分组成：一部分是由 MOS 源耦合对失配引起的 V_{IO1}，另一部分是由有源负载 M_3，M_4 特性不一致引起的 V_{IO2}。

MOS 源耦合对的失调电压 V_{IO1} 的定义是：为使 M_1，M_2 两管的漏电流相等所必须加入的 ΔV_{GS}，即 $V_{IO1}=\Delta V_{GS}=V_{GS1}-V_{GS2}$。

设 M_1，M_2 工作在饱和区，当 M_1，M_2 特性不一致时，若忽略沟道长度调制效应，则由

$$I_{D1} = k_1(V_{GS1}-V_{T1})^2$$

得
$$V_{GS1}=\sqrt{\frac{I_{D1}}{k_1}}+V_{T1}$$

又由
$$I_{D2}=k_2(V_{GS2}-V_{T2})^2$$

得
$$V_{GS2}=\sqrt{\frac{I_{D2}}{k_2}}+V_{T2}$$

按照定义令 $I_{D1}=I_{D2}=I_0/2$，并设 $k=k'\cdot(W/L)$，而两管 k' 相等（即不考虑工艺误差）。又令

$$k_2 = k_1+\Delta k_1$$
$$\Delta V_{T12} = V_{T1}-V_{T2}$$

则有

$$\begin{aligned} V_{IO1} = \Delta V_{GS} &= V_{T1}-V_{T2}+\left(\sqrt{\frac{I_0}{2k_1}}-\sqrt{\frac{I_0}{2k_2}}\right) \\ &= \Delta V_{T12}+\sqrt{\frac{I_0}{2k_1}}\left(1-\sqrt{\frac{1}{1+\frac{\Delta k_1}{k_1}}}\right) \end{aligned} \tag{13.11}$$

因为 $\Delta k_1 \ll k_1$，利用当 $x\ll 1$ 时，$(1-x)^n\approx 1-nx$，得

$$V_{IO1} = \Delta V_{T12}+\sqrt{\frac{I_0}{8k_1}}\cdot\frac{\Delta k_1}{k_1} \tag{13.12}$$

对 k_1 微分后取绝对值代入上式，得

$$\begin{aligned} V_{IO1} &= \Delta V_{T12}+\sqrt{\frac{I_0}{8k_1}}\left(\left|\frac{\Delta W_1}{W_1}\right|+\left|\frac{\Delta L_1}{L_1}\right|\right) \\ &= \Delta V_{T12}+\frac{I_0}{2g_{m1}}\left(\left|\frac{\Delta W_1}{W_1}\right|+\left|\frac{\Delta L_1}{L_1}\right|\right) \end{aligned} \tag{13.13}$$

上式表明，MOS 源耦合对的失调电压，和 M_1，M_2 的开启电压差有关，也和它们的几何尺寸不一致有关。因为 MOS 晶体管的开启电压一般为几伏（例如在 CMOS 运放中，一般 PMOS

管的开启电压为−1V，NMOS管的开启电压为1.5V)，所以V_{IO1}比双极型射耦对的失调电压要大。为了减小V_{IO1}，要减小ΔV_{T12}，增大W_1，W_2，L_1，L_2，并采用合理的版图布局。

上面分析了组成源耦合对的M_1，M_2不对称引起的失调电压V_{IO1}，现在分析有源负载引起的失调电压V_{IO2}。有源负载特性不一致表现在使$I_{D3}\neq I_{D4}$，也可以用类似于分析源耦合对的方法，将它折合成M_3和M_4的栅源电压差，即

$$\begin{aligned} V_{IO2} &= V_{GS3} - V_{GS4} = \Delta V_{T34} + \sqrt{\frac{I_0}{8k_3}}\,\frac{\Delta k_3}{k_3} \\ &= \Delta V_{T34} + \frac{I_0}{2g_{m3}}\left(\left|\frac{\Delta W_3}{W_3}\right| + \left|\frac{\Delta L_3}{L_3}\right|\right) \end{aligned} \tag{13.14}$$

所以

$$V_{IO} = V_{IO1} + V_{IO2}$$

当把有源负载不对称引起的失调电压V_{IO2}折合到输入端时，其失调电压为

$$\frac{g_{m3}}{g_{m1}}V_{IO2} \tag{13.15}$$

所以总的失调电压V_{IO}为

$$\begin{aligned} V_{IO} &= V_{IO1} + \frac{g_{m3}}{g_{m1}}V_{IO2} \\ &= \Delta V_{T12} + \frac{g_{m3}}{g_{m1}}\Delta V_{T34} + \frac{I_0}{2g_{m1}}\left(\left|\frac{\Delta W_1}{W_1}\right| + \left|\frac{\Delta L_1}{L_1}\right| + \left|\frac{\Delta W_3}{W_3}\right| + \left|\frac{\Delta L_3}{L_3}\right|\right) \end{aligned} \tag{13.16}$$

V_{IO}的表达式表明，为了减小CMOS源耦合对差分输入级的输入失调电压，应减小源耦合对管M_1，M_2间和有源负载M_3，M_4之间的开启电压的差ΔV_{T12}和ΔV_{T34}，增大MOS管沟道的长度和宽度，减小g_{m3}/g_{m1}，也即减小$(W_3/L_3)/(W_1/L_1)$，所以构成有源负载的MOS管，其宽长比都比较小。

MOS源耦合对差分输入级，若作为双极型运放的输入级，要解决的问题是：如何在同一衬底中，制造出性能优良的输入级MOS器件和后级的双极型器件；而且此时对器件表面沾污，提出了更高的要求，还要外加薄氧等工艺。

13.2 输出级电路

输出级必须能向负载输出一定的功率，模拟集成电路对输出级的要求主要是：

① 输出电压或输出电流幅度大，能向负载输出规定数量的功率，而且静态功耗要小；

② 输入阻抗高、输出阻抗低，在前级放大器和外接负载间进行隔离；

③ 能满足频率响应的要求；

④ 具有过载和短路保护。

关于输出级电路，在模拟电路课程中已做过介绍，下面补充几种在双极型和MOS型集成运算放大器中常用的输出级电路。

13.2.1 双极型输出级电路

1. 射极输出器输出级

射极输出器具有输入阻抗高、输出阻抗低，输出电流能力强的特点，所以最早被用来作为输出级电路。图 13.12 为双极型有源负载射极输出器输出级电路，图中 T_1 为射极输出管，T_2、T_3、R_1、R_2 组成恒流源，作为 T_1 的有源负载。

此电路的缺点是：

(1) 正负向输出电压幅度不一致，正负向输出电流能力也相差较大。图 13.13 为简化的有源负载射极输出器输出级原理图，图中 R_E 为有源负载的输出电阻。假设在输出端接一负载 R_L，当 R_L 上输出正信号时，T_1 是导通的，这时 R_L 中的电流 I_L 是由 T_1 流出的，只要 T_1 输入驱动信号足够大，管子的电流输出能力就足够大。极端情况下，射极输出器 T_1 达到饱和，这时

$$\text{正向输出电压幅度} \approx V_{CC}$$

$$\text{正向输出电流} \approx V_{CC}/R_L$$

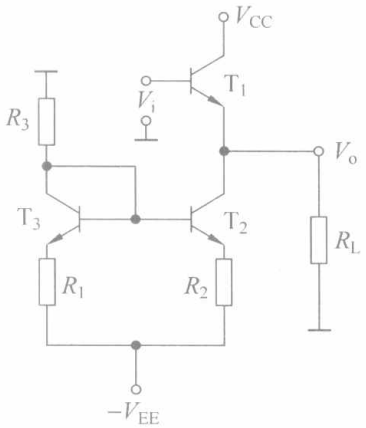


图 13.12 双极型有源负载射极输出器输出级电路

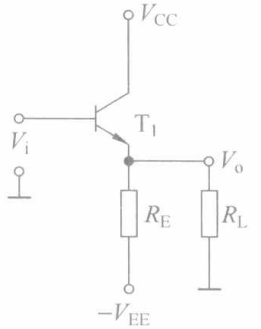


图 13.13 简化的有源负载射极输出器输出级原理图

当负载 R_L 上输出负信号时，I_L 是从地流过 R_L，再经过 R_E 流到负电源 $-V_{EE}$，这样，I_L 必然在 R_E 上产生压降，使 T_1 的发射极电压(即负载上的输出电压)总是高于 $-V_{EE}$。在极端情况下 T_1 截止，这时

$$\text{负向输出电压} \approx -\frac{V_{EE}}{R_E + R_L} \cdot R_L$$

$$\text{负向输出电流} \approx -\frac{V_{EE}}{R_E + R_L}$$

以上分析表明，如果用同样大小的正负电源，则正负向输出电压和电流的能力不同。

(2) 静态功耗大、效率低。

2. 推挽输出级电路

由图 13.13 可知，射极输出器输出级电路在 R_L 正信号输出时，R_E 要分掉一部分电流，

所以在正信号输出时，希望 R_E 越大越好，以使 I_L 上升；而负信号输出时，为提高输出电压幅度和输出电流能力，则希望 R_E 越小越好，两者是相互矛盾的。图 13.14 所示的推挽输出级电路可以较好地解决这一矛盾。它是用 T_3 代替图 13.13 中的 R_E，此外，T_2、T_3 的基极分别接到 T_1 的发射极和集电极上。当没有输入信号时(即静态时)，输出端电压应为零。这时通过电阻 R 的电流 I_1 为

$$I_1 = \frac{V_{CC} - V_{BE2}}{R}$$

假设管子的 β 较大，其基极电流可以忽略，则 I_1 就等于通过 T_1、D_1 的静态电流；又因为 D_1 与 T_3 构成了基本恒流源，所以知道了 I_1，也就很容易确定 T_2、T_3 的静态工作电流 I_0。当 T_1 基极输入一个负信号时，T_1 的集电极(即 T_2 的基极)得到一个正信号，通过 T_2 的发射极作用，在 R_L 上得到一个正信号输出；同时，在 T_1 的发射极(即 T_3 的基极)得到一负信号，这一负信号使 T_3 的集电极电流减小(或者相当于 T_3 的等效阻抗升高)。这时电路相当于一个 R_E 很大的射极输出器，见图 13.15 的等效电路。

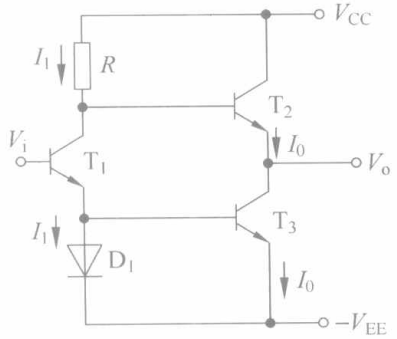


图 13.14　推挽输出级电路

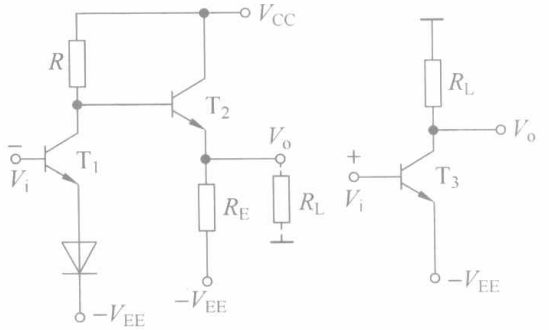


图 13.15　当 T_1 基极输入负、正信号时的等效电路

当 T_1 基极输入一正信号，在 T_2 基极得到一负信号，在信号很大的极端情况下，T_2 截止，它的负向跟随被限制了；但这时 T_3 的基极得一正信号、经放大后，在 T_3 的集电极(即输出端)得到一个负电压输出(此时可把 T_3 看做集电极电阻为 R_L 的放大器)，当 T_3 工作到饱和时，R_L 上负向输出电压可近似为 $-V_{EE}$。因此，当使用同样大小的正负电源时，可得到比较接近的正负向输出电压幅度。此电路的缺点是：正信号由 T_2 射随输出，其输出阻抗是低的，但负信号由 T_3 集电极输出，输出阻抗比较高；而且电路在输出正负信号时的增益也不同。

为克服此缺点，希望对负信号也能同样采用射极输出器输出，可使用由 NPN 管和 PNP 管组成的互补推挽输出级电路。

3. 互补推挽输出级电路

图 13.16 是最简单的互补推挽输出级电路，图中 PNP 管的集电极直接接在负电源上，所以可以用纵向 PNP 管。

此电路的工作原理如下：在没有信号输入(即静态)时，没有一个管子导通，此时两个管子 T_1、T_2 的静态电流都为零，因此静态功耗很小，效率很高。

当输入正信号且$V_i > V_{BE1}$时，T_1 导通，T_2 反偏，所以正信号由 T_1 的射极输出；而当输入负信号且$|V_i| > |V_{BE2}|$时，T_2 导通，T_1 反偏，负信号由 PNP 管 T_2 的射极输出。所以，此电路正负信号输出时的阻抗都很低，增益也相同。

此电路由于工作在乙类工作状态，所以当$|V_i| < |V_{BE,th}|$时，T_1，T_2 都未导通，负载上无电流通过，造成交越失真。

克服交越失真的较好办法是在 NPN 和 PNP 射极输出器之间，加一定的正向偏置，使在零信号输入时，也保持 T_1，T_2 有一个很小的静态工作电流 I_{BQ}，电路工作在甲乙类状态，如图 13.17 所示。图中的 I_0，D_1，D_2 是用来提供正向偏置电压的，其中 D_1，D_2 的基射电压分别与 T_1，T_2 管的基射电压相匹配，所以 T_1，T_2 的静态电流约等于流过 D_1，D_2 的电流，如果忽略基流的影响，这个电流即为恒流源电流 I_0。

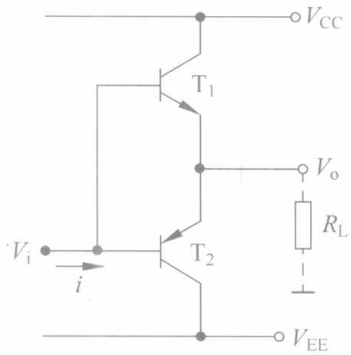


图 13.16　简单互补推挽输出级电路的原理图

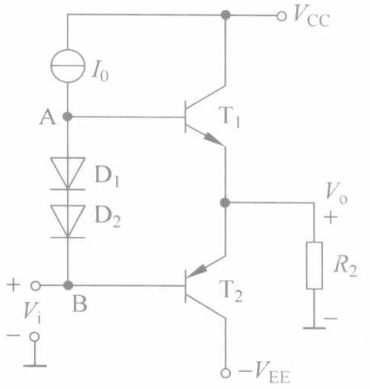


图 13.17　偏置于甲乙类的互补推挽输出级

也可用图 13.18 所示的办法来提供正向偏置电压。图 13.18(a)为复合晶体管形式，它只需要一个隔离区，由于流过 T_3 的电流很小，所以 V_{BE3} 较小，因而提供的 AB 两点间的正向偏置电压较小，从而使输出级电路的直流功耗有所下降。图 13.18(b)为 V_{BE} 倍增电路，它的 V_{AB} 可以通过改变 R_1/R_2 的比值来加以调节，$V_{AB} \approx (R_1 + R_2) \cdot V_{BE}/R_2$，它也只需要一个隔离区。图 13.18(c)为电阻 R 压降输出电路，由于 R 接在恒流源输出端和 T_1 的基极之间，I_{C3} 等将流经 R，所以 $V_{AB} < V_{A'B} = V_{BE3} + V_{BE4}$，因而也能降低静态功耗。

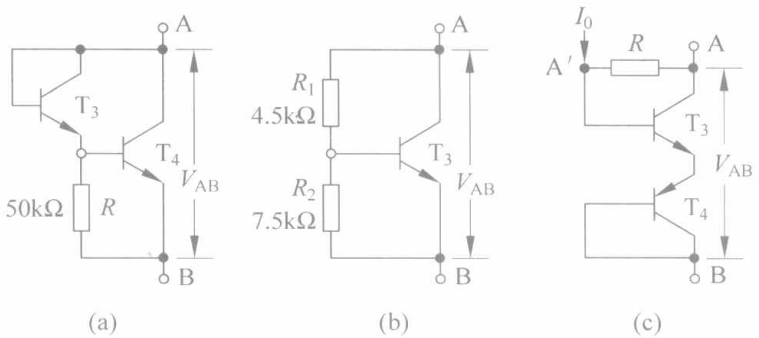


图 13.18　甲乙类互补推挽管的正向偏置电路

(a) 复合晶体管；(b) V_{BE} 倍增器；(c) R 压降输出

4. 输出级保护电路

双极型运放输出级的负载是电阻负载，上面介绍的任何一种输出级电路的最小负载电阻都是有限的。如果实际负载小于这个值，或输出端对地（或对电源）短路，输出级晶体管将会因电流过大而损坏。所以在高性能集成运放中，有必要设置限流保护电路，使得即使出现输出端与地、或与电源短路，也能确保安全。下面介绍两种常用的输出限流保护电路。

（1）二极管钳位限流保护电路

图 13.19 为二级管钳位限流保护电路，图中的 D_3、D_4 是附加的限流二极管，保护电路是靠输出电流在 R_e 上的压降来工作的，常用于互补推挽输出级电路中。

如果 T_1 中的电流 I_{e1} 升高，则 V_{Re1} 升高，所以

$$V_{DF3} = V_{BE1} + I_{e1}R_{e1} - V_{DF1} \approx I_{e1}R_{e1} \text{ 升高，}$$

当 $I_{e1}R_{e1}$ 上升到大于 D_3 的起始导通电压 V_{Dth3} 时，D_3 导通，使 I_{B1} 下降，从而限制了输出电流。其最大输出电流为

$$I_{e1max} \approx \frac{V_{DF3}}{R_{e1}}$$

式中 V_{DF3} 为 D_3 的正向工作电压。一旦过流因素去掉，电路即可恢复工作。当 T_2 工作时，若电流过载，则 D_4、R_{e2} 起限流保护作用。而在正常电流输出时，D_3、D_4 不导通，故对电路无影响。

由于 V_{DF} 具有负的温度系数，所以当环境温度升高时，V_{DF} 下降，从而使最大输出电流减小。

（2）晶体管限流保护

在集成运放中，常用的晶体管限流保护电路如图 13.20 所示。其工作原理与上述的二极管钳位限流保护电路类似，当输出电流 I_{e1}（或 I_{e2}）在 R_{e1}（或 R_{e2}）上的压降太大时，可使限流晶体管 T_3（或 T_4）导通，从而对输出晶体管 T_1（或 T_2）的基极电流形成分路，使输出电流不至于太大。最大输出电流为

$$I_{e1max} \approx \frac{V_{BE3}}{R_{e1}}; \quad I_{e2max} \approx \frac{V_{BE4}}{R_{e2}}$$

式中 V_{BE3}、V_{BE4} 为 T_3、T_4 管的 BE 结正向工作电压。

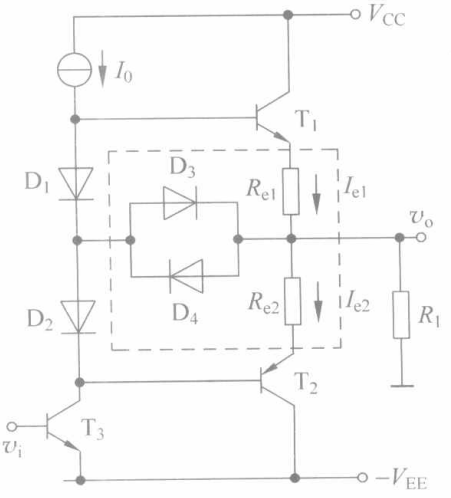


图 13.19　二级管钳位限流保护电路

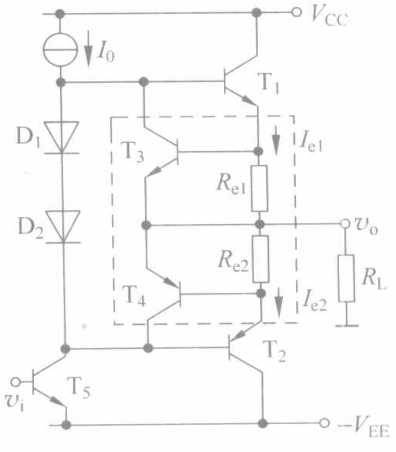


图 13.20　晶体管限流保护电路

13.2.2 MOS 输出级电路

1. 源极输出级

图 13.21 为 MOS 源极输出级，图中 M_2 是 M_1 的有源负载。此电路具有输入阻抗高、输出阻抗低、电压增益小于近于 1 的特点，在集成运放中得到广泛应用。

此输出级的 A_V、R_O 为

$$A_V \approx \frac{1}{1+\eta}$$

$$R_O \approx \frac{1}{g_{m1}\ (1+\eta)}$$

详细见第 12 章基本单元电路中的分析。

这种简单的 MOS 源极输出级电路，由于 MOSFET 的跨导 g_{m1} 较小，所以其输出电阻比双极型射极输出级的输出电阻大得多。在 CMOS 电路中，由于 CMOS 工艺可以很方便地制造出双极晶体管(Bi-CMOS 的一种工艺技术)，所以常采用如图 13.22 所示的射极输出级电路形式，图中 M_2 为有源负载，其等效动态电阻为 r_{ds2}，利用双极电路中之分析，知其电压增益为

$$A_V = \frac{(1+\beta)\ (r_o \ /\!/\ r_{ds2})}{r_\pi + (1+\beta)\ (r_o \ /\!/\ r_{ds2})} \tag{13.17}$$

式中，β，r_π，r_o 为双极晶体管的低频小信号等效参数电流增益、输入电阻和输出电阻。

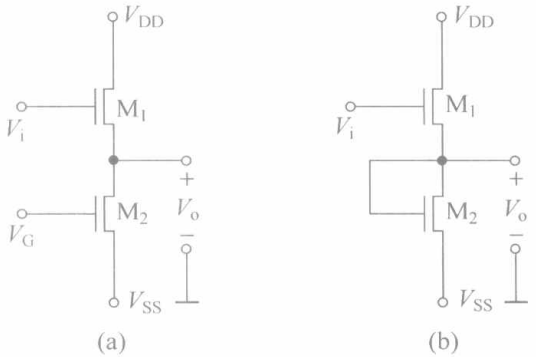


图 13.21　MOS 源极输出级的电路图

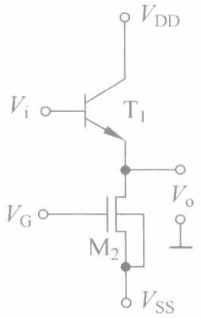


图 13.22　Bi-CMOS 电路的射极输出级

此输出级的输出电阻为

$$R_O = r_o \ /\!/\ r_{ds2} \ /\!/\ r_e \approx r_e$$

式中 r_e 为双极晶体管的发射极动态电阻，$r_e = 1/g_m$。因为在同样工作条件下，双极晶体管的跨导 g_m 比 MOSFET 的跨导大几十倍，所以 Bi-CMOS 的射极输出级电路的输出电阻，远小于 MOSFET 源极输出级的输出电阻，而使电流驱动能力有所提高。

以上两种输出级电路存在一个共同的问题：它的正向驱动能力，取决于输出管 M_1(或 T_1)的跨导，而负向驱动能力，却由负载管 M_2 的静态偏置电压值来决定，造成输出正负向驱

动能力不对称，一般负向驱动能力较正向驱动能力要差。所以，此电路在有电容负载 C_L 条件下，输出电压的上升和下降速率是不同的。另外，由于此类电路处于甲类状态，所以静态功耗较大。这些都与双极型射极输出级的特点相似。

为了改善输出电流驱动能力的对称性，可采用图 13.23 的改进型电路，它保留了输出阻抗低的优点。图中加了一级 CMOS 共源放大器（M_3，M_4），提供一定的电流增益，并将输入信号反向加到 T_1 的基极，M_2 所加信号与输入信号同相。当输出电流负向变化时，输入信号正向变化，因而使 M_2 的电流“吸收”能力得到扩展，改善了输出电流驱动能力的对称性。

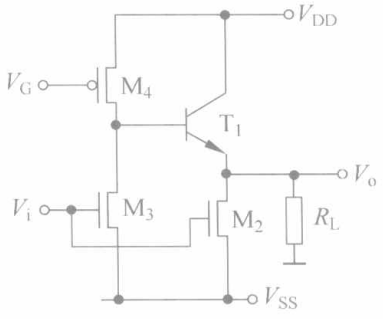


图 13.23　Bi-CMOS 射极输出级的改进型电路

2. E/E NMOS 反相输出级

图 13.24(a)和(b)分别为 E/E NMOS 反相输出级的电路图及其改进的实用电路。图 13.24(a)是一个共源放大器，由前面的 MOS 单管放大器的分析知，它的电压增益 A_E 为

$$A_E = \frac{-g_{m1}}{(1+\eta_2)g_{m2}} \tag{13.18}$$

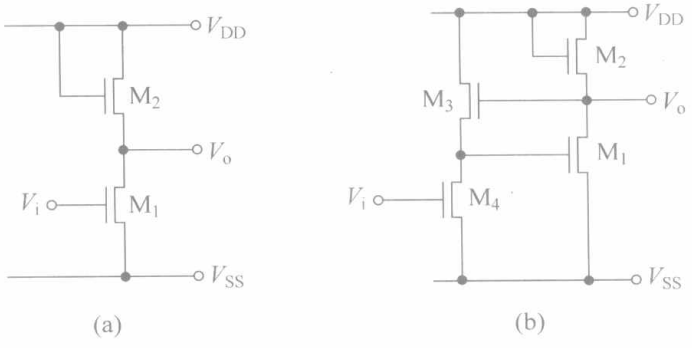


图 13.24　E/E NMOS 反相输出级

(a) 电路图；(b) 改进的实用电路

其输出电阻 R_O 为

$$R_O \approx \frac{1}{(1+\eta_2)g_{m2}} \tag{13.19}$$

这种输出级电路具有一定的电压增益，可以提高输出幅度，但它的输出电阻比较大。图 13.24(b)是它改进的实际电路，图中的 M_3 管构成电压并联负反馈，所以降低了电路的输出电阻。引入电压负反馈后，其输出电阻为

$$R_O \approx \frac{1}{g_{m1}+g_{m2}} \tag{13.20}$$

3. E/D NMOS 低输出电阻输出级

图 13.25 为 E/D NMOS 低输出电阻输出级电路，图中 M_1，M_3 是一级源跟随器，起隔

离作用。输入信号 V_i 分两路传送到输出端。一路直接加到负载管 M_6 的栅极，由 M_6 的源极输出；另一路加到 M_1 管的栅极，由 M_1 管的源极经电流镜 M_3，M_4 反相后加到输出管 M_7 的栅极，经 M_7 管反相放大后由漏极输出，这两路信号在输出端同相叠加。M_2 管是反馈管，它将输出信号反馈到输出管 M_7 的栅极，构成电压并联负反馈。当输出电流变化时，由于此负反馈的作用，可使输出电压只有较小的变化，即减小了它的输出电阻，从而大大提高了电流输出能力。

大家知道，为了加大输出级的驱动能力，不仅要求 M_7 管的 W/L 及器件面积比较大，而且要求负载管 M_6 管的 W/L 及器件面积比较大，这样，静态工作电流和功耗都将增大。为了解决这一矛盾，在耗尽型管 M_6 上并接一个零管（管子开启电压为 0V）M_5，如图 13.26 所示。在没有或只有很小的信号加到 M_5，M_6 栅极时，M_5 管截止或近于截止，导通作用主要由 M_6 管完成。当信号增大到一定程度，即要求输出较大信号时，零管 M_5 导通，这样一来就可以通过 M_5 管在大信号时的导通而加大电路的电流输出能力。于是，就可以把 M_6 管的 W/L 值设计得比较小，以保证低功耗；而 M_5 管的 W/L 值设计得比较大，因而能在不加大静态功耗的情况下，提高电路的动态驱动能力和速度。此外，M_5 管导通后，输出电阻还可以进一步降低。

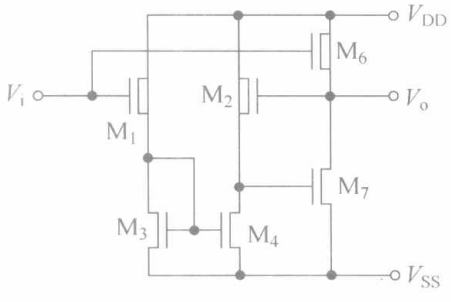


图 13.25　E/D NMOS 低输出电阻输出级

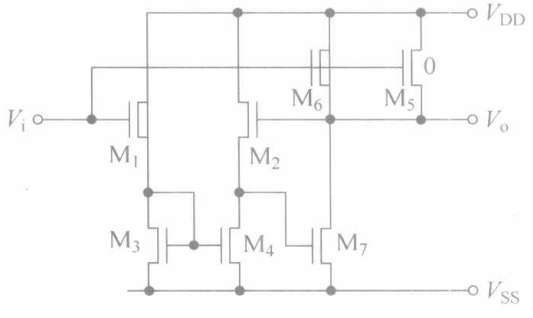


图 13.26　加零管的低输出电阻输出级电路

4. 漏极输出级

图 13.27 为漏极输出级电路图，其中 M_1，M_2 分别为 P 沟道和 N 沟道 MOS 管，在此电路中，M_1，M_2 互为放大管和负载管。它们组成互补推挽输出电路，M_3，M_4 起隔离作用，并为 M_1，M_2 提供偏置电压。由图可知，M_1 的栅偏压，由正电源 V_{DD} 与 M_3 的栅极电压 V_{G3} 决定，即 $V_{GS1}=V_{G3}-V_{DD}$；而 M_2 的栅偏压，由 M_3 的源极电压 V_{S3} 与负电源 V_{SS} 决定，即 $V_{GS2}=V_{S3}-V_{SS}$。合理设计各 MOS 管的尺寸，可使 M_1，M_2 处于工作电流很小的甲乙类状态。

当输入信号 V_i 正向变化时，M_3 电流增加，其源极电压也正向变化。因此，M_2 的电流增加，输出电压向负方向变化。与此同时，M_1 的电流却减小。因此，负载电流由 M_2 提供。

反之，当输入电压 V_i 负向变化时，M_3，M_2 的电流均减小，

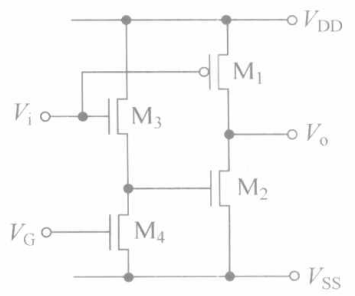


图 13.27　漏极输出级电路

输出电压向正方向变化。此时，M_1 的电流增加，它向负载提供电流。

此电路可以输出较大的正、负向电压摆幅（其正、负向摆幅，决定于正负电源电压与 M_1，M_2 的饱和压降），但它的输出电阻却较大，适用于驱动 MOS 电路的内部节点。

13.3 双极型集成运算放大器

13.3.1 741 型通用集成运放

741 型运放是应用最为广泛的通用集成运放之一，其电路图如图 13.28 所示，它由输入级、中间增益级、输出级和偏置电路四部分组成。

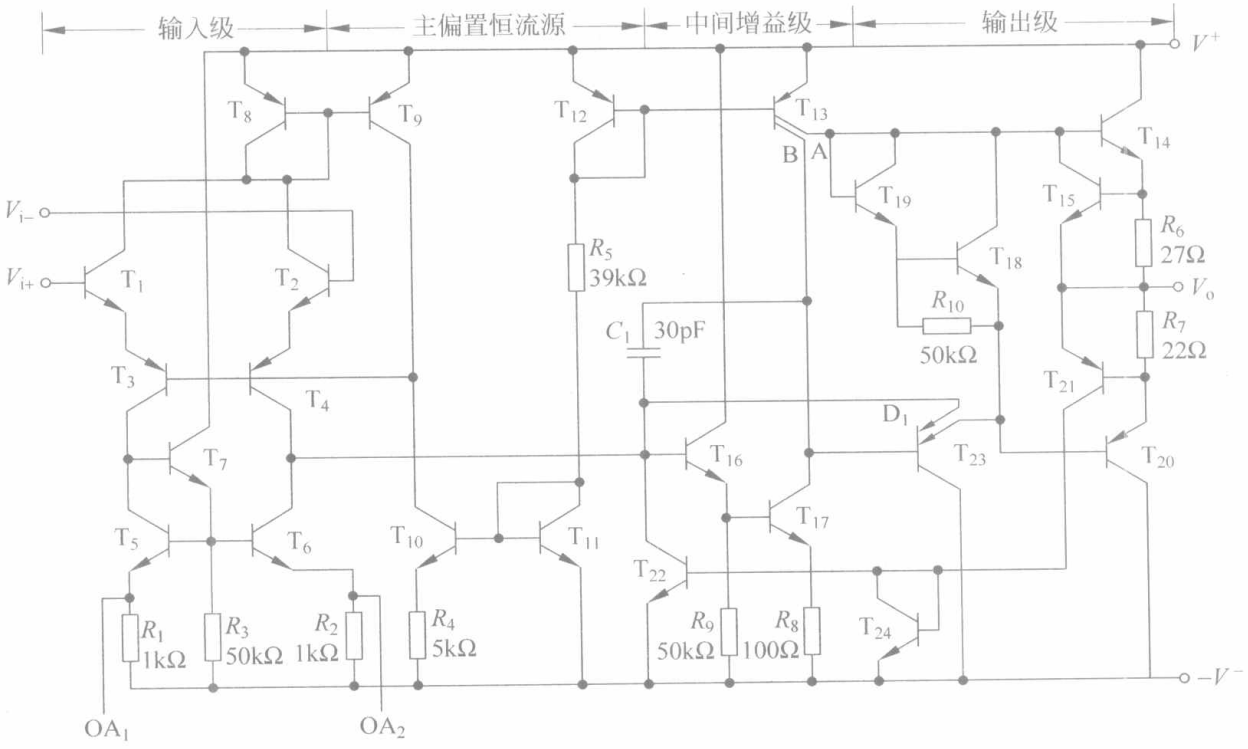


图 13.28 μA741 通用集成运算放大器电路图

它的输入级由 T_1～T_7 管组成，是前面介绍过的以精密匹配电流镜作为负载的 CC-CB 互补复合管差分输入级，它的增益高，输入电阻大。由于采用了有源负载和 PNP 管，所以能同时完成电平位移和单端化功能。由于采用了电流镜闭合负反馈，所以输入级的工作电流稳定，工艺离散性影响小，共模抑制比高。

中间增益级由 T_{16}，T_{17} 和 T_{13} 的一部分（集电极 B）组成。T_{16}，T_{17} 为有源负载 CC-CE 放大器，所以有较高的输入阻抗，减小了其对输入级的负载效应。T_{13} 的集电极 B 提供了恒流 I_{C13}，且作为 T_{17} 的有源负载，使本级获得较高的电压增益。

T_{14}，T_{20} 组成了互补射极跟随器，作推挽输出。在 T_{14} 和 T_{20} 之间，加了一个偏置，以克

服交越失真，由 T_{18}，T_{19}和 R_{10}来提供这个偏置。输出过流保护电路，由 T_{15}，R_6，T_{21}，R_7 及 T_{22}，T_{24}组成，正常工作时，T_{15}，T_{21}，T_{22}，T_{24}均截止。当流过 T_{14}的正向输出电流过大时，R_6 上的压降增加，使 T_{15}导通，从而分流了注入到 T_{14}的电流，保护了输出管 T_{14}；当 T_{20}管的负向输出电流过大时，R_7 上的压降增加，使 T_{21}，T_{24}管导通，而 T_{24}与 T_{22}又组成基本恒流源，T_{24}导通的同时，T_{22}也导通，分流了注入到 T_{16}管的基极电流，从而减小了 T_{20}管的电流。

纵向 PNP 管射极跟随器 T_{23}为中间增益级提供了一个高阻抗的负载，并将中间增益级与输出级加以隔离。由 T_{23}管的基射极形成的另一个二极管 D_1，其作用是保护中间增益级 T_{16}管。当信号电流 i_{B16}增大时，V_{C17}将下降，若 T_{16}的输入过大，使 T_{17}趋近饱和，$V_{BC17}\approx 0V$ 时 D_1 管就会导通，对 T_{16}的输入进行分流，保护了 T_{16}管，使它不致因注入电流过大而损坏；同时对 V_{BC17}进行钳位，从而保证了 T_{17}不进入深饱和。

偏置电路的核心部分，由 T_{11}，T_{12}，R_5 组成，该支路电流为参考电流 $I_r = I_{C11} = I_{C12}$。T_{10}，T_{11}，R_4 组成小电流恒流源，T_8 与 T_9，T_{12}与 T_{13}分别组成基本恒流源。

输入级偏置电路 T_8，T_9，T_{10}还具有稳定工作点的能力。如果某种原因使 I_{C1}，I_{C2}上升，则 I_{C8}（同时 I_{C9}）随之上升，由于 I_{C10}是恒定的，且 $I_{C10} = I_{C9} + (I_{B3} + I_{B4})$，因此，$I_{C9}$的上升会导致 I_{B3}，I_{B4}的下降，而引起 I_{C1}，I_{C2}的下降。于是，部分抵消了原来 I_{C1}，I_{C2}增加的趋势。以上分析表明，此输入级电路具有共模负反馈作用，因而有较高的共模抑制比。

13.3.2 其他特殊运放

1. 低功耗集成运放

一般通用集成运放的功耗在 100mW 左右，功耗小于 10mW 的集成运放称之为低功耗集成运放。低功耗集成运放的应用相当广泛，如使用于对能源有严格限制的遥感、遥测、生物功能器械及医用设备等应用场合或某些化工控制系统中，甚至可用于机载和星载电子设备中。由于低功耗的集成运放具有功耗低和发热小的特点，所以可用于用量大、封装密度高的电子设备中。在集成运放中，最容易获得低功耗的是 CMOS 运放（见 13.4 节的介绍），在双极型集成运放中，减小集成运放的功耗，可采用以下一些办法。

（1）增大负载电阻阻值，所以一般集成运放采用有源负载。

（2）采用小工作电流。在电路结构上，可采用外接偏置电阻，使得它能在很宽的电源电压范围内良好地工作。通过改变偏置电阻的阻值来调整其偏置电流，使其工作于最佳工作状态，以获得良好的电气特性。

（3）尽量减小输出级的静态功耗。为降低集成运放的功耗，不仅要降低它的静态偏置电流，更主要的是要降低输出级的偏置电流。因此，要对输出级的偏置方式采取相应的措施。

2. 低漂移集成运放

所谓低漂移集成运放，主要是指运放的输入失调电压和输入失调电流随温度、时间、电源电压变化而漂移很小的集成运放。在毫伏量级或更低的微信号检测以及精密模拟计算、

自动控制仪表、高精度集成稳压器、高增益交流放大器等设备中，都迫切要求使用低漂移集成运放。

为了提高集成运放的稳定性，减小漂移，特别是温度引起的漂移，首先应在电路器件设计和工艺上，设法获得尽可能小的失调电压和失调电流；另外可采用以下措施，改善器件的等温条件，使芯片的温度梯度尽量低。

(1) 在电路设计中，加设基片温度的自动控温电路，以求获得尽量低的温度梯度。

(2) 在工艺设计上，采用复合管，并恰当地选择复合晶体管的等效偏置电压 V_{BE} 或设置调零装置，使得差分输入的 $\Delta V_{BE} \approx 0$。

(3) 采用斩波稳零式放大电路。斩波稳零放大器又称为调制式放大器，它通过斩波器或调制器，将直流信号或变化十分缓慢的信号，先变换为某个频率的信号，经放大后，再经过检波，把交流信号重新恢复成原来的直流信号或变化十分缓慢的信号。在调制和解调的过程中，叠加在被解调信号上的斩波信号和尖峰信号均可由低频滤波器滤掉。由于它采用了调制和解调方式，因而解决了漂移与放大之间的矛盾。这种集成运放广泛地应用于工业测量仪表中的微弱信号测量和自动控制系统中。

3. 高输入阻抗集成运放

高输入阻抗集成运算放大器主要用于模拟调节器、采样保持电路、测量放大器、带通滤波器等电路中。

双极型高输入阻抗集成运放一般采用 FET(JFET 或 MOSFET)作为集成运放的输入级，高电流增益的双极晶体管作为中间增益级或输出级。这类运放的输入阻抗可以高达 $10^{12}\Omega$。

4. 高压集成运放

高压集成运放是为解决高输出电压或高输出功率的要求而设计的，在设计高压集成运放时，主要是利用电路中晶体管的 CB 结的高耐压性能、横向 PNP 管的高耐压性能和单管串接等方法来提高耐压。对于电路中部分管子耐压性能和功耗、电流的限制，通常采用一些特殊保护电路加以解决。

13.4 MOS 集成运算放大器

13.4.1 MOS 集成运放的特点

MOS 运放在电路结构上与双极型运放基本相同，但由于它们的工作机理与使用场合不同，所以它们之间也有许多差别，主要体现在以下几个方面。

1. 电路结构

由于 MOS 运放主要用于模拟集成系统或子系统内，与整个系统设计制作在一个芯片上，所以它的负载是确定的，通常是几十皮法的电容负载，这就不需要像通用运放那样，要求

电路能适应几百皮法的电容负载或几千欧的电阻负载。同时还可以利用负载电容形成运放的主极点，使电路简化。

另外，由于不同系统对运放的要求不同，所以可针对各种需要进行设计，因而 MOS 运放的电路形式比较多，而且电路结构往往可以得到简化。

2. MOS 运放的失调电压较大

MOS 运放的失调由两部分组成：随机失调和系统失调。

随机失调是指运放的差分输入级的两臂，由于工艺原因或几何尺寸的失配而产生的失调电压，这在 13.2.1 节中分析 MOS 源耦合对差分输入级时已做了介绍。这部分失调电压为

$$\Delta V_{GS} = \Delta V_{T12} + \sqrt{\frac{I_0}{8k_1}}\left(\left|\frac{\Delta W}{W_1}\right| + \left|\frac{\Delta L}{L_1}\right|\right)$$

式中 $\Delta V_{T12} = V_{T1} - V_{T2}$，$\Delta V_{GS} = V_{GS1} - V_{GS2}$，$\Delta W = W_1 - W_2$，$\Delta L = L_1 - L_2$，$I_0$ 为偏置恒流源电流（设有源负载对称）。

系统失调电压是指组成运放的各级之间的连接带来的失调，即使运放中所有成对的元件都匹配，这种失调仍然可能存在。图 13.29 为一种两级 CMOS 运放的原理图，图中将两级放大器分开（在实际集成运放电路中 A、B 合为一点）。假定第一级各成对器件 M_1 和 M_2、M_3 和 M_4 都匹配，也就是说，假定这一级本身没有失调电压。当该级的两个输入端都接地时，其输出为 V_1，这时第二级的输出 V_o 应为 0。假定为使第二级的输出为 0 的该级输入电压为 V_2，在理想情况下，应满足 $V_1 = V_2$。但由于制造工艺过程及几何尺寸的误差，往往 $V_1 \neq V_2$，从而形成了失调电压，称这种原因形成的失调电压为系统失调电压。

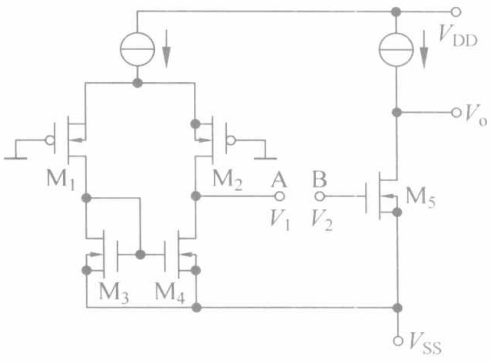


图 13.29　两级 CMOS 运放原理图

在双极型集成运放中也存在系统失调，但因为双极型运放第一级的增益很高，如 μA741 运放，其第一级的增益约为 300，所以在第一、第二级之间连接时所出现的失调电压，折合到第一级输入端时，要除以 300，这个数值是很小的，所以在双极型运放中，通常主要考虑第一级放大器（输入级）的失调。但在 MOS 运放中，因为第一级的增益只有几十，所以在考虑整个运放的失调特性时，还要考虑第一、二级连接时所带来的失调电压。

3. 频率补偿问题

为了使运放稳定工作，必须在运放电路中加入频率补偿。频率补偿的一般方法是在运放电路中增加一个相位滞后网络，使其主极点落在低频范围内。通常运放只用两级放大，在开环频率响应中只有两个极点，因此只需要简单的补偿电容 C_C 就可以使运放稳定地工作。但加入补偿电容后，会在电路的传输函数中出现一个零点 $Z = g_{m2}/C_C$（g_{m2} 为运放第二级的

跨导)。关于双极型集成运放的频率补偿技术,在前续课程"模拟电路"中已做了详细介绍,这里不再重复,下面介绍 MOS 运放的频率补偿问题。

分析 MOS 运放频率性的一阶近似等效电路与双极型运放相同,如图 13.30 所示。

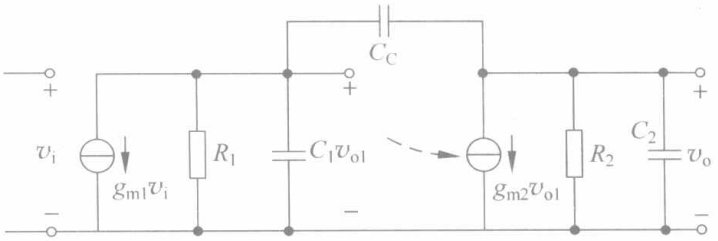


图 13.30　分析运放频率补偿特性的一阶等效电路

图中:v_i 为运放的输入电压;

v_{o1} 为第一级的输出电压;

v_o 为第二级的输出电压;

g_{m1} 为第一级的等效跨导;

$g_{m1}v_i$、R_1、C_1 构成第一级的近似等效电路参数;

g_{m2} 为第二级的等效跨导;

$g_{m2}v_{o1}$、R_2、C_2 构成第二级的近似等效电路参数;

C_C 为频率补偿电容(这种补偿方法所需的电容数值小,可做在片子上)。

利用节点电流法可以得出下列方程

$$\begin{bmatrix} g_1 + sC_1 + sC_C & -sC_C \\ g_{m2} - sC_C & g_2 + sC_C + sC_2 \end{bmatrix} \begin{bmatrix} V_{o1}(s) \\ V_o(s) \end{bmatrix} = \begin{bmatrix} -g_{m1}V_i(s) \\ 0 \end{bmatrix}$$

式中 $V_i(s)$、$V_{o1}(s)$、$V_o(s)$ 分别为 v_i、v_{o1} 的拉普拉斯变换,g_1、g_2 分别为 R_1、R_2 的倒数,由上式可以解出

$$V_o(s) = \frac{g_{m1}g_{m2}\left(1 - \dfrac{sC_C}{g_{m2}}\right)V_i(s)}{[g_1 + s(C_1 + C_C)][g_2 + s(C_2 + C_C)] + sC_C(g_{m2} - sC_C)}$$

所以此等效电路的传输函数为

$$\frac{V_o(s)}{V_i(s)} = -\frac{a\left(\dfrac{sC_C}{g_{m2}} - 1\right)}{1 + bs + cs^2}$$

式中

$$a = g_{m1}g_{m2}R_1R_2;$$

$$b = R_2(C_2 + C_C) + R_1(C_1 + C_C) + g_{m2}R_1R_2C_C;$$

$$c = (C_CC_1 + C_CC_2 + C_1C_2)$$

传输函数的表达式表明,在传输函数中含有两个极点、一个零点。

用 p_1、p_2 分别表示低频极点和高频极点，对于有补偿的运放，$p_2 \gg p_1$，可得

$$p_1 = -\frac{1}{b} = -\frac{1}{R_2(C_2+C_C)+R_1(C_1+C_C)+g_{m2}R_2R_1C_C}$$

对于实际运放，$g_{m2}R_2R_1C_C \gg R_2(C_2+C_C)+R_1(C_1+C_C)$，所以

$$p_1 \approx -\frac{1}{g_{m2}R_2R_1C_C}$$

$$p_2 = \frac{1}{p_1 c} = -\frac{g_{m2}C_C}{C_2C_C+C_1C_C+C_1C_2}$$

由上两式可见，随着补偿电容 C_C 值的增加，p_1 减小，p_2 增大，即 C_C 将两个极点分离开；另外，g_{m2} 的值越大，两个极点的距离越大。

用 Z 表示传输函数的零点，则由传输函数方程可得

$$Z = \frac{g_{m2}}{C_C}$$

它是加入 C_C 后才出现的，这个零点，将要影响运放的频率特性。如果零点 Z 的频率远大于运放的单位增益带宽 GB，那么零点 Z 对运放相移的贡献可以忽略，不影响其工作稳定性；反之，零点 Z 的频率低于单位增益带宽 GB，那么零点 Z 将使运放不稳定。

在双极型运放电路中，通常跨导 g_{m2} 较大。零点 Z 的频率远大于单位增益带宽 GB，不会影响电路的稳定性。但在 MOS 运放电路中，由于 MOS 的跨导较低，频率补偿电容 C_C 所产生的零点 Z 的频率较低，将造成运放的不稳定。所以对 MOS 电路只采用简单的频率补偿电容 C_C 时，其闭环工作状态有时是不稳定的。因此，在进行 MOS 运放的设计时，需要采取一些措施来消除其传输函数中的零点。通常用以下两种办法：

(1) 在反馈支路中加入增益为 1 的缓冲器

此方案是将第二级输出端通过一个增益为 1 的缓冲器再与补偿电容相接，如图 13.31(a)所示，在实际电路中增益为 1 的缓冲放大器常用源跟随器实现，其电路结构如图 13.31(b)所示，第二级的输出端通过一个源跟随器 M_6 再与补偿电容 C_C 相接。在高频时，由于 M_6 的隔离作用，电容 C_C 就不能将第一级的输出信号直接馈送到第二级的输出端，从而减小了运算放大器输出信号的相位变化。此时电路的等效电路如图 13.31(c)所示，将缓冲放大器用一个放大系数为 1 的电压控制电压源表示。从等效电路可得节点方程为

$$g_{m1}V_i(s)+(g_1+sC_1+sC_C)V_{o1}(s)-sC_CV_o(s)=0$$

$$(sC_2+g_2)V_o(s)+g_{m2}V_{o1}(s)=0$$

解上述方程，可得其传输函数为

$$V_o(s) = \frac{g_{m1}g_{m2}V_i(s)}{[g_1+s(C_1+C_C)](g_2+sC_2)+g_{m2}sC_2} \tag{13.21}$$

由上式可见，在传输函数中已不存在零点，即补偿电容 C_C 经缓冲放大器后，零点消除了，电路的稳定性得到了改善。

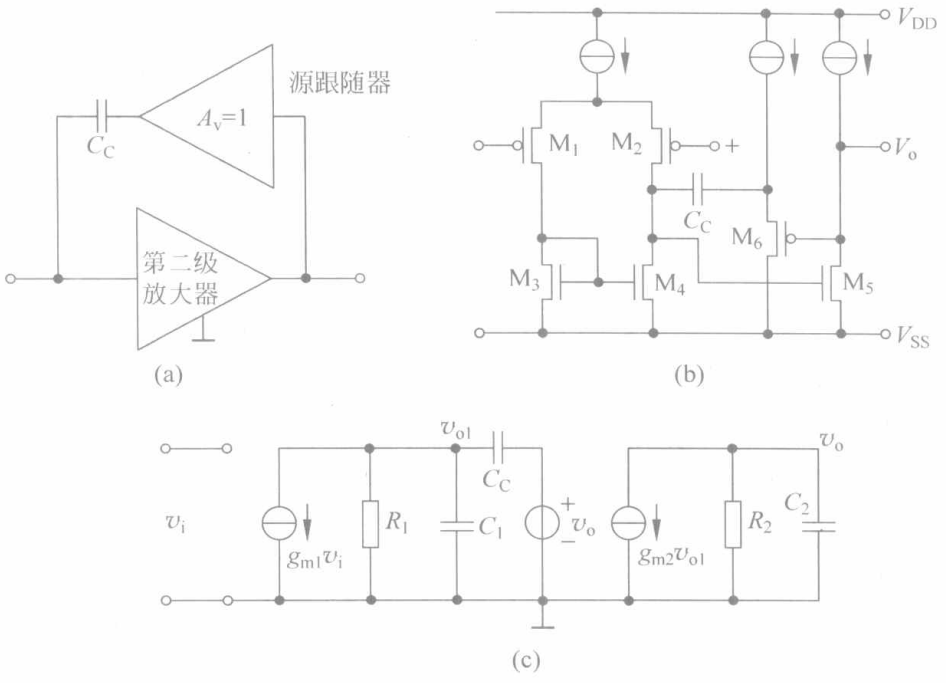


图 13.31　用缓冲放大器消除零点

(a) 补偿示意图；(b) 实际电路；(c) 等效电路

(2) 在反馈支路中加入消零电阻 R_C

采用这种方法消除零点的等效电路如图 13.32 所示，它是电容 C_C 与电阻 R_C 串联后进行补偿。

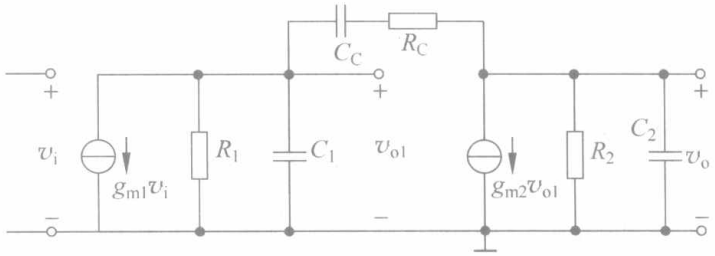


图 13.32　用串联电阻消除零点的等效电路

这个电路的方程为

$$g_{m1}V_i(s)+\left(g_1+sC_1+\frac{1}{R_C+\frac{1}{sC_C}}\right)V_{o1}(s)-\frac{1}{R_C+\frac{1}{sC_C}}V_o(s)=0$$

$$\left(g_{m2}-\frac{1}{R_C+\frac{1}{sC_C}}\right)V_{o1}(s)+\left(g_2+sC_2+\frac{1}{R_C+\frac{1}{sC_C}}\right)V_o(s)=0$$

解上述方程，可得传输函数为

$$\frac{V_o(s)}{V_i(s)}=\frac{a\left[1-s\left(\frac{C_C}{g_{m2}}-R_CC_C\right)\right]}{1+b's+c's^2+d's^3}$$

式中：$a=g_{m1}g_{m2}R_1R_2$；

$b'=R_2(C_2+C_C)+R_1(C_1+C_C)+g_{m2}R_2R_1C_C+R_CC_C$；

$c'=R_1R_2(C_1C_2+C_1C_C+C_2C_C)+R_CC_C(R_1C_1+R_2C_2)$；

$d'=R_1R_2R_CC_1C_2C_C$。

它的零点表示式为

$$Z=\left(\frac{C_C}{g_{m2}}-R_CC_C\right)^{-1}$$

由上式可知，当 $R_C=1/g_{m2}$ 时，零点频率将趋于无限大，从而消除了零点对频率特性的影响，提高了电路的稳定性。

4. 电源抑制比差

电源抑制比(K_{PSR})是描述运放对电源干扰抑制能力的一项技术指标，它定义为

$$\text{电源抑制比}=\frac{\text{从运放的输入到输出的开环增益}}{\text{从电源到运放输出的增益}}$$

在 MOS 运放中，对 K_{PSR} 比较重视，主要原因如下：

MOS 运放主要用于模拟子系统中，这些子系统往往又与数字系统制作在同一芯片上，在许多系统中使用开关型稳压器，这种电路很容易将稳压器本身产生的干扰引入到电源线上，并且这个干扰信号的频率较高(100kHz 左右)，能够通过补偿电容馈送到输出端。所以，在设计 MOS 模拟电路时，要考虑它的电源抑制比。下面以图 13.33 所示的 CMOS 二级运放为例来说明 K_{PSR} 的概念。

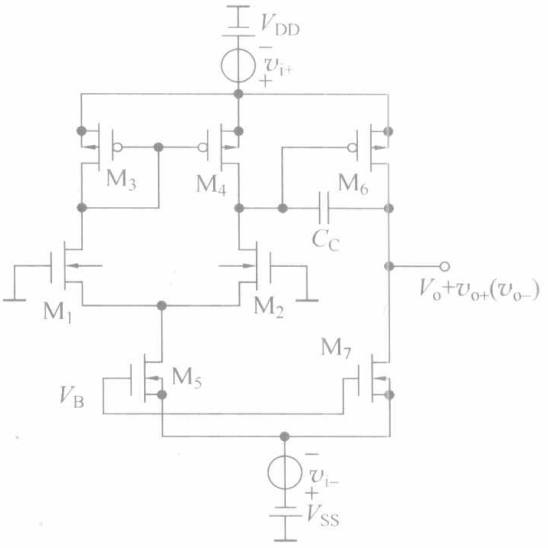


图 13.33 求 CMOS 二级运放电源抑制比的电路图

将运放的两输入端接地或接相等的恒定电压，而在正电源和地之间接入输入信号 v_{i+}，求得输出端的输出电压 v_{o+}，可得到对正电源的电源抑制比 K_{PSR^+} 为

$$K_{PSR^+}=\frac{A_{vd}}{\frac{v_{o+}}{v_{i+}}}$$

式中，A_{vd} 为运放的差模电压增益。

同样，在负电源和地之间加入信号 v_{i-}，求得运放的输出电压 v_{o-}，可得对负电源的电源抑制比 K_{PSR^-} 为

$$K_{PSR^-}=\frac{A_{vd}}{\frac{v_{o-}}{v_{i-}}}$$

从图 13.33 可以看出，对于第一级而言，不论是正电源输入 v_{i+} 还是负电源输入 v_{i-}，都相当于共模输入，所以这一级对电源输入的增益是它的共模增益。第二级的情况则不同，如果电源线上干扰信号的频率较高，相当于电源输入是一个高频信号，这时补偿电容可近似看做短路，所以第二级的等效电路如图 13.34 所示。在正电源输入时，假定 $r_{ds7} \gg r_{ds6}$，则

$$\frac{v_{o+}}{v_{i+}} \approx \frac{g_{m6} r_{ds6} + 1}{g_{m6} r_{ds6} + 1} = 1$$

上式表明对正电源的电源抑制比 K_{PSR^+} 很差，出现在正电源中的高频信号，将全部在输出端输出。

在负电源输入时，由图 13.34(b)可求得

$$\frac{v_{o-}}{v_{i-}} \approx -\frac{g_{m7}}{g_{m6}}$$

在此运放电路中，M_6 是第二级的放大管，M_7 是其负载管，为了使第二级有足够的增益，设计成 $g_{m6} \gg g_{m7}$。所以此运放对负电源的 K_{PSR^-} 要比对正电源的 K_{PSR^+} 好许多。

下面主要介绍几种 CMOS 集成运算放大器。

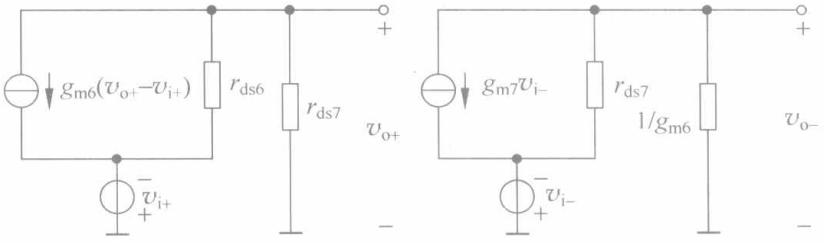


图 13.34　分析 K_{PSR} 时第二级的等效电路

(a) 正电源输入；(b) 负电源输入

13.4.2　CMOS 集成运放

1. 基本的两级 CMOS 运放

CMOS 由于其独特优点，比别的 MOS 电路更适合作为模拟电路。CMOS 中有互补管(NMOS 管和 PMOS 管)，可以方便地直接把双极型电路(其中既有 NPN 管又有 PNP 管)转化为同类的 CMOS 电路，如图 13.35 所示的二级运放电路。

由图可见，两者具有完全对应的电路形式，其中 PMOS 管与双极运放中的 PNP 管对应，NMOS 管与 NPN 管对应，电路结构简单，而前面讨论的 NMOS 运放，由于没有互补管子，所以电路比较复杂。

下面来分析图 13.36 所示的最简单的基本二级 CMOS 运放。它由二级放大器组成，PMOS 管 M_3，M_4 组成源耦合对差分输入管，NMOS 管 M_1，M_2 为其有源负载，同时完成双端输入到单端输出转换，输出级为 NMOS 管 M_7 和 PMOS 管 M_8 组成的有源负载共源放大级，M_8 为有源负载。偏置部分由 M_5 和外接电阻 R_r 组成，用来确定差分输入级和输出级的

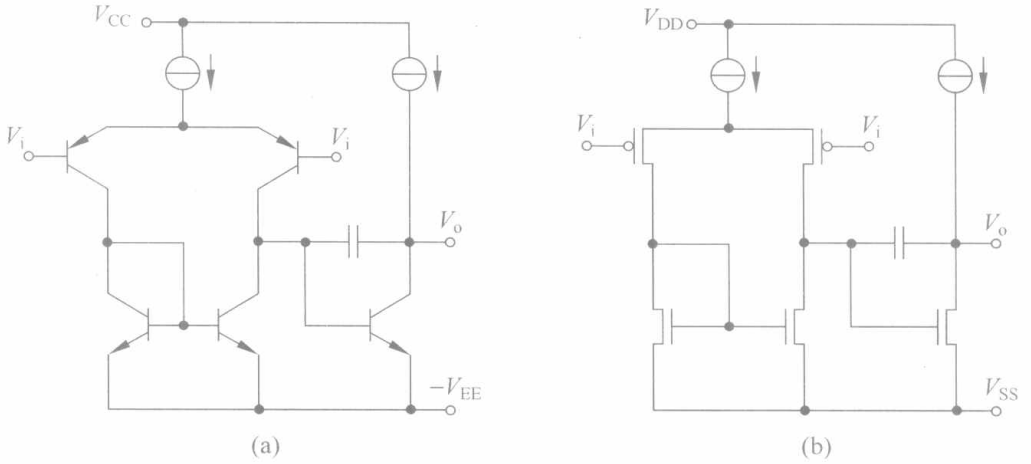


图 13.35　二级运放电路

(a) 双极型运放；(b) CMOS 运放

工作电流。用外接电阻是为了使用方便，因为通过对 M_5 电流的控制，可以控制放大器的电性能。PMOS 管 M_5，M_6，M_8 组成比例恒流源系统。C_C 为密勒补偿电容。

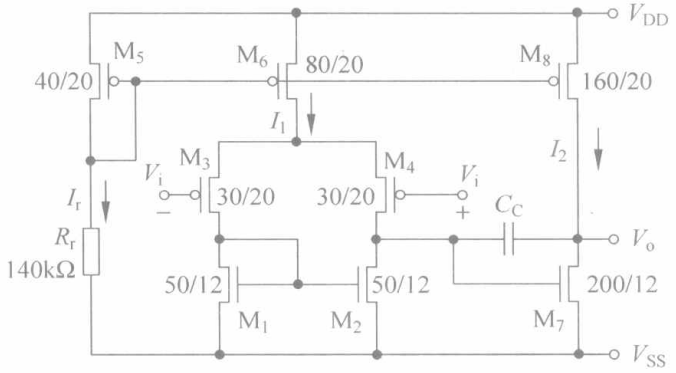


图 13.36　基本的二级 CMOS 运放电路

若管子的宽长比如图中所示，且已知 $V_{TP}=-1\text{V}$，$V_{TN}=1.5\text{V}$，$V_{DD}=|V_{SS}|=7.5\text{V}$，则由外接电阻 R_r 可求出各级的工作电流。设 $R_r=140\text{k}\Omega$，则

$$I_r \leqslant \frac{V_{DD}-V_{SS}+V_{TP}}{R_r}=\frac{7.5+7.5-1}{140}=100\mu\text{A} \tag{13.22}$$

$$I_1=I_r\frac{(W/L)_6}{(W/L)_5}=200\mu\text{A} \tag{13.23}$$

$$I_2=I_r\frac{(W/L)_8}{(W/L)_5}=400\mu\text{A} \tag{13.24}$$

假定管子的参数为

$$\mu_N=600\text{cm}^2/(\text{V}\cdot\text{s})$$

$$\mu_P=200\text{cm}^2/(\text{V}\cdot\text{s})$$

$$\lambda = 0.01/\mathrm{V}$$
$$C_{ox} = 2.3 \times 10^{-8}\,\mathrm{F/cm^2}$$

则各管的跨导为

$$g_{m4} = \sqrt{2\mu_P C_{ox}\left(\frac{W}{L}\right)_4 \frac{I_1}{2}} = 37\mu\mathrm{A/V} \tag{13.25}$$

$$g_{m7} = \sqrt{2\mu_N C_{ox}\left(\frac{W}{L}\right)_7 I_2} = 429\mu\mathrm{A/V} \tag{13.26}$$

各管的源漏电阻 r_{ds} 为

$$r_{ds2} = r_{ds4} = \frac{1}{\frac{I_1}{2}\lambda} = \frac{2}{I_1\lambda} = 10^6\,\Omega \tag{13.27}$$

$$r_{ds7} = r_{ds8} = \frac{1}{I_2\lambda} = 250\mathrm{k}\Omega \tag{13.28}$$

运放的电压增益 A_v 为

$$A_v = A_{v1} \cdot A_{v2} = [-g_{m4}(r_{ds4} \,/\!/\, r_{ds2})][-g_{m7}(r_{ds7} \,/\!/\, r_{ds8})] \approx 992 \tag{13.29}$$

即

$$A_v = 60\mathrm{dB}$$

下面再举一个例子来说明当已知电源电压和技术指标要求后，如何来确定各管子的尺寸。首先，确定运放的电路结构，选以 NMOS 管为输入管的基本 CMOS 二级运放电路，电路结构如图 13.37 所示，其电路形式与上面介绍的以 PMOS 管作为输入管的基本 CMOS 运放一致，只是极性不同。

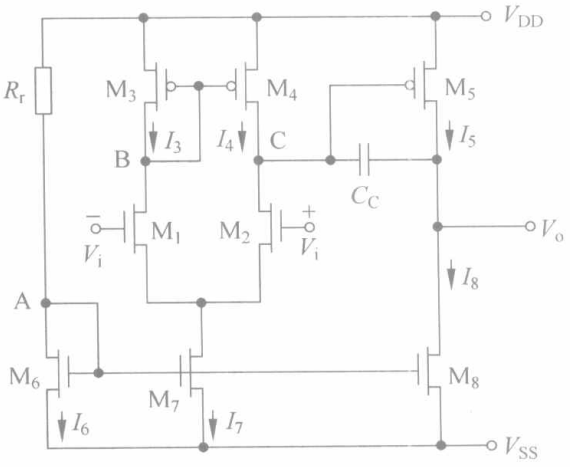


图 13.37　基本的二级 CMOS 运放之二

在运放结构确定后，首先确定直流工作点。设 $V_{DD} = -V_{SS} = 5\mathrm{V}$，各管的 $|V_T| = 1\mathrm{V}$，从输出的动态幅度考虑，设定图中 A 点的电位为 $-2\mathrm{V}$，也即 $V_{GS6} = V_{GS7} = V_{GS8} = 3\mathrm{V}$。从电路功耗、运放的增益，输出级的驱动能力等方面考虑，选取偏置电流 $I_6 = 70\mu\mathrm{A}$，差分输入级的工作电流 $I_7 = I_6 = 70\mu\mathrm{A}$，输出级电路 $I_8 = 100\mu\mathrm{A}$。

根据偏置电流可求得偏置电阻 R_r 为

$$R_r = \frac{V_{DD} - V_{GS6} - V_{SS}}{I_6} = 100\mathrm{k}\Omega$$

设 NMOS 管的 $C_{ox}\mu_N = 23.3\mu\mathrm{A/V^2}$，则

$$\left(\frac{W}{L}\right)_6 = \frac{I_6}{\frac{C_{ox}\mu_N}{2}(V_{GS6} - V_T)^2} = \frac{18}{12}$$

因为 $I_6=I_7$，$V_{GS6}=V_{GS7}$，所以

$$\left(\frac{W}{L}\right)_7=\left(\frac{W}{L}\right)_6=\frac{18}{12}$$

同理

$$\frac{I_8}{I_7}=\frac{\left(\frac{W}{L}\right)_8}{\left(\frac{W}{L}\right)_7}$$

可得

$$\left(\frac{W}{L}\right)_8\approx\frac{22}{10}$$

在静态条件下，为使失调电压为零，应使 $I_5=I_8$，因为 M_1 和 M_2、M_3 和 M_4 是对称设计的，所以在静态时 $V_B=V_C$，于是有 $V_{GS4}=V_{GS5}=V_{GS3}$，所以

$$\frac{I_5}{I_4}=\frac{I_5}{\frac{I_7}{2}}=\frac{\left(\frac{W}{L}\right)_5}{\left(\frac{W}{L}\right)_4}$$

可得

$$\left(\frac{W}{L}\right)_5=2\left(\frac{W}{L}\right)_4\cdot\frac{I_8}{I_7}=\frac{2\left(\frac{W}{L}\right)_4\left(\frac{W}{L}\right)_8}{\left(\frac{W}{L}\right)_7}$$

为使第二级的跨导 g_{m5} 大于第一级差分输入级的跨导 g_{m1}，选择

$$\left(\frac{W}{L}\right)_1=\frac{10\mu m}{10\mu m}=1;$$

$$\left(\frac{W}{L}\right)_5=10\left(\frac{W}{L}\right)_1=\frac{100\mu m}{10\mu m}$$

代入上式可得

$$\left(\frac{W}{L}\right)_3=\left(\frac{W}{L}\right)_4=\frac{\left(\frac{W}{L}\right)_5\cdot\left(\frac{W}{L}\right)_7}{2\left(\frac{W}{L}\right)_8}=\frac{34}{10}$$

设 $\lambda_N=\lambda_P=\lambda=0.01/V$，$C_{ox}\mu_P=10.1\mu A/V^2$，则由各管的 $\left(\frac{W}{L}\right)$ 可以得到

$$g_{m2}=\sqrt{\mu_N C_{ox}I_7\left(\frac{W}{L}\right)_2}\approx 40.4\mu A/V$$

$$g_{m5}=\sqrt{2\mu_P C_{ox}I_5\left(\frac{W}{L}\right)_5}\approx 142\mu A/V$$

$$r_{ds2}=r_{ds4}=\frac{1}{\frac{I_7}{2}\cdot\lambda}=\frac{2}{I_7\cdot\lambda}=2.86\text{M}\Omega$$

$$r_{ds5}=r_{ds8}=\frac{1}{I_5\cdot\lambda}=1\text{M}\Omega$$

所以运放的增益 A_V 等于

$$A_V=A_{V1}\cdot A_{V2}=[-g_{m2}(r_{ds2}\ /\!/\ r_{ds4})][-g_{m5}(r_{ds5}\ /\!/\ r_{ds8})]\approx 4100$$

即

$$A_V\approx 72\text{dB}$$

上述最基本的二级 CMOS 运放电路性能不太理想，正如 13.4.1 节中所述，补偿电容 C_C 虽然起到了频率补偿的作用，但同时也引入了输出信号的负反馈，过强的负反馈会引起运放工作的不稳定。为了消除补偿电容 C_C 引入的零点，对基本的二级 CMOS 运放进行了改进，下面来分析它的两个改进型电路。

2. 二级 CMOS 运放的改进型电路

(1) 加入增益为 1 的缓冲器的二级 CMOS 运放

图 13.38 为加入了增益为 1 的缓冲器的二级 CMOS 运放电路，其中 $M_1\sim M_4$ 构成有源负载的差分输入级；M_5 提供该级的工作电流；M_8，M_9 构成共源放大电路，作为输出级；M_7 为源跟随器，作为增益为 1 的缓冲器，以克服补偿电容的前馈效应，并消除零点；M_6 提供 M_7 的工作电流；M_{10}，M_{11} 组成运放的偏置电路。

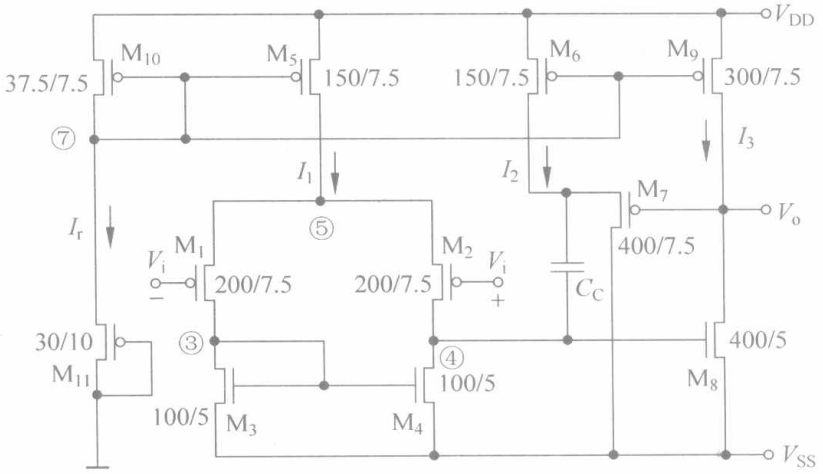


图 13.38　加入增益为 1 的缓冲器的二级 CMOS 运放

下面介绍电路的工作点设计和电路中各 MOS 管(W/L)的计算方法。

① 工作点的设计。在设计时，首先应确定电源电压，为了保证输出电压摆幅大于 ±5V，选取了 ±7.5V 的电源。在讨论中假设各管开启电压的典型值 $|V_T|=1.5$V，电路中节点⑦的电位应根据电路输出的正向电压最大摆幅来确定。当电路输出正向摆幅为 5V 时，为保证 M_9 工作于饱和区，V_7 应满足条件 $V_7\geqslant 5\text{V}+V_{TP}=3.5\text{V}$，设计取 3.8V。同理，当电路输出负向摆幅为 −5V 时，节点③和④的电位由 M_8 脱离饱和区的 V_{DS} 值决定，设计取

−5V 左右。节点⑤的电位 V_5 可以根据电路正向共模输入电压范围来确定，电路的正向共模电压范围由 M_5 进入线性区的漏极电压所限制，为了获得最大正向共模电压，M_5 漏极的电位(即 V_5)取 2V 左右。

现要求运放的最大转换速率 $S_r=30V/\mu s$，由电子线路的知识可知

$$S_r=\frac{I_0}{C_C}$$

式中 I_0 为运放差分输入级的工作电流，即 M_5 提供的电流 I_1；C_C 为补偿电容。此电路的补偿电容 C_C 为 10pF，为了达到要求的转换速率，M_5 的电流应为 300μA，现取 350μA。补偿电容充放电回路也通过 M_7，所以 M_6，M_7 的电流也取 350μA。

为增大输出能力并驱动大电容负载，输出级 M_8，M_9 的工作电流为 M_5 电流源电流的 2 倍，即 700μA 左右，M_{10}，M_{11} 偏置电流取 86μA 左右。

综上所述，电路中 M_{10}，M_5，M_6 和 M_9 的电流比设计为 1∶4∶4∶8，也即此四个管子的 W/L 之比为 1∶4∶4∶8。

② 各 MOS 管沟道的 W/L 的计算。CMOS 电路版图尺寸设计时，最重要的是确定各 MOS 管沟道的 W/L，根据上面的讨论，可以估算各有关 MOS 管沟道 W/L 的比例。

因为各管子工作在饱和区，所以由

$$I_D=\frac{\mu_P C_{ox}}{2}\frac{W}{L}(V_{GS}-V_T)^2$$

代入工艺参数 $\mu_P C_{ox}$ 及 V_T，V_{GS}，即可求得 $\left(\frac{W}{L}\right)_{10}$ 和 $\left(\frac{W}{L}\right)_{11}$。

因为 M_{10}，M_5，M_6，M_9 组成电流镜，其电流比为 1∶4∶4∶8，所以 M_5，M_6，M_9 和 M_{10} 的沟道 W/L 的比例关系为

$$\left(\frac{W}{L}\right)_5=\left(\frac{W}{L}\right)_6=4\left(\frac{W}{L}\right)_{10}$$

$$\left(\frac{W}{L}\right)_9=8\left(\frac{W}{L}\right)_{10}$$

由前面关于失调电压的分析知，为减小运放的失调电压，M_3，M_4，M_5 与 M_8，M_9 的沟道 W/L 之间应满足

$$\frac{\left(\frac{W}{L}\right)_3+\left(\frac{W}{L}\right)_4}{\left(\frac{W}{L}\right)_5}=\frac{2\left(\frac{W}{L}\right)_3}{\left(\frac{W}{L}\right)_5}=\frac{\left(\frac{W}{L}\right)_8}{\left(\frac{W}{L}\right)_9} \tag{13.30}$$

式中 $\left(\frac{W}{L}\right)_5$，$\left(\frac{W}{L}\right)_9$ 已确定，所以只要确定了 $\left(\frac{W}{L}\right)_3$，那么 $\left(\frac{W}{L}\right)_8$ 也就确定了。因为 M_3，M_4 和 M_7 的静态工作电流和静态工作电压都已确定，只要利用公式

$$I_D=\frac{\mu_N C_{ox}}{2}\frac{W}{L}(V_{GS}-V_T)^2$$

就可确定 M_3，M_4 和 M_7 的 $\left(\frac{W}{L}\right)_3$ 和 $\left(\frac{W}{L}\right)_4$，再利用式(13.39)确定 $\left(\frac{W}{L}\right)_8$。

同样，根据静态工作点，可求得 $\left(\frac{W}{L}\right)_1$ 和 $\left(\frac{W}{L}\right)_2$。至此，全部管子的 $\left(\frac{W}{L}\right)$ 都已确定。

此运放输出级电路工作于甲类状态，且 M_6，M_7 的电流也较大，所以电路的总功耗较大，约 20mW，为了降低功耗，可采用 R-C_C 补偿电路，它的输出级工作在甲乙类状态。

(2) 加入消零电阻的两级 CMOS 运放

图 13.39 为加入消零电阻的 R-C_C 频率补偿的二级 CMOS 运放电路，此电路采用 N 沟道器件(M_1，M_2)输入，并将输入对管 M_1，M_2 用一个 P 阱单独隔离，P 阱与源极短接，从而避免了输入信号通过 P 阱对 M_1 与 M_2 的调制效应。PMOS 管 M_3，M_4 分别作为它们的有源负载。电流镜 M_5，M_{10}，M_{11} 向差分输入级提供恒流偏置。NMOS 管 M_6 及 M_7 组成源跟随器，实现电平位移，并向 M_8，M_9 提供静态偏置，因为 M_8 的栅偏压由 M_7 的栅电位 V_{G7} 与 V_{DD} 的差值决定，M_9 的栅偏压由 M_7 的源极电位 V_{S7} 与 V_{SS} 的差值决定，适当选取 M_8，M_9 的栅偏压，可使它们的静态电流很低，处于甲乙类状态，以降低运放的功耗。由此运放的电路图可见，MOS 运放的电平位移电路比双极型运放要简单而且方便，只要改变跟随级管子的沟道尺寸，就可以产生所需要的电平位移量 ΔV。

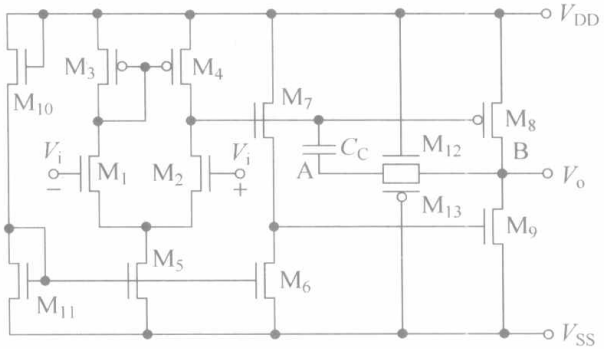


图 13.39 R-C_C 频率补偿的二级 CMOS 运放

$$\Delta V = V_{GS7} = |V_T| + \sqrt{\frac{I_{D7}}{\left(\frac{W}{L}\right)_7 \cdot k'}} \tag{13.31}$$

输出级是 M_8，M_9 组成的互补放大器，它们同时接受来自差分输入级的信号，二者互为负载，同时又都是放大管。当输入电压 V_{G7} 正向变化时，M_7 的电流增加，其源极电压 V_{S7} 也正向变化，因此 M_9 的电流增加。与此同时，M_8 的电流减小，所以输出电压负方向变化，负载电流由 M_9 提供。反之，M_9 的电流减小，M_8 的电流增加，输出电压向正方向变化，负载电流由 M_8 提供。

M_{12} 和 M_{13} 是传输门，它们和电容组成 R-C_C 反馈电路，用做频率补偿。M_{12}，M_{13} 的栅分别接在正负电源上，当输出信号极性不同时，它们的漏极与源极的作用是相互交换的，静态时 M_{12}，M_{13} 中无电流。当运放的输出信号是正极性时，$V_B > V_A$，这时 M_{12} 处于正向工作状态，M_{13} 处于反向工作状态(它的 D，S 作用互换)；反之，当运放的输出信号是负极性时，$V_B < V_A$，此时 M_{12} 处于反向工作状态，M_{13} 处于正向工作状态。通常在集成电路中 MOS 管的正反向特性是相同的，所在上述两种情况下 M_{12}，M_{13} 的特性是相同的。根据小信号等效电路，可求得 A，B 两端点间的等效电阻 $r_{AB} \approx 1/g_m$，近似恒等，其中 g_m 为 M_{12} 及 M_{13} 的跨

导。因此，当 M_{12}，M_{13} 的跨导设计得与 M_8，M_9 的跨导相近时，由前面关于 MOS 运放的频率补偿的分析知，此时可消除补偿电容 C_C 引入的电压传输函数中的零点。

关于本电路中各 MOS 管沟道尺寸(W/L)的设计，与前面所述的加增益为 1 的缓冲器的二级 CMOS 运放一样，应满足在整个输入与输出动态范围内，M_1～M_9 均保持在饱和区工作。

13.5 集成运算放大器的版图设计

13.5.1 双极型集成运放的版图设计

这里以 μA741 运放为例，介绍双极型集成运放的版图设计。

1. 双极型集成运放设计的主要特点

(1) 电路设计对元件的要求

① 运放电源电压较高(通常采用双电源)，一般为±15V，所以要求电路中隔离结和晶体管的耐压要大于 30V。

② 运放的参数指标与晶体管的增益密切相关，一般要求 NPN 管的电流放大倍数 $\beta_N>100$，超 β 管的 $\beta>1000$，横向 PNP 管的 β_P 尽可能大。

③ 运放的部分参数指标主要由输入级决定，如输入失调电压、输入失调电流、输入偏置电流、共模抑制比等，所以输入级的设计比较重要，要求输入级的有关元件对称性好，并要求差分输入对管有良好的小电流特性。

④ 对输出级，要求输出管有一定的电流容量，以保证负载能力与输出波形不失真。

(2) 工艺设计及特点

① 为使运放电路的 $\beta_N>100$，$BV_{CEO}>36V$，外延层电阻率 ρ_{epi} 至少应在 2Ω·cm 以上。为了制造出 β_P 值较大的横向和纵向 PNP 管，还希望 ρ_{epi} 更高一些，一般为 3Ω·cm 左右，外延层的厚度 T_{epi} 约为 13μm。所以制造高质量的高阻外延层是制造双极集成运放工艺中的一个关键。

② 为了提高 PNP 管的 β_P，希望基区扩散的薄层电阻 R_S 低些，结深 x_{jC} 为 3～4μm。

③ 双极集成运放中由于元件的种类较多，参数要求也较严格，在必要时需添加工艺步骤，因此工艺比较复杂，掩模板的块数也要增多。例如 MOS 电容的制作，其 SiO_2 介质的制作就要增加薄氧和光刻工艺；超 β 管的制作要增加一次光刻、扩散过程。

(3) 版图设计特点

双极集成运放一般要求输入失调小，温漂小，共模抑制能力强，这些参数主要取决于输入级有关元件对称性的好坏，因而版图设计时要特别重视对称元件的设计。在版图设计时，通常把要求对称的元件设计得完全一样，并排在邻近的位置上，要仔细做好热平衡的设计，以使要求对称的元件处于温度分布完全一样的条件下。例如图 13.40 中，把输出级功耗较大的元件放在芯片一端中心线的两侧，输入差分对管放置在芯片另一端的对称位置上。如

果把输入差分对管设计成复合管，如图中所示，四只管子交叉耦合，T_1，T_3 并联，T_2，T_4 并联组成差分对管，这种排列可更好地消除热梯度、材料的不均匀及工艺等对于对称性的不利影响。

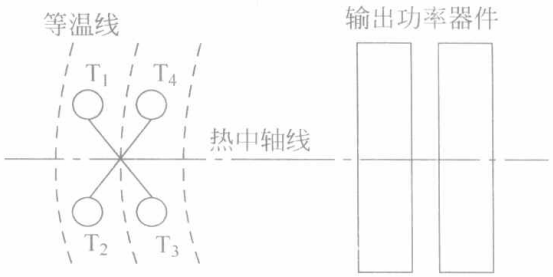


图 13.40　输入级对管的热平衡设计示意图

另外，因为双极集成运放的工作电压较高，一般在 30V 以上，外延层电阻率 ρ_{epi} 较高，厚度 T_{epi} 较厚，所以横向扩散和 PN 结势垒区的扩展这两个因素在集成运放的版图设计时不可忽略。例如，设隔离结上的反向电压为 -30V，外延层厚度 $T_{epi}=12\mu$m，电阻率 $\rho_{epi}=4\Omega\cdot$cm，此时 PN 结总的势垒宽度为 4.9μm 左右，向外延层 N^- 中扩展的势垒宽度近似取 1/2；而隔离扩散时的横向扩散也将达 10μm 左右。在设计图形间距时，必须考虑这些因素。

2. μA741 集成运放的版图设计

集成运放的版图设计过程与数字集成电路一样，也分以下几个步骤。

1) 划分隔离区

按照隔离区划分的原则，NPN 管集电极电位相同的可放在一个隔离区内，基极电位相同的 PNP 可放在一个隔离区内，若 NPN 管的集电极和 PNP 管的基极电位相同，也可放在一个隔离区内。电阻的放置比较灵活，可根据情况安排；电容占面积较大，单独放在一个隔离区内。

μA741 运放(见图 13.28)共有 24 只晶体管、10 个电阻和一个电容器，按照以上划分隔离区的原则，可划分为以下 19 个隔离区：T_1，T_2，T_8，T_9；T_3，T_4；T_7，R_5；T_5；T_6；T_{10}；T_{11}，$R_1\sim R_4$，R_8，R_9；C_1；T_{20}；T_{24}；T_{18}，T_{19}，R_{10}；T_{12}，T_{13}；T_{14}，R_6，R_7；T_{15}；T_{16}；T_{17}；T_{21}；T_{22}；T_{23}。

2) 元件图形和尺寸设计

与数字集成电路的版图设计一样，在分析电路的基础上，根据每个支路上的电流及对元器件电流容量、耐压、频率特性等方面的要求，设计元件的图形与尺寸。

(1) 晶体管的图形尺寸

在 μA741 运放电路中的 24 只晶体管，有 15 只是 NPN 管，7 只是横 PNP 管，2 只是纵向 PNP 管，图形尺寸基本上有以下 5 种：

① 小尺寸 NPN 管。NPN 管 T_1，T_2，$T_5\sim T_7$，T_{10}，T_{11}，$T_{15}\sim T_{19}$，T_{21}，T_{24} 的工作电流均在 1mA 以下。NPN 晶体管作线性放大应用时，单位有效发射区条长允许流过的最大工作电流为(0.04～0.16)mA/μm，所以此 14 只 NPN 管的尺寸均按光刻工艺水平来确定，采用单发射极、单基极和单集电极的小尺寸晶体管图形。

为了使 T_1 与 T_2(T_3 与 T_4)，T_5 与 T_6 分别能获得较好的匹配性能，对它们均采取了对称设计，以求减小材料及工艺引入的与方向及距离有关的误差；并将它们的面积设计得适当大些，以使相对误差减小。设计时还采用发射极铝层大面积覆盖，以减小表面复合，提高小电流时的 β 值。

② NPN 晶体管 T_{14}。T_{14}是输出管，它的动态电流较大，可达到 10mA 左右，它的设计要考虑电流容量。图形设计采用大图形的双基极条结构(见图 13.41)，为了减小集电极串联电阻，从而降低饱和压降，提高输出幅度，采用 L 形集电极结构。

③ 横向 PNP 管。横向 PNP 管 T_3，T_4，T_8，T_9，T_{12}，T_{13}，T_{21}的设计主要考虑 EC 穿通电压与电流增益的要求。它们的发射区通常都设计得较小，以利于提高 β_P 值。其中 T_8 和 T_9，T_{12}和 T_{13}分别组成恒流源，所以图形也是对称设计；T_{13}为双集电极横向 PNP 管，两股集电极电流之比在基区宽度相同时，由横向侧面积的大小决定。图 13.42 是横向 PNP 管的图形结构的示意图。

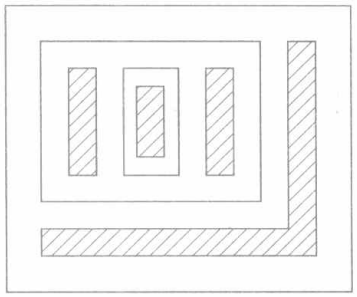


图 13.41　输出管 T_{14}的图形

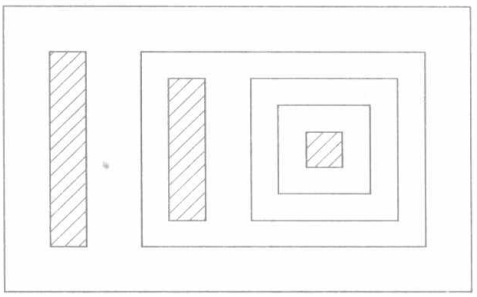


图 13.42　横向 PNP 管的示意图

④ 纵向 PNP 管 T_{20}。纵向 PNP 管 T_{20}与 NPN 管 T_{14}构成互补输出级，为保证负载能力和输出电压波形不失真，纵向 PNP 管的发射区条长应为相应的 NPN 管发射区条长的 3～4 倍。T_{20}的图形结构如图 13.43 所示，发射区为条状，在发射区的周围套了圈 N^+环，以减小基极电阻，改善电流特性，还可抑制横向的空穴发射，减小表面复合，有利于 β_P 的提高；且可在大电流时，使发射区的各边都有效。

⑤ 纵向 PNP 管 T_{23}。纵向 PNP 管 T_{23}是双发射极晶体管，工作电流不大，约为几百微安。但因为纵向 PNP 管的单位发射区有效边长的电流容量较小，一般仅为 5～15μA/μm，所以设计时要考虑电流容量。其图形结构如图 13.44 所示，在大面积的发射区周围也套上一圈 N^+环，以改善其性能。其中 D_1 主要是为防止电流过载和防止 T_{17}进入深饱和用的，对电流特性没有要求，所以发射区的面积设计得较小。

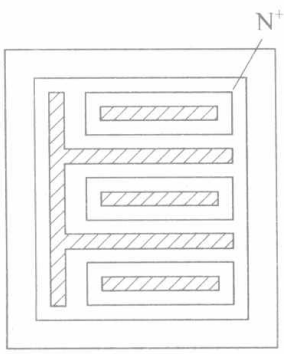


图 13.43　纵向 PNP 管 T_{20}的图形结构

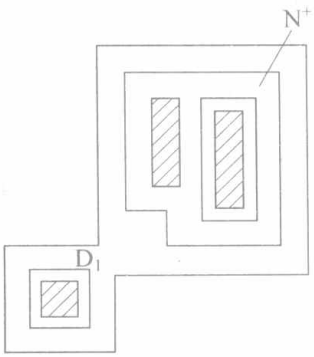


图 13.44　纵向 PNP 管 T_{23}的结构示意图

(2) 电阻的设计

在 μA741 运放中有 10 个电阻，其中 R_3，R_9，R_{10} 的阻值较大，为 50kΩ，但对它们的精度要求不高，工作电流很小，可采用基区沟道电阻，沟道电阻约 15kΩ/□，因而占用的面较小；R_1，R_2，$R_4 \sim R_7$ 都采用基区扩散电阻。

在前面已经讲到，电阻条宽确定的原则是在保证精度和功耗要求的前提下，尽量缩小占用面积，即条宽不要取得过大。R_6，R_7 和 R_8 的阻值较小，为保证精度，要取宽些。R_1 和 R_2 应有较小的相对误差，也可适当取宽些。其余电阻根据工艺水平取窄些，以便缩小占用面积。电阻条的长度可按阻值要求，根据图形和已确定的条宽来确定。

(3) 电容 C_1 的设计

μA741 运放采用了 MOS 电容，为了保证介质层的完好，SiO_2 应致密，并有一定的厚度。这种 SiO_2 层是专门生长的，厚度一般为 0.1～0.2μm。若以 0.1μm 厚的 SiO_2 介质层来计算，做一个 30pF 的 MOS 电容，约要占 0.1mm² 的管芯面积。

3) 布局和布线

布局和布线对电路的成品率和可靠性的影响很大，总的原则是：

① 力求元件排列紧凑，以减小寄生效应的影响，并有利于提高成品率。

② 对要求对称的管子如 T_1 和 T_2，T_3 和 T_4 等除了保证图形要十分一致外，其位置也要尽量靠近，以减小由于材料、工艺及温度不均匀造成的不利影响，对于要求对称的电阻，如 R_1 和 R_2，应注意平行排列，以减小光刻、制版工艺引入的误差。

③ 采用热设计的方法，将功耗较大的输出管 T_{14} 和 T_{20} 分布在差分输入对管 T_1，T_2 对称轴线的两侧且远离输入级元件，这样虽然没有做到严格的热平衡，但已能较好地减小芯片温差造成的失调。

④ 引出端的排列应与通用运算放大器的统一标准一致，压焊点的分布要均匀以适应不同的封装形式。

图 13.45 是 μA741 运放的一种版图形式，它基本上体现了以上提出的几条要求。

13.5.2 MOS 集成运放的版图设计

MOS 运放的版图设计过程与双极型运放类似，也是先进行电路分析，计算出各端点的电压及各管的电流，从而求出各管的 W/L，进而设计各管图形，进行布局、布线，完成版图设计。版图设计的一般要求也与双极电路类似，要求如下所述。

(1) 布局要合理。布局是否合理将对许多指标产生重要影响，考虑布局合理性的标准是：①各引出端的分布是否与有关电路兼容(即要通用)；②有特殊要求的单元(如输入对管等)是否作了合理的安排；③布局是否紧凑；④温度分布是否合适。

(2) 单元配置适当。即逻辑门乃至管子的安放位置和方向要合适，它不仅包括单元具体形状的确定，也包括单元方位的选择。例如，对于一定尺寸的管子或反相器，究竟画成什么形状，按什么方向安放，可有多种方式，不同做法将对电路性能、芯片面积紧凑程度、连线

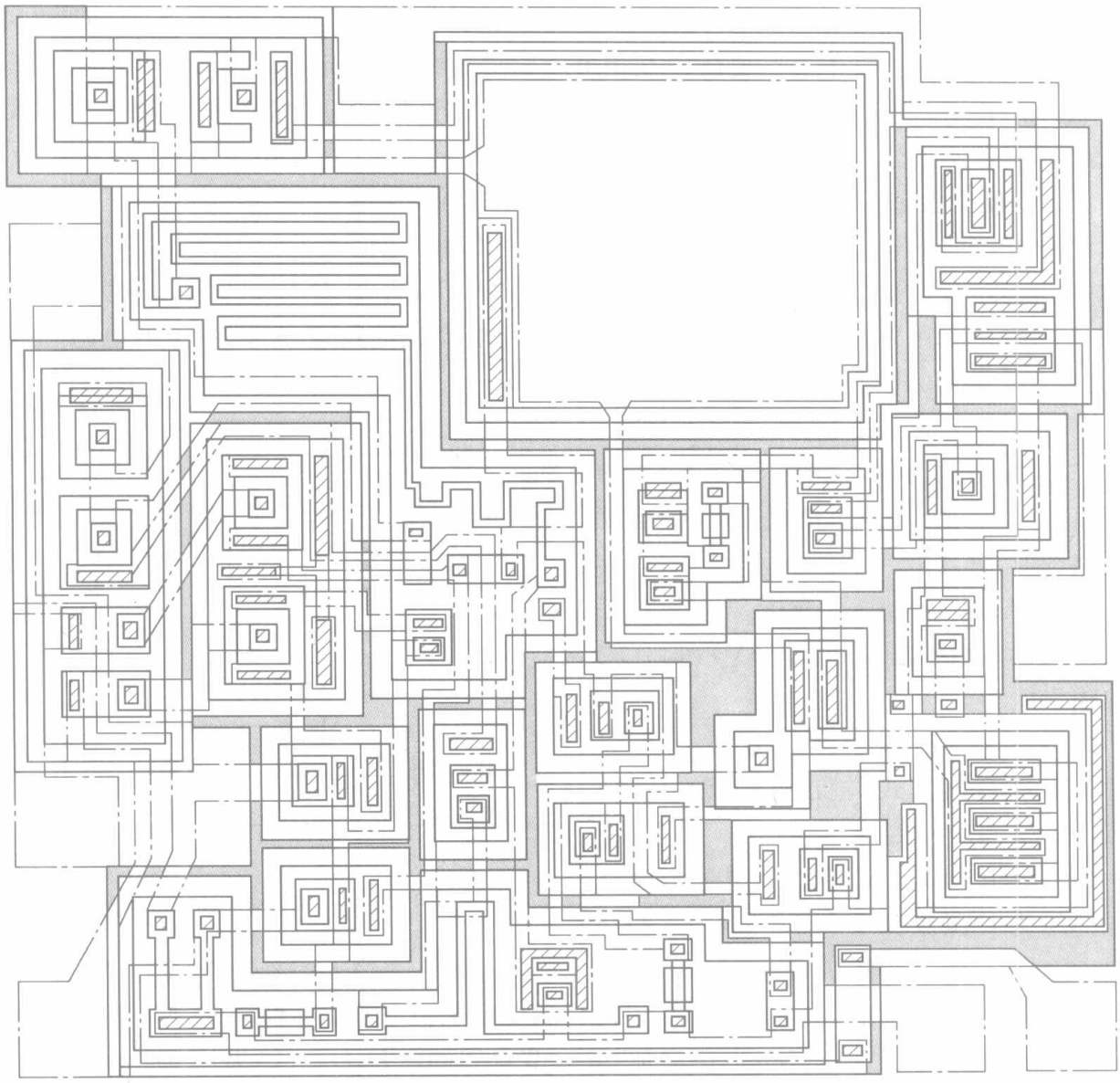


图 13.45　μA741 集成运算放大器的版图

长度等产生很大影响。由于 CAD 已广泛用于集成电路的版图设计，所以在设计中应尽量使用重复单元，以便于计算机辅助设计和查错。

(3) 布线要合适。这点在 MOS 运放版图设计中较为重要，这不仅是因为电路中布线所占的面积往往是其元件总面积的好几倍，而且由于小尺寸 MOSFET 构成的电路级延迟是很小的，此时布线的 RC 时间常数将是电路工作速度的主要限制因素。对于硅栅 MOS 集成电路，由于已经有了两层(有时也叫一层半)布线，通常不再把避免或减小布线交叉作为重要的布线指标。在硅栅 MOS 集成电路中，主要的布线是铝线和多晶硅线，通常是以一种作为水平方向布线，而另一种作为垂直方向的布线。这样做不仅可以使版面规整，而且可以减小两层间的寄生电容。要根据流过电流的大小及性能要求，选择连线种类。要尽量减小布线

长度，特别是减小细连线的长度。对于电源线和地线，必须保证足够的宽度，且应是网状或枝状布满整个芯片。对于那些要防止互相引起串扰的布线，一定要远离，不可靠拢并行。

(4) 由于整个硅片表面起伏不平，因此在铝布线时，尽量避免铝线的爬坡梯度过大，由最低处到最高处要分几个台阶过渡。

(5) 为便于检查工艺质量，版图上要安排大量的测试图形。

此外，在 MOS 运放的设计中，对电路中的对称部分，如输入差分放大器，在版图上尽量对称(包括尺寸、位置、方向等)，以减小输入失调。为了减小 S,D,G 区面积，沟道宽度 W 大的 MOS 管，多采用 U 形栅布局。为保证电阻比和电容比的精度，不同数值的电阻和电容，通过重复采用单位电阻和电容图形来实现。

下面以用于某开关电容滤波器中的高增益 CMOS 运放为例，说明 CMOS 运放的版图设计过程，图 13.46 是此 CMOS 运放的电路图。

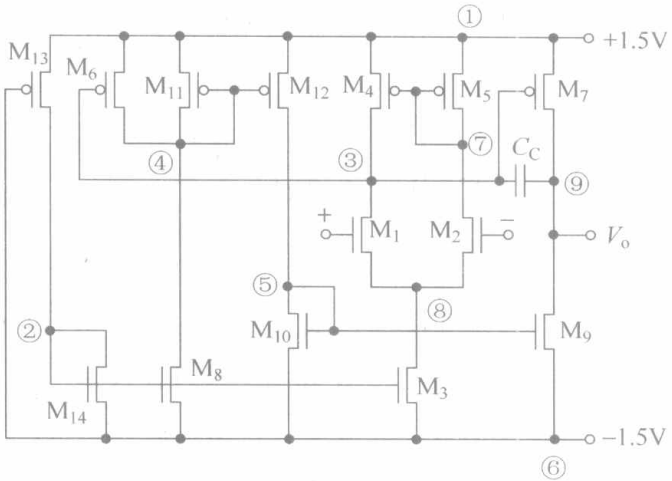


图 13.46　高增益 CMOS 运放

第一步，对电路进行分析。此电路工作在低压下(电源电压为 ±1.5V)，具有较强的输出能力。

差分输入级由 $M_1 \sim M_5$ 构成，采用双端输入单端输出方式，输出端驱动输出级的 M_7 管。

输出级由 M_7 和 M_9 构成，它是共源放大器，M_7 为共源放大管，其负载管为 M_9。为增大输出级的驱动能力，增加了 M_6，M_{10}，M_{11}，M_{12} 管。在输入信号的作用下，当第一级的输出端③的电位增大时，M_7 的电流减小，输出端⑨的电位变负；与此同时，M_6 电流减小，使节点④电位变负，因此 M_{11}，M_{12} 电流增加，导致节点⑤的电位上升，结果使 M_9 的电流增加。这样，增强了负向输出能力。反之，当节点③电位减小时，输出端⑨电位上升，与此同时节点⑤电位下降，M_9 电流减小。由于输出的正向电流由 M_7 提供，因而 M_7 输出的电流，大部分到输出负载，只有一小部分流过 M_9，而且随着输出幅度的增大，流入 M_9 的电流也随之减小，因此增大了正向输出能力。实际上 M_9 可看成是一个压控可变电阻，当输出电压为正时，电阻值增大；当输出电压为负时，电阻值减小。

第二步是根据输出特性的要求，计算出静态工作时各端点的电压及各管的电流，从而可求出各管的 W/L，具体算法在前面已做了介绍，这里不再重复。

有了各管的 W/L，就可以根据版图设计规则，进行各个管子的图形设计和整个版图的设计。由于 MOS 电路功耗较低，所以对热设计的考虑不如双极型电路中重要，但对称的要求还必须注意。图 13.47 是此 CMOS 运放的版图，此电路采用硅栅 P 阱 CMOS 工艺。根据一般设计规则，P 阱 CMOS 集成运放在版图设计时，为了减小芯片面积，希望把 N 沟道

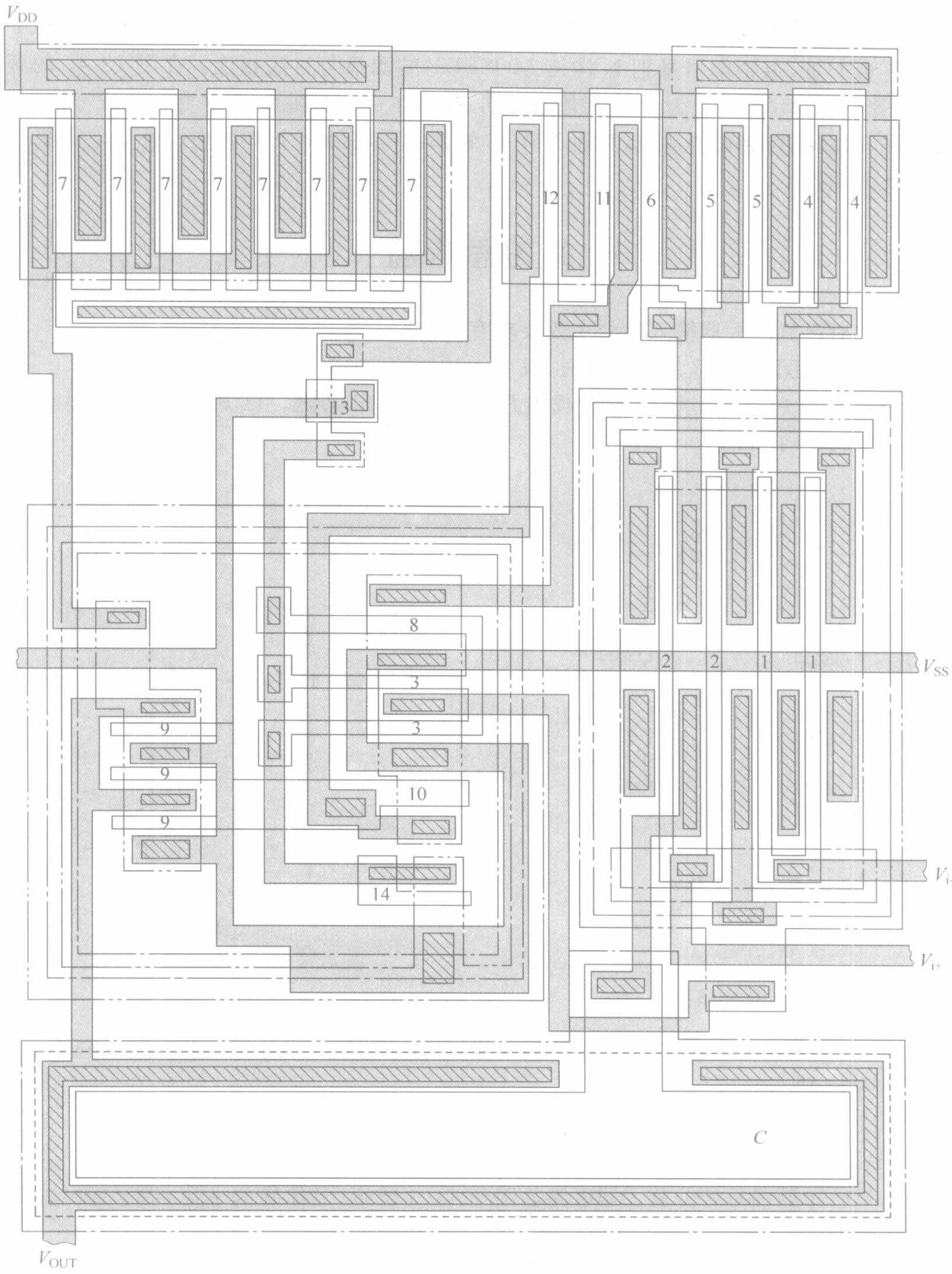


图 13.47　硅栅 CMOS 运放版图

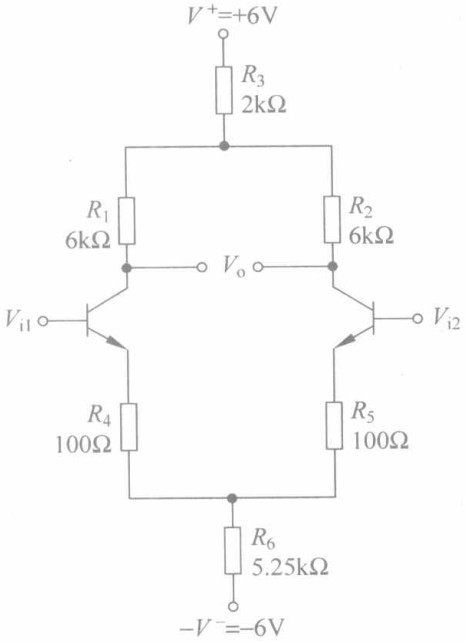
MOSFET 放在同一个 P^- 阱内；考虑到 N 沟道 MOSFET 的体效应比 P 沟道 MOSFET 的体效应更为严重，也希望尽量把 N 沟道 MOSFET 的源极与衬底相连。在图 13.47 的版图中，输入管 M_1，M_2（图中记为 1，2，其他数类同）制作在一个 P 阱内，P 阱电位由 P^+ 环接向两管的源极，以减小衬底偏置效应，其他 NMOS 管都制作在另一个 P 阱中。补偿电容采用双层多晶硅电容器。

复习思考题

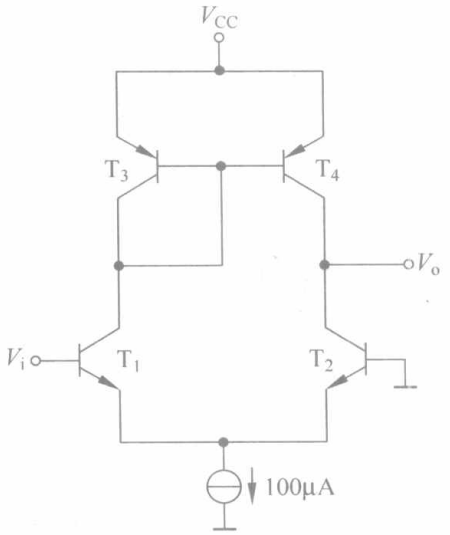
13.1　对运算放大器输入级的主要要求有哪些？

13.2　对于图题 13.2 所示差分对，设 $\beta_0=100$，$V_{BEF}=0.7V$，试求其 R_{ID} 和 A_{vd}。

13.3　求图题 13.3 电路的空载电压增益和输出电阻。已知：$\beta_P=50$，$\beta_N=200$，$V_{AP}=50V$，$V_{AN}=130V$。



图题 13.2



图题 13.3

13.4　图题 13.4 为一个级联射耦对放大器，设 $V_{i1}=V_{i2}=0$ 时，$V_o=0$，$\beta_0=50$，$V_{BEF}=0.7V$。求：

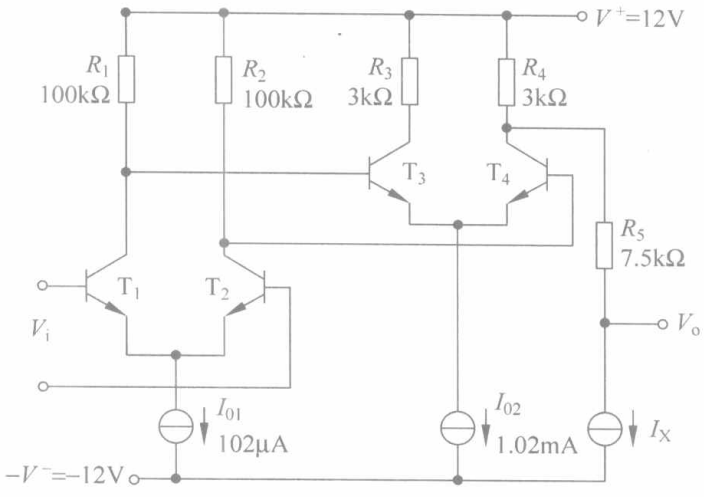
(1) $I_{C1}\sim I_{C4}$，$V_{CE1}\sim V_{CE4}$ 及 I_X；

(2) $A_{vd}=V_o/V_{id}$ 和 R_{ID}（若 $R_5=0$，$I_X=0$）。

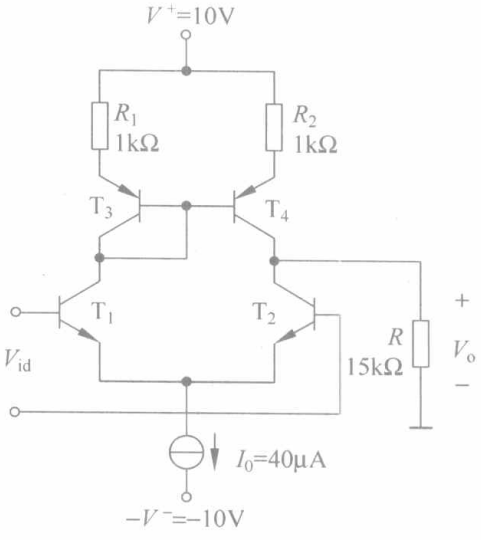
13.5　已知射耦对差分放大器电路如图题 13.5 所示，晶体管的 $\eta_{NPN}=2\times10^{-4}$，$\eta_{PNP}=5\times10^{-4}$，试求当 $V_{id}=130mV$ 时的 V_o 值。

13.6　分析 PNP 管输入级有何优缺点？

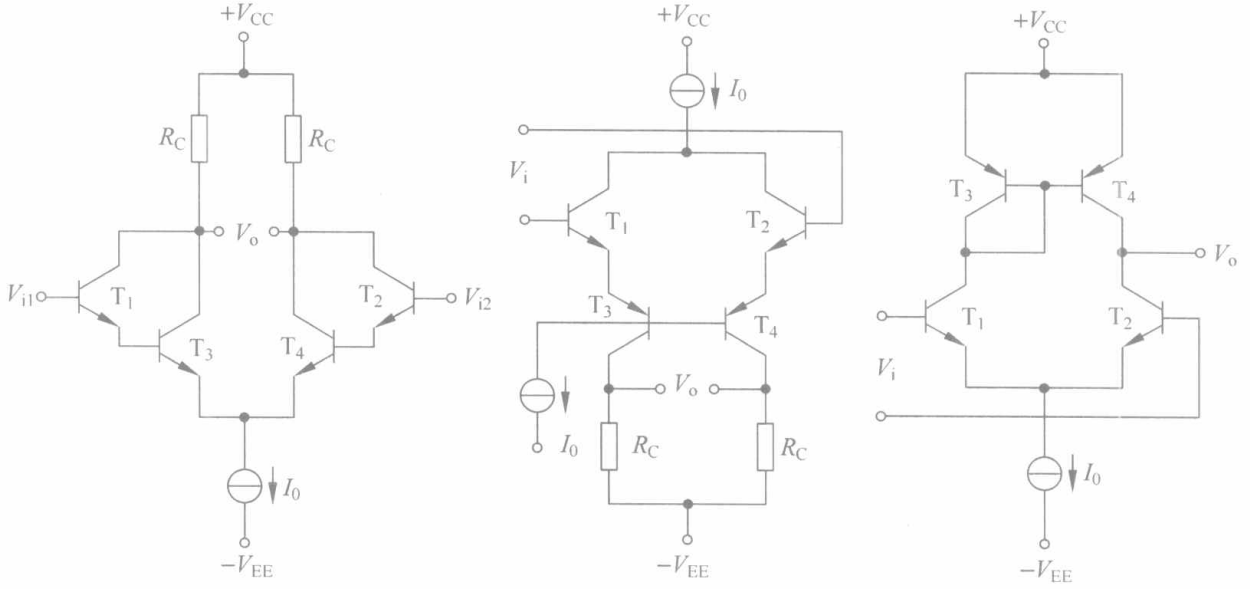
13.7　图题 13.7 中的三种差分放大器在输入电阻 R_{ID} 和差模增益 A_{vd} 方面有何异同？



图题 13.4



图题 13.5



图题 13.7

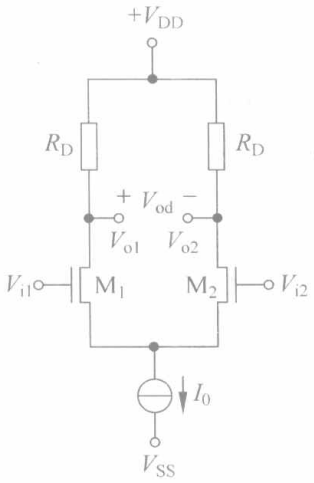
13.8　已知图题 13.8 中 MOS 差分对的 $I_0=2\text{mA}$，$k=0.025\text{mA/V}^2$，负载 $R_D=10\text{k}\Omega$，试求跨导 g_m 和差模电压增益 A_{vd}。

13.9　图题 13.9 是 F004 运放电路的前两级放大电路，试分析电路中各晶体管的功能。

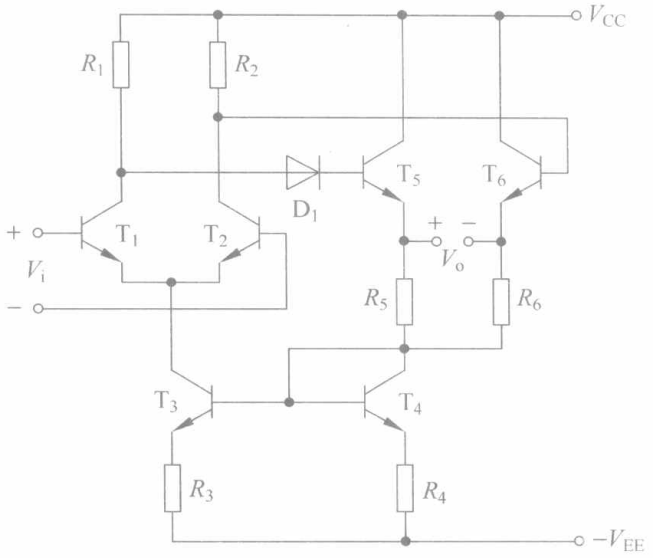
13.10　CMOS 差放电路如图题 13.10 所示。NMOS 的参数：$k=25\mu\text{A/V}^2$，$V_T=1.5\text{V}$，$1/\lambda=100\text{V}$；PMOS 的参数：$k=12.5\mu\text{A/V}^2$，$V_T=-1.5\text{V}$，$1/\lambda=100\text{V}$。各管的宽长比如图中所标。

(1) 求 M_3，M_5 和 M_7 的 I_{DS}；

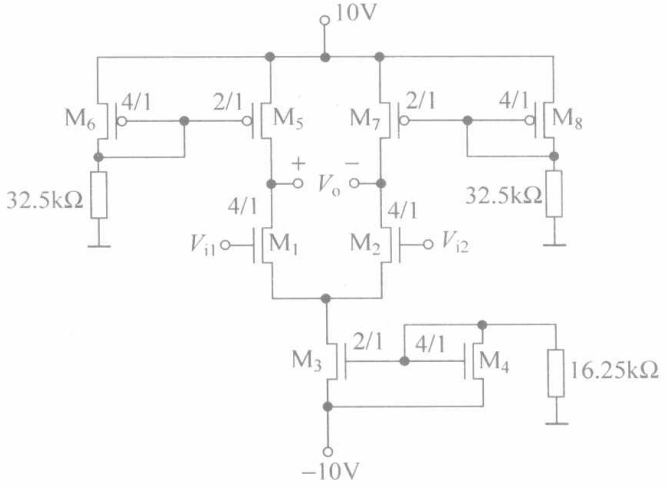
(2) 求差模电压放大倍数。



图题 13.8



图题 13.9



图题 13.10

13.11　试指出图题 13.11 中哪些元件是起过流保护作用的，并说明其保护原理。

13.12　试分析 μA741 通用运算放大器电路。

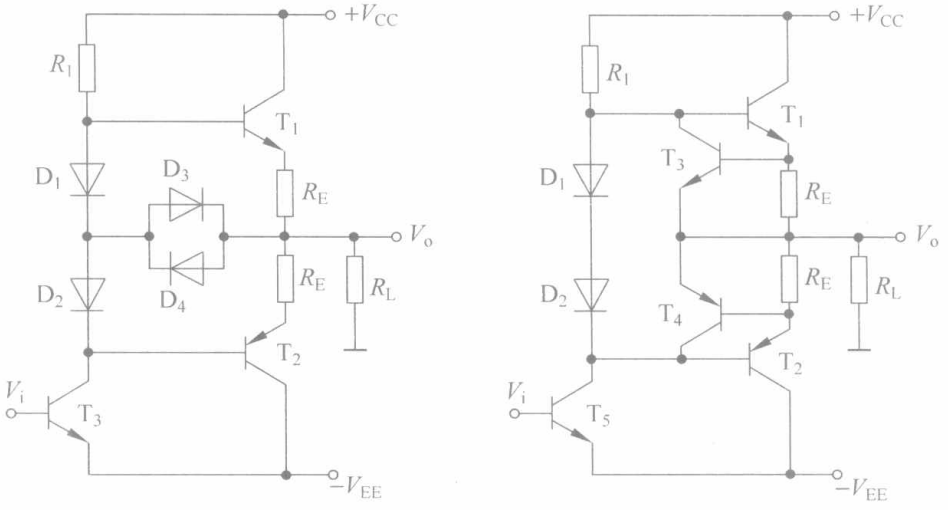
(1) 说明其输出过流保护电路的工作原理；

(2) 在输入级中，当电源电压从±15V 减到±10V 时，试问 T_1，T_2 集电极电流变化多大(设晶体管中有限输出电阻的影响可忽略，各管的 $V_{BEF}=0.7V$，忽略基流影响)？

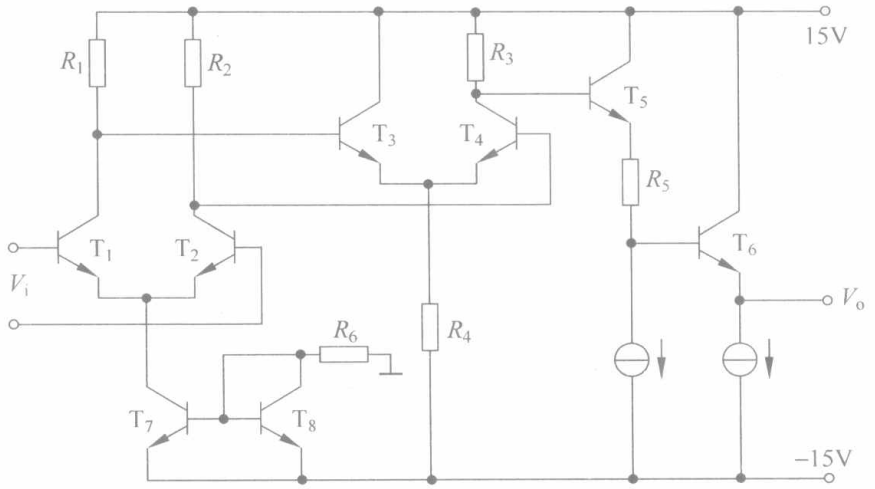
13.13　如图题 13.13 所示电路，已知各管的 β 均为 50，$I_{C1}=I_{C2}=1mA$，$I_{C3}=I_{C4}=1mA$，$I_{C5}=10mA$，$I_{C6}=10.2mA$。要求：

(1) 在 $V_{C1}=V_{C2}=4V$，$R_5=510\Omega$ 和 $V_o=0$ 的条件下，求 R_1，R_2，R_3，R_4 和 R_6 的值；

(2) 求差模电压增益。



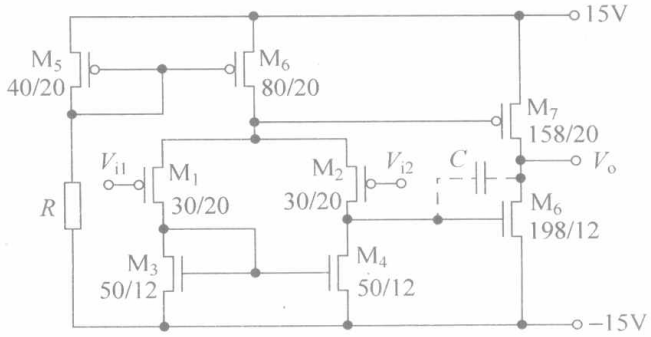
图题 13.11



图题 13.13

13.14　试比较 MOS 运放和双极型运放各有何优缺点。

13.15　CMOS 运放如图题 13.15 所示，MOS 管的 W/L 如图中所标。



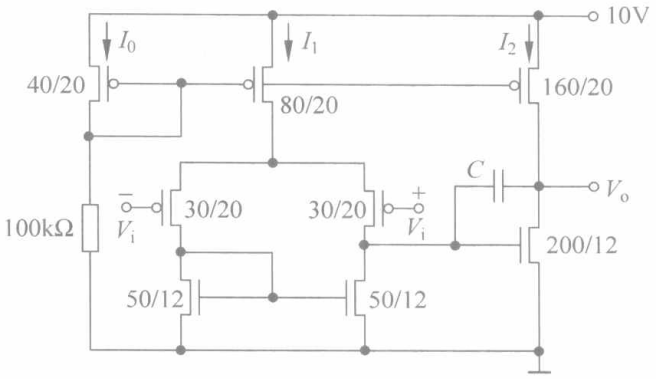
图题 13.15

已知：$V_{TP}=-1V$，$V_{TN}=1.5V$，$R=140k\Omega$，NMOS 的 $k=6.9\mu A/V^2$，PMOS 的 $k=2.3\mu A/V^2$，$1/\lambda=50V$。

(1) 分析电路的组成。

(2) 计算各管的静态电流。

13.16　CMOS运放如图题 13.16 所示，其中各有关参数为：$\mu_N=400cm^2/(V\cdot s)$，$\mu_P=200cm^2/(V\cdot s)$，$\lambda=0.01$，$C_{ox}=2.3\times10^{-8}F/cm^2$，$V_{TP}=-1V$，$V_{TN}=1V$。试求各支路电流 I_0，I_1，I_2 和电路的总电压放大倍数 $A_v=?$



图题 13.16

13.17　一般 TTL 集成电路与集成运算放大器电路在选择外延层电阻率上有何区别？为什么？

13.18　假定图题 13.18 所示放大器的版图的最小图形为 $10\mu m\times10\mu m$，最小套准间距为 $8\mu m$，隔离槽宽最小为 $14\mu m$，其他扩散图形到隔离槽的最小间距为 $20\mu m$，硼区扩散条最小间距 $D_{B\text{-}B}=10\mu m$，$R_{SB}=200\Omega/\square$，管脚排列顺序如图所示(最小扩散条宽为 $10\mu m$)。

(1) 计算流经各晶体管和电阻的最大电流。

(2) 画出布线草图，包括：

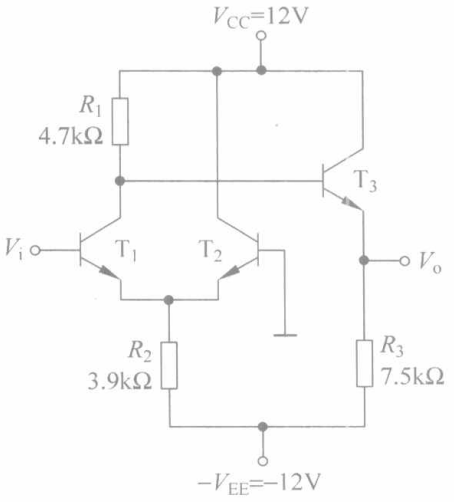
① 求出各电阻的最小条宽 $W_{R,min}$；

② 设计出各管芯草图；

③ 划分隔离框；

④ 画出走线草图。

(3) 画出版图，放大 500 倍绘于坐标纸上。



图题 13.18

第 14 章　MOS 模拟开关及开关电容电路

14.1　MOS 模拟开关

模拟开关是集成电路中常用的一种电路结构，在电路中起开关作用，它使电路中的两点短路以传输模拟或数字信号，或者开路以阻断信号。模拟开关的开或关，由两相时钟的高电平或低电平来控制。

在集成电路的应用中，大多采用 MOS 管作为模拟开关元件。和双极型模拟开关相比，MOS 模拟开关有两个重大的优点：①控制端（栅极）与信号通路是绝缘的，因而控制通路与信号通路之间无直流通路；②当器件接通时，源极与漏极之间的导通电阻很小，几乎无直流漂移。虽然实际上 MOS 开关处于导通时的电阻绝对值还是比较大的，可达千欧量级。但是 MOS 电路的输入阻抗都很高，MOS 开关的导通电阻和它相串联的信号通路的电阻相比，相对值并不大，因而 MOS 管作开关使用时，可近似于理想开关元件。从开关应用的角度来讲，NMOS 管比 PMOS 管要好，因为 NMOS 管的载流子迁移率高，导通电阻小。所以一般用 N 沟道 MOSFET 做开关管，下面就以 NMOS 单管模拟开关为例进行介绍。

为了使开关正常工作，MOSFET 各电极间的电压必须满足一定的条件。这些条件是：①源区和漏区与衬底之间的 PN 结要保持反向偏置。②由于 MOSFET 结构的特点，其源极和漏极的作用可以互换。所以 MOSFET 既可以正向工作，也可以反向工作。对于增强型 NMOS 管，$V_{DS}>0$ 是正向工作，电流方向由漏极到源极。其工作电流在不同工作区的表示式为

截止区：
$$I_D=0,\quad V_{GS}-V_{TE}<0 \tag{14.1}$$

线性区：
$$I_D=-k_E[2(V_{GS}-V_{TE})V_{DS}-V_{DS}^2],\quad V_{DS}<V_{GS}-V_{TE} \tag{14.2}$$

饱和区：
$$I_D=k_E(V_{GS}-V_{TE})^2,\quad 0<V_{GS}-V_{TE}\leqslant V_{DS} \tag{14.3}$$

$V_{DS}<0$ 是反向工作，在反向工作时，电流方向是由源极到漏极。这时其电流在不同工作区的表示式为

截止区：
$$I_D=0,\quad V_{GD}-V_{TE}<0 \tag{14.4}$$

线性区：
$$I_D=k_E[2(V_{GD}-V_{TE})V_{DS}-V_{DS}^2],\quad 0<-V_{DS}<V_{GD}-V_{TE} \tag{14.5}$$

饱和区：
$$I_D=-k_E(V_{GD}-V_{TE})^2,\quad -V_{DS}>V_{GD}-V_{TE} \tag{14.6}$$

由以上的分析可知，因为 MOSFET 可正反向工作，所以为了保证开关断开，源极（正向工作时）或漏极（反向工作时）对地电压必须大于 $V_{GL}-V_{TE}$（V_{GL} 为低电平控制电压）；而为了保证开关导通，源极（或漏极，或两端同时）对地的电压必须小于 $V_{GH}-V_{TE}$（V_{GH} 为高电平控制电压）。因此单管 MOS 开关所能应用的最大输入电压的范围，受加到栅极上的控制信号幅度的限制。对于单管 NMOS 模拟开关而言，输入信号 V_I 的幅度只允许在 $V_{GL}-V_{TE}\leqslant V_I\leqslant V_{GH}-V_{TE}$ 范围内变化，超出了这个范围，就不能保证开关正常工作。

14.1.1 单管增强型 NMOS 模拟开关

图 14.1 是增强型 NMOS 模拟开关电路（a）及其简化电路（b）。当 $V_G-V_i<V_{TE}$ 时，NMOSFET 截止，开关断开；当 $V_G-V_i>V_{TE}$ 时，M 导通，如果忽略沟道串联电阻，则源-漏间可以认为是短路。所以一个理想 MOS 模拟开关的简化电路如图 14.1（b）所示。

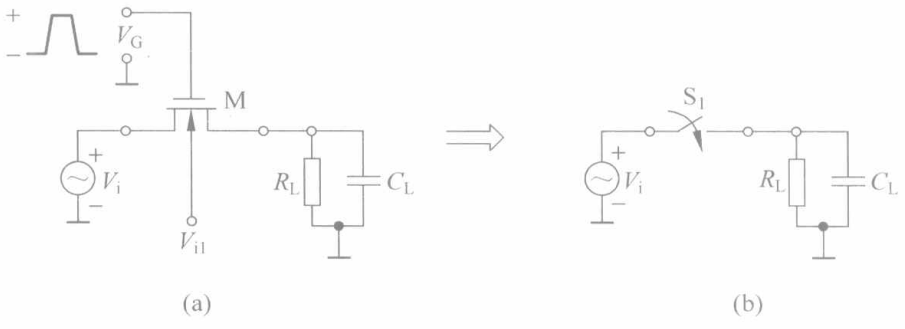


图 14.1　增强型 NMOS 模拟开关电路（a）及其简化电路（b）

但正如前面所述，实际的 MOS 模拟开关，它的导通电阻 $R_{on}\neq 0$；而且断开时，由于泄漏电流的存在，电阻也不为无穷大；并且由于寄生电容的影响，开关速度也受到一定的限制。所以实际的 MOS 模拟开关其等效电路如图 14.2 所示，图（a）为导通状态的等效电路，图（b）为关断状态的等效电路。因此 MOS 模拟开关的主要参数有三个：导通电阻、关断电阻和寄生电容。

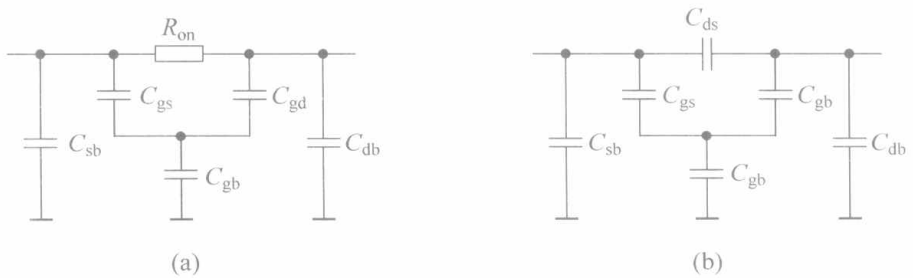


图 14.2　实际 MOS 模拟开关的等效电路

（a）导通状态；（b）关断状态

1. 导通电阻 R_{on}

导通电阻是指开关闭合时所呈现的电阻。从图 14.3 所示的 MOS 模拟开关及其工作电压波形中可以看出，电路有一个瞬变过程，在此过程中开关所呈现的导通电阻 R_{on} 也变化。但作为一个开关，当瞬变过程结束后，它两端的电压很小。即 MOSFET 将工作在线性区，且 $V_{DS}\approx 0$。这时，开关所呈现的电阻可由式(14.2)求出，因为 $V_{DS}\approx 0$，这时式(14.2)变成

$$I_D \approx 2k_E(V_{GS}-V_{TE})V_{DS} \tag{14.7}$$

所以可求出导通电阻 R_{on} 为

$$R_{on} \approx \frac{1}{2k_E(V_{GS}-V_{TE})} = \frac{1}{\mu_n C_{ox}\left(\frac{W}{L}\right)(V_{GS}-V_{TE})} \tag{14.8}$$

式中：μ_n 为导电沟道中载流子的迁移率；

C_{ox} 为栅氧化层单位面积电容；

W 为沟道宽度；

L 为沟道长度。

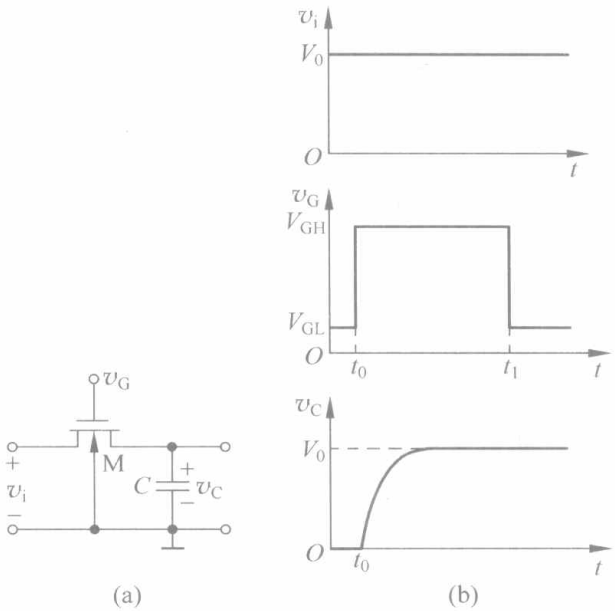


图 14.3　模拟开关与电容连接

(a) 电路；(b) 工作电压波形

式(14.8)表明，增加 W/L 可以减小 R_{on}，但这将使寄生电容成比例地增加。另外，增加 V_{GS} 也可以减小 R_{on}，但这又会使控制信号通过寄生电容 C_{gs}、C_{gd} 的馈通现象增强。

因此在设计 MOS 模拟开关时，需要综合考虑以上两方面的因素，既要使 R_{on} 小，又要考虑寄生电容小。为了减小寄生电容，应在满足最大允许 R_{on} 的条件下，尽可能减小器件尺寸。

2. 关断电阻

关断电阻是指开关断开时所呈现的电阻。它是由于 MOSFET 在截止时存在着 PN 结反向漏电流引起的。增强型 NMOSFET 截止状态下的等效电路如图 14.4 所示。其中，D_1、D_2 分别表示漏与衬底和源与衬底之间形成的 PN 结，I_{DB}、I_{SB} 为它们的反向偏置电流，$r_{ds(off)}$ 表示无沟道情况下源漏间所呈现的电阻。I_{DB}、I_{SB} 为

$$I_{DB} = I_S(e^{\frac{qV_{DB}}{kT}} - 1)$$

式中 I_S 为 PN 结的反向饱和电流。当 V_{DB}、V_{SB} 较大时，$I_{DB} \approx -I_S$，$I_{SB} \approx -I_S$。通常 I_S 的值约为几十皮安，所以 MOS 模拟开关的关断电阻约在 $10^{11}\Omega$。

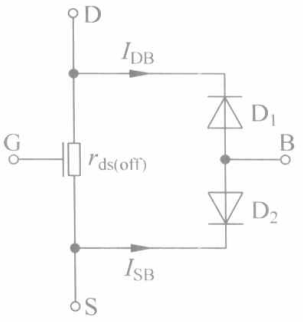


图 14.4 增强型 NMOSFET 截止状态下的等效电路

3. 寄生电容

MOS 模拟开关的寄生电容来源于 MOSFET 的极间电容。由于开关的导通电阻和关断电阻的差别很大，所以 MOSFET 各极间电容的影响在两种状态下不同。两种状态下 MOS 模拟开关的等效电路见图 14.2。图中 C_{gs}、C_{gd}、C_{gb}、C_{sb}、C_{db} 为各极间的电容，C_{ds} 是 MOSFET 截止时漏源间的电容，它的典型值是0.1pF。在图 14.2(b)中略去了关断状态下的 $r_{ds(off)}$。由图 14.2 可见，模拟开关的寄生电容，将分别接入连接此开关的前级和后级电路。在实际电路中，模拟开关的栅总是受脉冲信号控制，由于存在寄生电容 C_{gs}、C_{gd}，所以栅极控制信号会耦合到输入和输出端，从而造成对模拟信号的干扰。虽然对小尺寸的器件来说，寄生电容 C_{gs}、C_{gd} 的容量只有 0.1～0.2pF，可是脉冲信号的电平相当高，通过这些电容传送到信号通道中的寄生干扰信号，可以达到毫伏数量级，而且寄生电容会影响前后级电路的频率特性。另外，由于 C_{gb} 的存在还会构成前后级电路之间的耦合。而在关断时，电容 C_{ds} 将引起前级信号经 C_{ds} 直接到达后级的现象，这些影响都是不希望出现的。在设计电路时要设法消除或减弱。加大衬底偏压可减小 C_{sb}、C_{db}。减小器件尺寸可以减小 C_{gs} 和 C_{gd}，但同时却使模拟开关的导通电阻上升；提高套刻精度也可减小 C_{gs} 和 C_{gd}，但工艺难度增加了。采用图 14.5 所示的电路，利用电荷对消的方案，可限制或消除寄生电容的影响。图中 M_1 是模拟开关，源漏短接的 M_2 不起开关作用，而是起对消控制信号的馈通作用。M_1 与 M_2 的时钟控制信号脉冲的极性相反，由它们引起的时钟串扰电压可以相互削弱或抵消。

单管 NMOS 模拟开关的导通电阻随输入信号幅度变化的关系如图 14.6 所示，曲线表明，对单管 MOS 模拟开关来说，当 V_G 一定时，为使导通电阻 R_{on} 下降，必须减小输入信号幅度。为了在一定的栅压 V_G 下，扩大输入信号的幅度范围，又保持较小的导通电阻，可采用 CMOS 模拟开关。

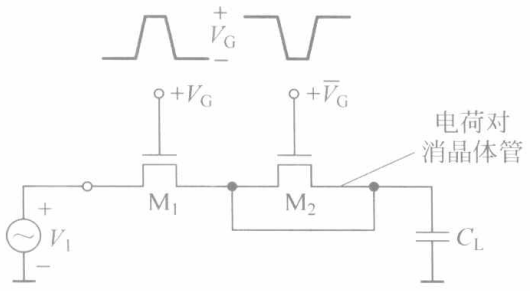


图 14.5　采用电荷对消器件减小寄生电容的影响

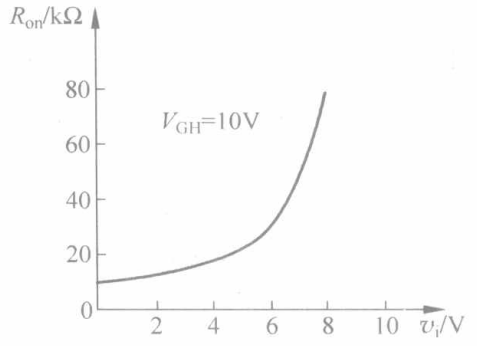


图 14.6　单管 NMOS 模拟开关导通电阻随输入信号幅度变化曲线

14.1.2　CMOS 模拟开关

图 14.7 为 CMOS 模拟开关，它是由增强型 NMOS 管和 PMOS 管组合而成，它们的栅加极性相反的时钟控制信号。假设器件参数和单管 NMOSFET 一样，则在输入信号 V_i 为不同幅度时，其 R_{on}-V_i 曲线如图 14.8 所示。比较图 14.8 与图 14.6，可见 CMOS 模拟开关可以扩大输入信号的幅度范围，并能得到比较小的导通电阻。它的缺点是增加了电路的复杂性。

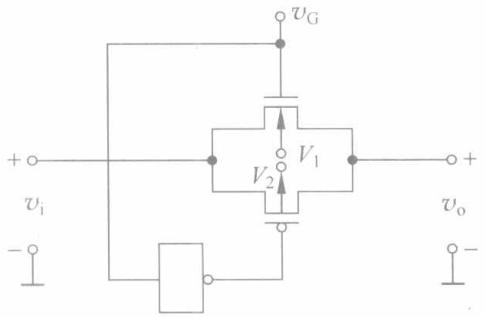


图 14.7　CMOS 模拟开关

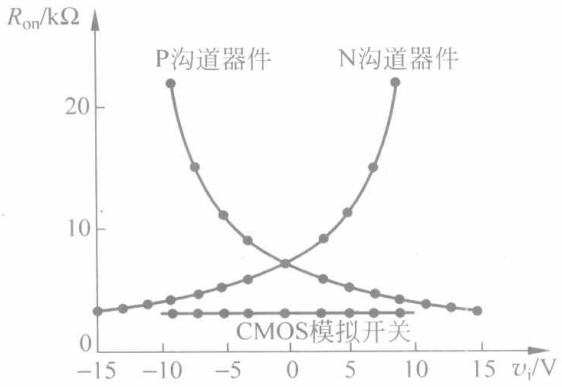


图 14.8　CMOS 模拟开关的导通电阻随信号幅度的变化曲线

14.2　开关电容等效电阻电路

MOS 开关电容电路(SC 电路)是由 MOS 模拟开关和 MOS 电容组成，电路在时钟信号的控制下，完成电荷的存储和转换。它和运放、比较器等基本电路组合起来，可以构成多种功能的电路，如 SC 等效电阻电路、SC 积分电路、SC 滤波电路等。下面仅介绍几种常用的基本 SC 电路，以便了解这类电路的特点。为了突出对开关电容基本工作原理的论述，除非

特别说明，在以后的讨论中，总是假定各元件具有理想特性，即模拟开关的导通电阻为零，关断电阻为无限大，不存在寄生电容；并假定模拟开关栅电压的设计满足使开关正常工作的条件。在这种情况下，用 MOSFET 构成的模拟开关可用简单的单掷开关符号表示，如图 14.9 所示。图 14.9(a)为 MOS 模拟开关，图 14.9(b)为其简化表示，与 MOS 模拟开关相对应，单掷开关的闭合与断开也由时钟信号的电平决定。图中注在开关旁的 ϕ(或 $\bar{\phi}$)表示该开关由时钟 ϕ 控制此外还假定 MOS 电容没有损耗；不考虑时钟信号的上升沿、下降沿；运算放大器的增益和输入电阻足够高，并且频带足够宽。

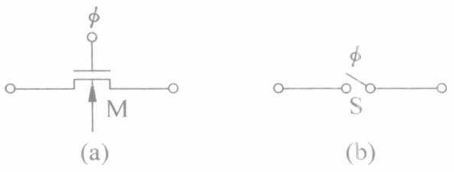


图 14.9　MOS 模拟开关(a)及其简化表示(b)

14.2.1　并联型开关电容等效电阻电路

图 14.10 中(a)为最基本的并联型 SC 等效电阻电路，(b)为其简化图，(c)为等效电路。两个 MOS 模拟开关管 M_1，M_2 分别受两相时钟 ϕ，$\bar{\phi}$ 控制。ϕ 和 $\bar{\phi}$ 具有同频、相位相反、振幅相等而不重叠的特性。当 ϕ 为高电平时(此时 $\bar{\phi}$ 为低电平)，M_1 导通 M_2 截止，相当于简化图(b)中的开关 S_1 接向 1 端。电压 V_1 向电容 C_1 充电至 V_1，此时电容 C_1 上储存的电荷量为 $Q_1=C_1V_1$；当 $\bar{\phi}$ 为高电平时，M_2 导通 M_1 截止，相当于开关 S_1 接向 2 端。电容 C_1 通过 2 端的负载放电形成电压 V_2，电容 C_1 上储存的电荷量为 $Q_2=C_1V_2$。在这个过程中，通过电容 C_1 从 1 端传送至 2 端的电荷量 ΔQ 为

$$\Delta Q = Q_1 - Q_2 = C_1(V_1 - V_2)$$

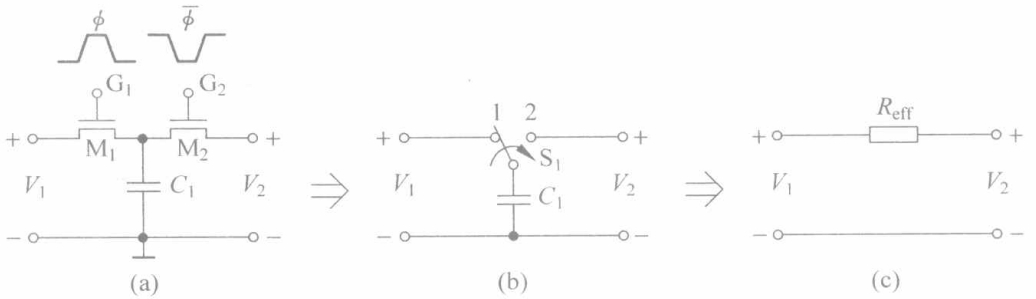


图 14.10　并联型等效电阻电路

(a) 电路图；(b) 简化图；(c) 等效电路

假设 ϕ，$\bar{\phi}$ 的频率为 f_c(周期为 T_c)，当 f_c 远高于信号频率时，在一个周期 T_c 内，1 端向 2 端传递的平均电流 $\bar{I}$ 为

$$\bar{I} = \frac{\Delta Q}{T_c} = \frac{C_1(V_1 - V_2)}{T_c} = \frac{(V_1 - V_2)}{\dfrac{1}{f_c \cdot C_1}} = \frac{V_1 - V_2}{R_{\text{eff}}} \tag{14.9}$$

从式(14.9)可见，这个电路可等效为一个电阻，其等效电阻 R_{eff} 为

$$R_{\text{eff}} = \frac{1}{f_c \cdot C_1} \tag{14.10}$$

当电容 C_1 固定时，改变时钟频率 f_c，可以调节等效电阻 R_{eff} 的大小。同时，只要精确控制时钟频率 f_c 和电容 C_1 的数值，就可以得到精确的等效电阻。而要做到这一点，比直接做一个精确的电阻要容易得多，而且可以缩小芯片面积。例如，一般 MOS 电容 C_1 的数值在 0.1～100pF，如果取 $C_1=1$pF，时钟频率 $f_c=100$kHz，则可得到一个 10MΩ 的等效电阻。而一个 1pF 的 MOS 电容的面积约为 0.01mm^2，为制造 10MΩ 电阻所需面积的 1%。所以采用 MOS 模拟开关电容电路代替电阻，将大大有利于 MOS 模拟电路集成度的提高。

特别是对某些电路，往往只要求回路的 RC 时间常数。这时，由以上的分析知，时间常数为

$$R_{\text{eff}} \cdot C = \frac{1}{f_c(C_1/C)} \tag{14.11}$$

这就是说，时间常数将只取决于时钟频率 f_c 和两个电容 C_1 和 C 的比值。而时钟频率 f_c 通常比较稳定、准确，所以时间常数将主要取决于 C_1/C。在 MOS 集成电路工艺中，两个电容的比值主要取决于电容的版图设计尺寸和光刻偏差，这些是比较容易控制的。所以，把电阻比和时间常数的精确控制归结到电容比值的控制是非常有利的。

由以上的分析可知，开关电容电路易于实现稳定、准确的时间常数。而在模拟电路中常遇到与时间有关的特性，如频率特性、延迟特性等，因此 MOS 开关电容电路得到了广泛的应用，并促进了模拟集成电路的发展。

以上结果有两个条件要注意：

(1) 时钟频率 f_c 应比信号最高频率 f_m 高得多，即要求 $f_c \gg f_m$，才能使被采样的信号不失真地被还原。

(2) 1 端和 2 端的电压 V_1 和 V_2 不能受开关闭合的影响，这样可避免开关闭合时，引起电路瞬变和瞬时信号电平的变化。

14.2.2 串联型开关电容等效电阻电路

图 14.11 为串联型 SC 等效电阻电路图，与并联型 SC 等效电阻电路的分析相同，当 ϕ 为高电平时，M_1 导通 M_2 截止，电容 C_1 上存储电荷量 Q 为

$$Q = C_1(V_1 - V_2)$$

当 $\bar{\phi}$ 为高电平时，M_2 导通 M_1 截止，电容 C_1 通过 M_2 放电，电容 C_1 上电荷量变为零。在开关接通和断开的一个周期 T_c 内，电容 C_1 上的电荷变化量 ΔQ 为

$$\Delta Q = C_1(V_1 - V_2)$$

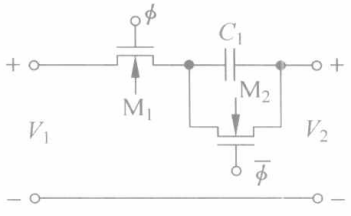


图 14.11 串联型 SC 等效电阻电路

可见，ΔQ 与并联型 SC 等效电阻电路在开关接通和断开的一个周期内电容 C_1 上的电荷变化量相同。所以此电路在一个周期 T_c 内，1 端向 2 端传递的平均电流 $\bar{I}$ 和此电路的等效电阻 R_{eff} 的表达式，与并联型 SC 等效电阻电路的相同。

14.3 开关电容积分器

积分器是有源滤波器中的重要部件。图 14.12 的电路图中(a)为通常的 RC 有源积分器,(b)为 MOS SC 积分器。由图可见,在 MOS SC 积分器电路中的 SC 等效电阻电路,代替了 RC 有源积分器中的电阻 R。

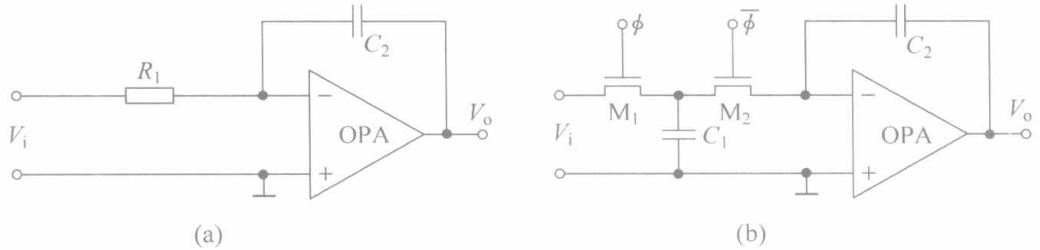


图 14.12 积分器电路

(a) RC 有源积分器;(b) MOS SC 积分器

已知 RC 有源积分器的正弦传递函数为

$$H(j\omega) = -\frac{1}{j\omega RC_2} \tag{14.12}$$

用 SC 等效电阻电路的等效电阻 R_{eff} 代替式(14.4)中的 R 后,表达式变为

$$H(j\omega) = -\frac{1}{j\omega} f_c \left(\frac{C_1}{C_2}\right) \tag{14.13}$$

式中 f_c 为开关频率。由式(14.13)可见,当 f_c 一定时,SC 积分器的传递函数只与 C_1 和 C_2 的比值有关,而与它们的绝对值无关。在集成电路工艺中,要获得精确的电容值很难,而要获得精确的电容比却不难实现。采用特种工艺,电容比的精度可达到 0.01%,并且具有良好的温度稳定性。

这种积分器的缺点是寄生电容的影响较大。考虑寄生电容后,图 14.12 的 SC 积分器的电路如图 14.13 所示,图中 C_{P1} 是模拟开关管 M_1 源-衬底的寄生电容,C_{P2} 和 C_{P3} 是 M_1 和 M_2 的漏-衬底电容以及与电容 C_1 相关的上极板和互连线的寄生电容,C_{P4} 是 M_2 的源-衬底电容和运算放大器的输入电容,C_{P5} 和 C_{P6} 是与积分电容 C_2 相关的上下极板的寄生电容。

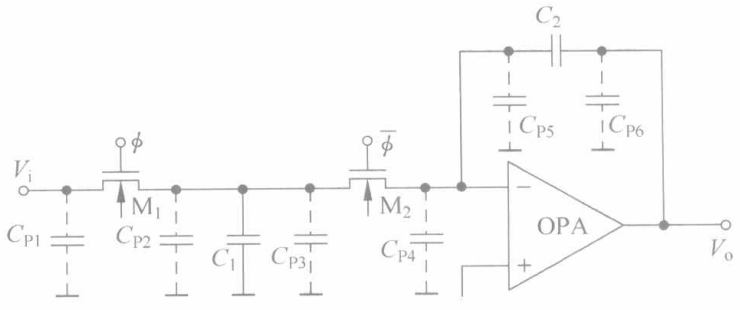


图 14.13 考虑寄生电容后的一般积分器

上述各种电容对电路性能的影响不同，C_{P1} 与信号源并联，因为通常信号源的内阻较小，所以 C_{P1} 的影响可忽略。C_{P2} 和 C_{P3} 直接与 C_1 并联，它们的影响必须考虑，并令 $C_P=C_{P2}+C_{P3}$，$C_1'=C_1+C_P$。C_{P4} 和 C_{P5} 接在运算放大器的输入端，若运算放大器具有理想特性，则这两个电容的影响可以忽略。C_{P6} 与运算放大器的输出端连接，可以看做运算放大器的负载，若运算放大器具有理想特性，这个电容的影响也可忽略。综上所述，如果输入信号源的内阻足够小，且运算放大器具有理想特性，则只需考虑 C_{P2} 和 C_{P3} 的影响，其作用相当于使 C_1 的值增加了 C_P。

在考虑寄生电容后，积分器的正弦传递函数变为

$$\begin{aligned} H(j\omega) &= -\frac{1}{j\omega} f_c \left(\frac{C_1'}{C_2}\right) \\ &= -\frac{1}{j\omega} f_c \left(\frac{C_1}{C_2}\right)(1+\alpha) \end{aligned} \tag{14.14}$$

式中 $\alpha=C_P/C_1$。由上式可见，C_P 的存在改变了积分器的特性，而且 C_P 是随加在其两端电压的不同而变化的非线性电容，这就失去了开关电容积分器易于得到准确和稳定的时间常数的优点。然而这些电容是在制造开关电容积分器时不可避免的，因此需要设法在电路结构上解决。

采用图 14.14 的电路可消除寄生电容对积分器性能的影响，图 14.15 为图 14.14 电路的简化电路，此简化电路的工作原理如下：当 ϕ 为高电平时，开关 S_1，S_2 接通，S_3，S_4 断开，此时输出电压 V_o 为

$$V_o(j\omega) = -\frac{C_1}{C_2} V_i(j\omega) \tag{14.15}$$

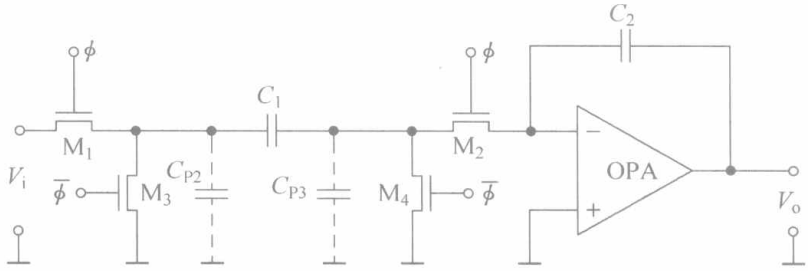


图 14.14　对寄生电容不敏感的 SC 积分器

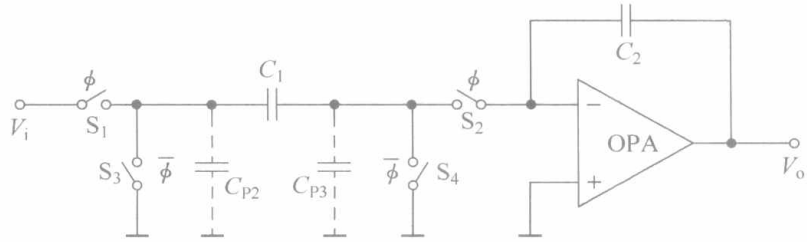


图 14.15　图 14.6 的简化电路

C_{P2}和C_1被充电到等于V_i的电压，而C_{P3}因为和运算放大器的输入端相连，所以两端的电压为零。在$\bar{\phi}$为高电平时，S_1和S_2断开，S_3和S_4接通，此时C_{P2}，C_{P3}和C_1被短路。可见在一个时钟周期内，C_{P2}和C_{P3}都不会影响电路中电荷的正常转移，从而消除了寄生电容对积分器性能的影响。

14.4 开关电容低通滤波器

图14.16是由RC无源网络组成的一阶简单低通滤波器及其幅频特性，其电压增益函数为

$$A_v = \frac{v_C}{v_i} = \frac{\dfrac{1}{j\omega C_2}}{R_1 + \dfrac{1}{j\omega C_2}} = \frac{1}{1 + j\omega C_2 R_1} = \frac{1}{1 + j\dfrac{\omega}{\omega_0}} \tag{14.16}$$

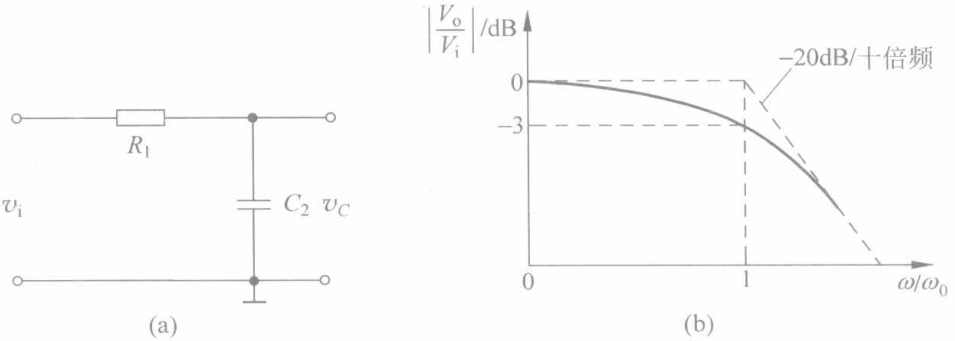


图14.16 RC一阶低通滤波器

(a) 电路图；(b) 幅频特性

式中$\omega_0 = \dfrac{1}{R_1 C_2}$，称为低通截止频率。

由式(14.16)可见，电压增益函数只有一个极点，所以称为一阶滤波器。它的滤波效果不太好，因为从幅频响应来看，在$\omega > \omega_0$时，滤波器的输出以−20dB/十倍频的速率衰减。为了使衰减斜率增大，可采用二阶或高阶滤波器。实际上高于二阶的滤波器都可以由一阶、二阶有源滤波器构成。

如果用图14.10所示的开关电容等效电阻电路代替图14.16中的电阻R_1，就构成了一个开关电容低通滤波器，如图14.17所示。此时电路的低通截止频率ω_0将由下式决定

$$\omega_0 = \frac{1}{R_1 C_2} = f_c \cdot \frac{C_1}{C_2} \tag{14.17}$$

式(14.17)表明，只利用MOS开关和电容即可构成简

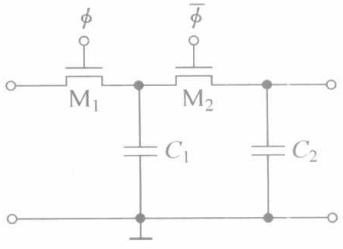


图14.17 开关电容一阶低通滤波电路

单的滤波器，不需要制作电阻。此外，网络的频率响应取决于时钟频率及两个电容的比值，而与电容的绝对数值无关。

如果在一级 RC 低通滤波电路的输出端再加上一个电压跟随器，使之与负载很好地隔离开来，就构成了一个简单的一阶有源低通滤波器，如图 14.18 所示，图(a)为 RC 低通电路，图(b)为开关电容电路。

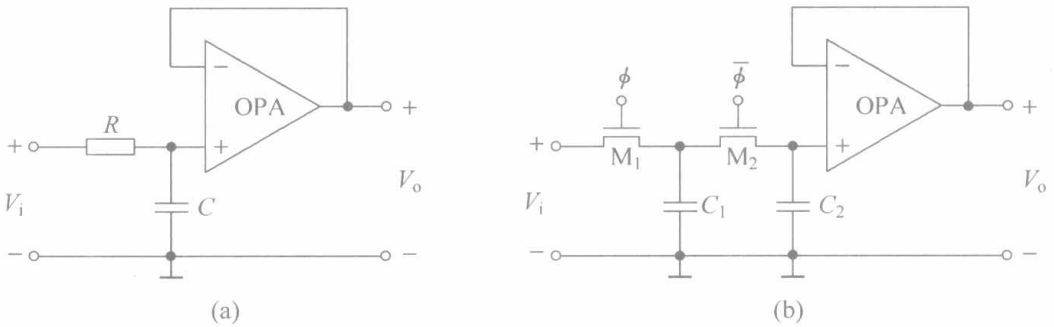


图 14.18　简单的一阶有源低通滤波器

(a) RC 低通电路；(b) 开关电容电路

对于有源低通滤波器，由于要求 RC 乘积大，而且精度高，因此这种电路过去一直难以实现集成化。SC 电路的出现，解决了这一难点。因为 SC 低通滤波电路不仅不需用电阻，而且电路的截止频率和电压增益只与电容比有关，而与电容的绝对值无关。因此开关电容的利用，为滤波器的单片集成找到了理想的途径。目前，开关电容滤波器已成为大规模集成电路研究领域中的一个重要方面。

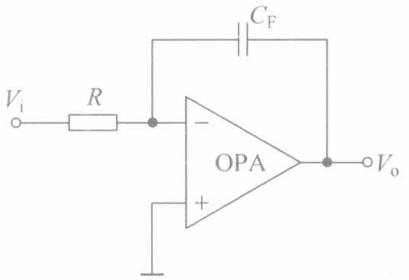
复习思考题

14.1　把图题 14.1 所示 RC 积分器电路变换成开关电容积分器电路。

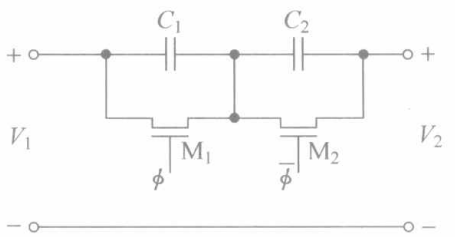
14.2　图题 14.2 是由两个电容构成的一种开关电容等效电路，ϕ 和 $\bar{\phi}$ 为两个同频、反相的驱动脉冲信号。

(1) 分析电路工作原理；

(2) 写出电路的等效电阻 R_{eff} 的表达式。



图题 14.1



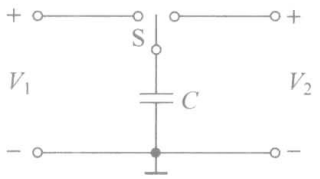
图题 14.2

14.3　图题 14.3 为一个由开关 S 和电容 C 组成的开关电容电路。试画出用单个 MOS 模拟开关管来代替 S 的等效开关电容电路；若驱动 MOS 管的脉冲频率为 $f_c=50\text{kHz}$，电容 $C=10\text{pF}$，试求开关电容电路的等效电阻 R_{eff}。

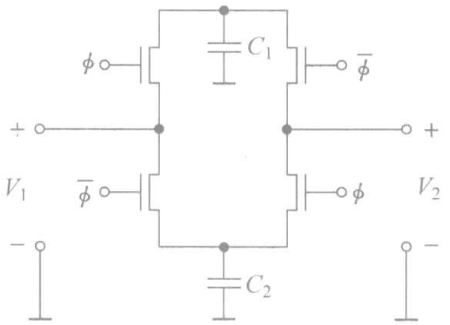
14.4　图题 14.4 是一个 MOS 开关电容等效电路，ϕ 和 $\bar{\phi}$ 为两个同频反相的驱动脉冲信号。

(1) 分析电路工作原理；

(2) 写出电路等效电阻 R_{eff} 的表达式。



图题 14.3



图题 14.4

14.5　说明简单开关电容电路中寄生电容的影响及如何减小寄生电容的影响。

第 15 章　集成稳压器

集成稳压器也叫电压调整器，它能使输入电压 V_I 或输出电流 I_O 在一定范围内变化时，保持输出电压 V_O 不变。它被广泛用于各种电子设备中，以取代分立器件组装的稳压电源。由于它使用方便、成本低、体积小、性能良好、可靠性高，因而发展较快，成为模拟集成电路中的一种重要产品。目前有两种集成稳压器，一种是串联式稳压器，另一种是开关式稳压器。串联式稳压器是对输出电压的变化进行采样，经与基准电压比较放大后，控制串联在输入电压与输出电压之间的调整元件(功率晶体管)，调节调整管两端的电压，使输出电压稳定，调整管工作于线性区。开关式稳压器则是将输出信号采样后，经过变换，去控制与负载串联或并联的开关的导通与截止期，然后利用电感储能元件，将脉冲电流转换成为负载中连续的稳定电流。开关式稳压电源比串联式稳压器的工作效率高，输出电压变化范围广，但其电路复杂，而且需要外接电感或变压器，因而使用受到限制。本章介绍串联式集成稳压器的结构、工作原理及版图设计等方面的有关内容。

15.1　集成稳压器的基本结构

串联式集成稳压器主要由基准电压源、误差放大器和调整元件三部分组成，其框图如图 15.1 所示。此外，还有启动电路、保护电路(过流、过热、安全工作区保护等)及偏置电路。当输入电压 V_I 或输出电流 I_O 变化时，通过取样电阻给误差放大器的反相输入端一个反馈信号，在与基准电压 V_{REF} 比较，并经放大后，去控制调整元件的工作点作一定的变化，从而

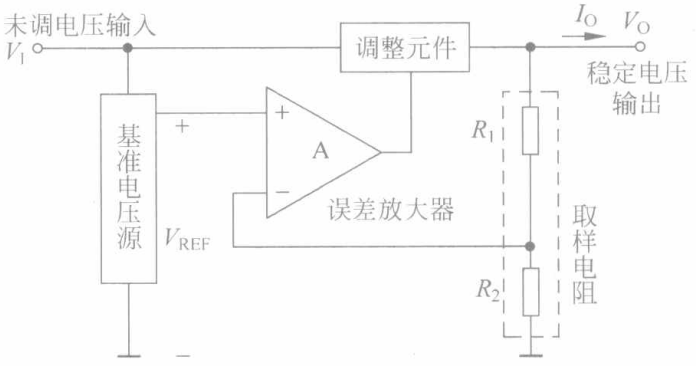


图 15.1　串联式集成稳压器框图

使输出电压 V_O 保持不变。由以上分析可见，可将它看成为一个负反馈放大器，由误差放大器和调整元件构成基本放大器，未调的输入电压为供电电源电压，基准电压为输入信号，稳定的输出电压为输出信号，R_1、R_2 取样电阻为反馈网络。

设由误差放大器和调整元件构成的基本放大器的放大倍数（即集成稳压器的开环放大倍数）为 A，反馈系数为 $F=R_2/(R_1+R_2)$，根据反馈放大器的理论知其输出电压为

$$V_O = \frac{AV_{REF}}{1+AF} \tag{15.1}$$

在实际电路中满足 $AF \gg 1$，所以

$$V_O \approx \frac{V_{REF}}{F} = V_{REF}\left(\frac{R_1+R_2}{R_2}\right) \tag{15.2}$$

它的输出电压只取决于基准电压和反馈系数，而与输入电压和负载电流的大小无关。

图 15.1 所示框图中的基准电压源、误差放大器等电路，在前面已做了介绍，下面主要介绍启动电路、保护电路及调整管的制作特点。

15.2 启 动 电 路

集成稳压器中启动电路的作用是：给稳压器中的恒流源电路建立起始工作点，以及对稳压器进行输入过压保持并消去输入电压 V_I 中的纹波。常用的启动电路有以下几种。

15.2.1 JFET 启动电路

JFET 启动电路是集成稳压器中常用的启动电路之一，电路中 JFET 的栅源之间，可有不同的偏置。图 15.2 所示为栅源短接 JFET 启动电路，图中 T_1，T_2，T_3 组成电阻比例恒流源。当刚加上 V_{AC} 时，因 T_1 未导通，所以 $I_{DS}=0$，$V_{DS}=0$，$V_{AC}=V_{AB}$。随着 V_{AC} 的增加，T_1 导通，恒流源启动，V_{DS} 也随之增加。当 $|V_{DS}| \geqslant |V_P|$ 时（V_P 为 JFET 的夹断电压），T_J 夹断，$I_{DS}=I_{DSS}$（JFET 的饱和漏电流）。当 $V_{AC} \geqslant (|V_P|+V_Z)$ 时，D_Z 导通，V_{AC} 被钳位在 $(|V_P|+V_Z)$，这时恒流源电流

$$I_1 = \frac{V_Z - V_{BE1}}{R_1 + R_r} \tag{15.3}$$

恒流源进入稳定状态。

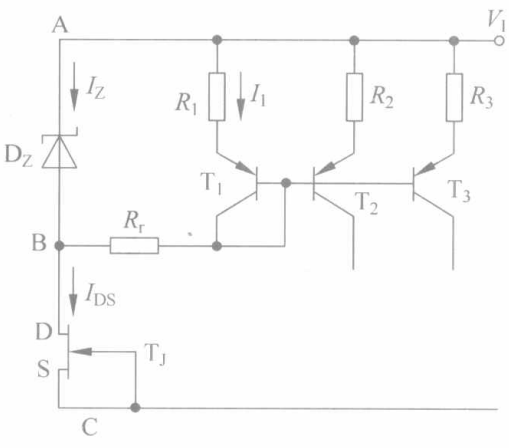


图 15.2 栅源短接 JFET 启动电路

15.2.2 晶体管隔离启动电路

图 15.3 为晶体管隔离启动电路，当电源接通后，随着 V_{AC} 的上升，T_1 导通，且 I_{E1} 随 V_{AC} 的增大而增大，V_{B1} 和 V_{B2} 的电位也随之升高，结果导致 T_2 导通，于是恒流源 I_0 启动。

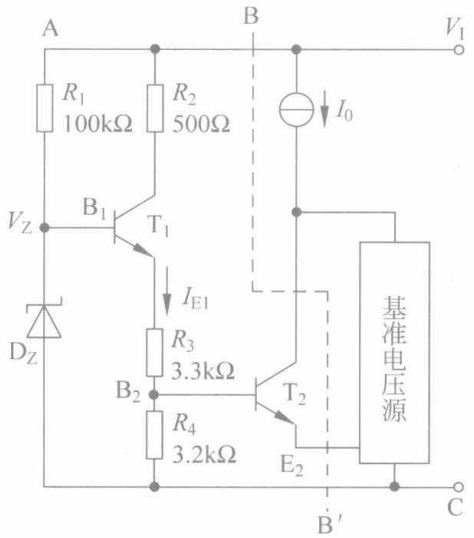


图 15.3　晶体管隔离启动电路

当 V_{AC} 上升到使 $V_{B1}=V_Z$ 时，D_Z 导通，V_{B1} 被钳位在 V_Z，此时 B_2 点的电压 V_{B2} 不变。恒流源启动后，由于内部电路的作用使 V_{E2} 继续上升，当 T_2 的发射结电压 $(V_{B2}-V_{E2})<V_{BE,th2}$ 时，T_2 就会截止。于是启动电路由于 T_2 的隔离作用而和内部电路脱开，但仍起输入过压保护和过滤输入噪声及输入电压 V_I 纹波电压的作用。

15.3　保 护 电 路

集成稳压器的输出功率较大，且使用情况多变，为了防止稳压器因过载而损坏，必须在电路上采取故障保护措施。在串联式集成稳压器中，要对调整管采用过流、过压及超功率保护，并对芯片采用过热保护。

15.3.1　调整管的过流及安全工作区保护

图 15.4 为调整管的过流及安全工作区综合保护电路，图中达林顿管 T_1，T_2 是调整管，它是大功率晶体管，为了保证不发生二次击穿，应工作于连续运行的安全工作区。图中 R_{SC} 和 T_3 组成过流保护电路，下面分析此保护电路的工作原理，先分析过流保护作用。如果选择限流电阻 R_{SC} 为

$$R_{SC}=\frac{V_{BE3}}{I_{Om}} \tag{15.4}$$

式中 I_{Om} 为稳压器的最大输出电流，可使得当负载电流小于 I_{Om} 时，T_3 截止，此时 T_3 的存在不影响调整管的工作；当输出电流等于 I_{Om} 时，T_3 管导通，从而分流了 I_{B1}，使 I_O 维持在 $I_O=I_{Om}=V_{BE3}/R_{SC}$（如图 15.4(b)所示的 A 点），因而保护了调整管。但此时若 V_I-V_O 继续增加，调整管上的功耗也会继续增加，仍有可能发生二次击穿，所以必须对 V_I-V_O 加以限制，以防止调整管上的功耗超过最大功耗 P_M，即

$$I_O(V_I-V_O)<P_M$$

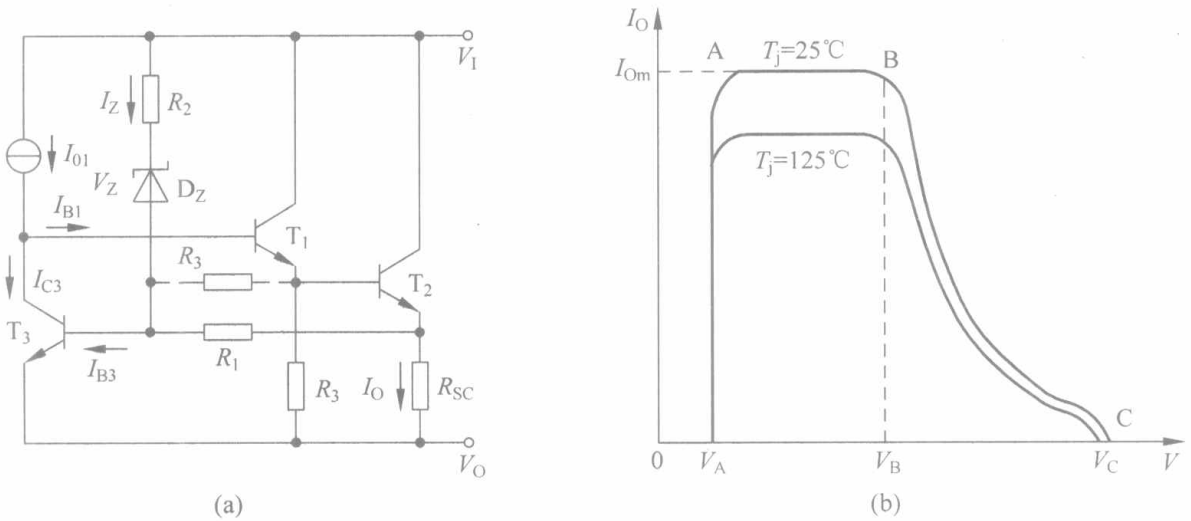


图 15.4　过流和安全工作区综合保护电路

(a) 保护电路；(b) 保护后稳压器的伏安特性

保护电路中用 R_2、齐纳管 D_Z 和晶体管 T_3 组成了调整管的过压保护电路。在正常情况下，齐纳管 D_Z 的击穿电压

$$V_Z > V_I - V_O$$

D_Z 不影响电路的正常工作，当输入电压和输出电压之差 $V_I - V_O$ 超过一定值后，即当

$$(V_I - V_O) - I_O R_{SC} = V_{CE2} \geqslant V_Z \tag{15.5}$$

时，D_Z 导通，流经 D_Z 的电流 I_Z 在 R_1 和 R_{SC} 上产生的电压对过流保护管 T_3 来说是正向压降，当

$$I_Z R_1 + (I_Z + I_O) R_{SC} \geqslant V_{BE3} \tag{15.6}$$

时，T_3 导通，分流了 I_{B1}，使调整管的 I_O 和功耗减小。若原来已处于过流保护状态，$I_O = I_{Om}$，T_3 已导通，则 $I_Z R_1$ 将使 T_3 的集电极电流 I_{C3} 增加，V_{CE3} 下降，所以分流 I_{B1} 的作用增强，导致 I_O 下降(对应于图 15.4(b)中的 B 点)。此时若 $V_I - V_O$ 继续增加，因为

$$I_Z = \frac{(V_I - V_O) - V_Z - V_{BE3}}{R_Z} \tag{15.7}$$

所以 I_Z 也将继续增加，使 I_{B1}，I_O 和 V_{CE3} 继续减小，当

$$V_{CE3} < V_{BE1} + V_{BE2} + I_O R_{SC} \tag{15.8}$$

时，T_2 截止，此过程是保护电路对调整管起减流和截流保护，对应于图 15.4(b)伏安特性曲线的 BC 段。所以，此综合保护电路在输出电流 I_O 过大时，起限流作用；当 $V_I - V_O$ 过大时，起减流或截流保护作用，以保证调整管处于安全工作区。由于发射结正向导通电压 V_{BE} 是温度的函数，且 $\partial V_{BE}/\partial T \approx -2\text{mV}/℃$，所以在这种综合电路保护下的稳压器的伏安特性，也是温度的函数(见图 15.4(b)中的曲线)，当环境温度升高或散热条件变坏时，保护电路将自动使调整管的安全工作区减小。

为了提高保护电路的启动灵敏度，可将 R_3 改接在 T_2，T_3 管的基极之间，如图 15.4(a)虚线所示，给 T_3 的 EB 结加一个预偏置电压，使

$$V_{BE3}=\frac{R_1}{R_1+R_3}V_{BE2}+I_OR_{SC} \tag{15.9}$$

15.3.2 过热保护

集成稳压器是功率集成电路，耗散的功率较大，芯片的温度较高。为了使它长期工作于高温下而不至于损坏，必须设置过热保护电路。对于双极型集成电路，硅片上的结温不得超过+200℃，在大多数双极型集成电路的设计中，最高工作温度选在+100℃～170℃。为了保证这一点，可以设计一个过热保护电路，当硅片温度超过允许值时，保护电路自动将功率通路切断，直至温度下降至安全区。图 15.5 为一个典型的过热保护电路，图中达林顿管 T_3，T_4 是调整管，它是大功率晶体管，T_H 为过热保护器件，其集电极和调整管的基极及恒流源接在一起。该电路设计应满足下述条件，即芯片温度为 25℃时，经 R_2，R_3 分压后，T_H 不导通；当芯片温度 T 大于保护温度后 T_H 才导通，T_H 导通后分流了 I_{B3}，达到了保护的目的。

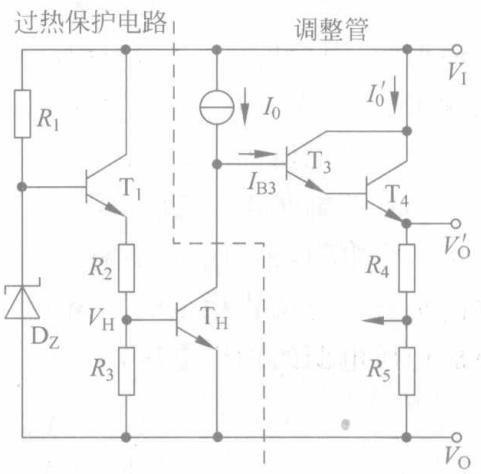


图 15.5 典型的过热保护电路

例如设芯片温度 $T=25$℃ 时，$V_Z=6.3$V，$V_{BE1}=0.75$V，$V_{BE,H}=0.65$V。此时

$$V_H=\frac{V_Z-V_{BE1}}{R_2+R_3}\cdot R_3\approx 0.43\text{V}<V_{BE,H} \tag{15.10}$$

因此 T_H 不导通，此时 T_H 对电路正常工作无影响。设保护温度为 $T_S=150$℃，如果 V_Z 和 V_{BE} 的温度系数分别为 $\partial V_Z/\partial T=+2\text{mV/℃}$，$\partial V_{BE}/\partial T\approx-1.7\text{mV/℃}$，则此时 T_H 导通时的 EB 结压降为

$$V_{BE,H}(150℃)=0.65+\frac{\partial V_{BE}}{\partial T}\Delta T\approx 0.44\text{V}$$

如果忽略电阻比的温度系数，则此时 V_H 为

$$V_H(150℃)=\frac{V_Z(150℃)-V_{BE1}(150℃)}{R_2+R_3}\cdot R_3\approx 0.46\text{V}>V_{BE,H}(150℃)$$

于是 T_H 导通，I_{CQH} 上升，I_{B3} 下降，I_O' 下降，因此 $I_O'(V_I-V_O)$ 减小，亦即调整管发热减小，芯片温度下降。但如果不及时去掉导致过热的因素，随着芯片温度的下降，$V_{BE,H}$ 随之升高，V_H 跟着下降，导致 T_H 截止，I_{B3} 升高，芯片温度又会上升。这样，就会在过热保护温度附近产生热振荡。这种热振荡一方面会破坏电路正常工作，另一方面由于硅片和封装管壳各部分的温度系数不同，还会在硅片和管壳的联接处产生附加的应力，所以要及时去掉导致过热的因素，或者是在发生过热保护后，外加一个复位信号，才能使其复原。

由于调整管 T_3，T_4 是芯片中发热量最大的元件，为确保过热保护，在版图设计上，通常将 T_H 布置在调整管附近。

15.4 三端固定输出电压式稳压电源

集成稳压电源按使用情况，大致可分为三类：

(1) 多端可调式稳压电源。它的输出功率小，输出端多，使用不太方便；但性能精度高，价格便宜。如 W723(国外为 μA723)，它有 10 个引出端，输出电压范围 $V_O=2\sim37V$，最大输出电流 $I_O\approx150mA$，其取样电阻、频率补偿电容及限流电阻等都需外接。

(2) 三端固定式稳压电源。它把全部元器件都集成在一个芯片上，只有 V_I，V_O 和地三个输出端，因而使用方便，应用广泛。产品有 W7800 系列(正电压输出)和 W7900 系列(负压输出)。如 W7800 系列中有输出电压 V_O 为 5，6，9，12，15，18，24V 等七种稳压电源，其最大负载输出电流 $I_{O,max}=1.5A$，耗散功率 $P_{d,max}>15W$。

(3) 三端可调式稳压电源。它也只有三个输出端，为 V_I，V_O 和 A_{dj}(为可调端)，它只需外接两个电阻，即可获得各种输出电压。其基本结构框图和应用电路如图 15.6 所示。虚线框内是三端可调式稳压电源 W138 的结构框图，其基准源的一端从 A_{dj} 端输出，其中 V_O 为集成稳压电源的输出电压，R_1，R_2 为外接电阻。由图可知此应用电路的输出电压

$$V_O = V_{R1} + V_{R2} = V_{REF}\left(1+\frac{R_2}{R_1}\right)+I_{Adj}R_2 \tag{15.11}$$

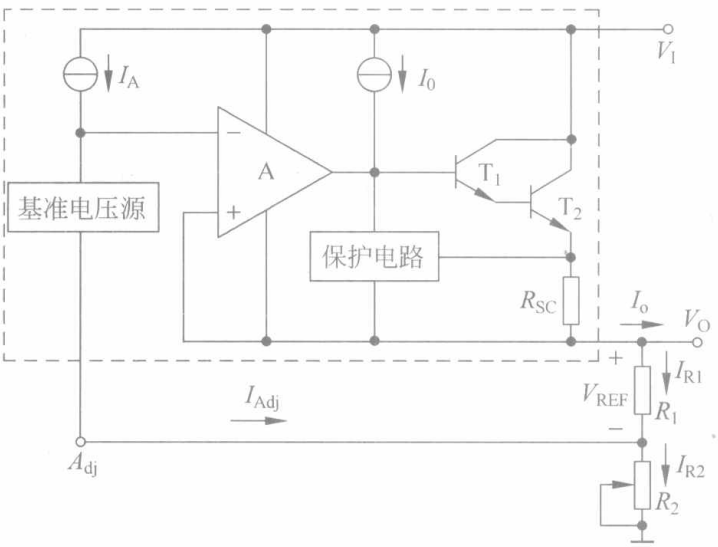


图 15.6 三端可调输出电压稳压器的基本结构框图和应用电路

式中 I_{Adj} 为集成稳压器调整端 A_{dj} 的输出电流。由上式可见，调节 R_2 即可改变输出电压 V_O，且当 I_{Adj} 很小时，有

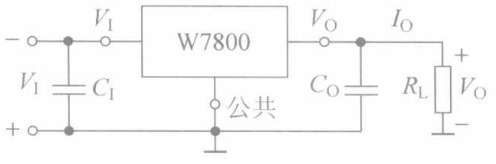
$$V_O \approx V_{REF}\left(1+\frac{R_2}{R_1}\right) \tag{15.12}$$

这时 V_O 成了一个高稳定的可调电压。

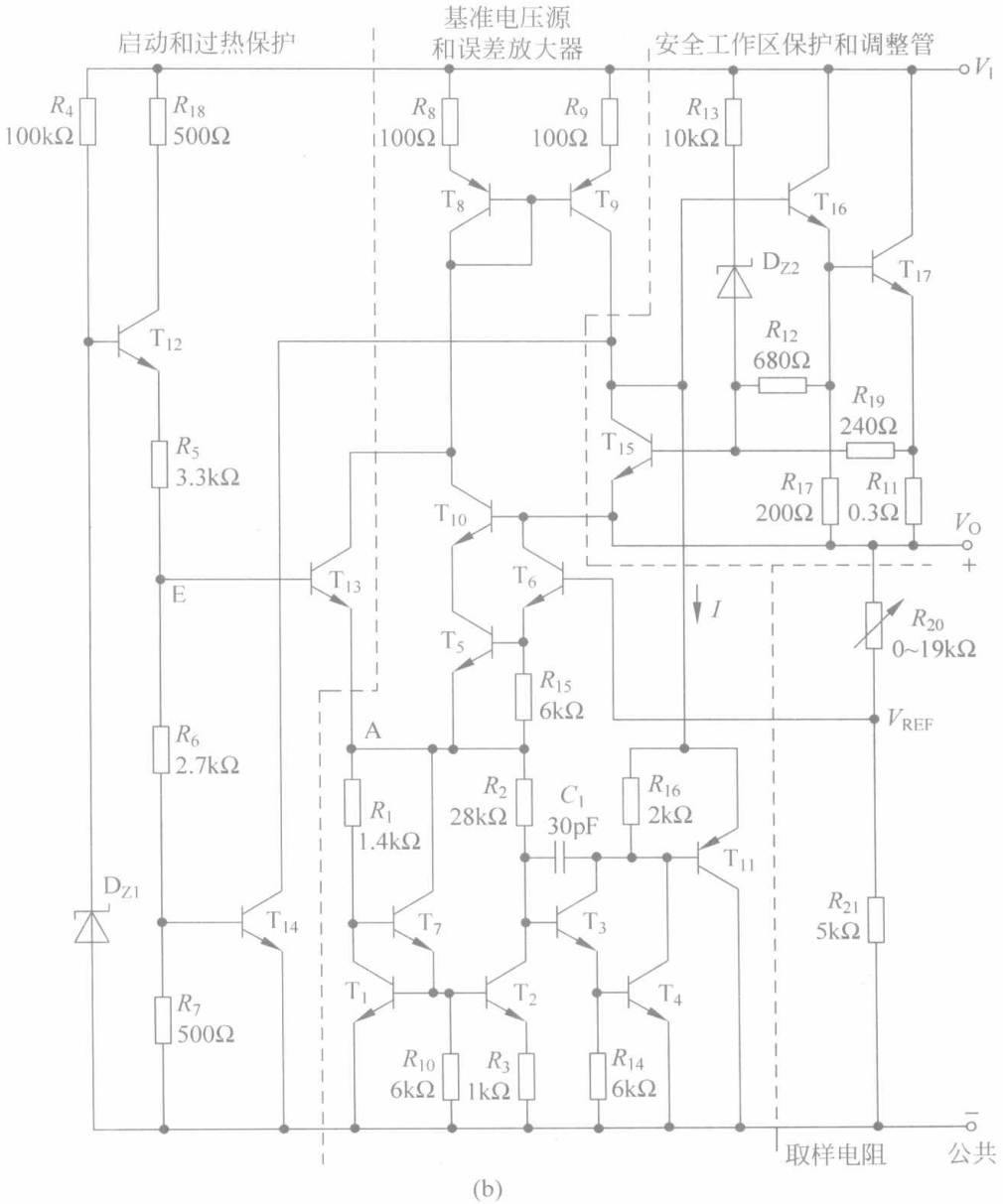
这类稳压器的典型产品如 W117，W138 等，一般输出电压为 +1.25V 到 +35V

或－1.25V 到－35V。

下面以典型产品 W7800(正电压输出)为例,着重介绍三端固定式集成稳压器的工作原理及集成稳压器版图设计的特点。W7800 是一种串联调整式稳压器,它将全部电路都集成在单块硅片上,整个集成稳压器只有输入、输出和公共端三个引出端,使用非常方便。具体电路如图 15.7 所示,整个电路由以下四部分组成。



(a)



(b)

图 15.7　W7800 集成稳压器的电路图

15.4.1 启动电路

图 15.7 中 $R_4 \sim R_7$，D_{Z1}，T_{12}，T_{13} 组成晶体管隔离启动电路。当接上电源后，T_{12}，T_{13} 进入工作状态，启动恒流源（建立起始工作电流），进而使整个电路工作。当 D_{Z1} 导通后，E 点电位 V_E 被钳位在

$$V_E = \frac{V_{Z1} - V_{BE12}}{R_5 + R_6 + R_7}(R_6 + R_7) \tag{15.13}$$

设 $V_{Z1} = 6.3\text{V}$，$V_{BE12} = 0.75\text{V}$，则

$$V_E = 2.73\text{V}$$

恒流源进入稳定状态。此时，由于内部电路正常工作，A 点电位为

$$V_A = V_{REF} - (V_{BE6} + V_{BE5}) \approx (4.98 - 1.4)\text{V}$$
$$= 3.6\text{V}$$

显见 $V_A > V_E$，于是 T_{13} 截止，这样就把启动电路与工作电路部分隔离开了。

15.4.2 保护电路

保护电路共有两部分。

（1）过热保护电路，由 D_{Z1}，T_{12}，R_5，R_6，R_7 和 T_{14} 组成，其中 T_{14} 是过热保护元件，用来测量芯片的温度。过热保护电路的动作温度设计在 175℃，在室温时，R_7 上的压降 $V_{R7} \approx 0.4\text{V}$，所以此时 T_{14} 截止；当稳压器功耗太大、散热较差或环境温度过高而使芯片温度达 175℃时，因此时 V_{Z1} 上升，$V_{BE,th}$ 下降，导致 $V_{R7} > V_{BE,th14}$，于是 T_{14} 导通，引起 I_{B16} 下降，使 V_O 和输出电流（I_O）下降。在版图设计时，应把 T_{14} 放在被保护元件（热源）T_{16}，T_{17} 的附近，以提高过热保护的灵敏度。

（2）过流和安全工作区保护电路。由 D_{Z2}，R_{13}，T_{15}，R_{12}，R_{19} 和 R_{11} 组成。此电路的工作原理在 15.3 节中已做了介绍，在输出电流 I_O 较大时，起过流保护作用；当 $V_I - V_O$ 过大时，起减流或截流保护作用，以保证调整管 T_{16}，T_{17} 处于安全工作区。其中 R_{12}，R_{19} 和 V_{BE17} 给 T_{15} 提供预偏置，以提高保护电路启动的灵敏度。

电路中 R_{13}，D_{Z2} 和 T_{15} 的 EB 结相串联后再与输出管 T_{17} 的 CE 并联，所以当 $V_{CE17} > 8\text{V}$ 时，$V_{BE15} \geqslant V_{BE,th15}$，于是 T_{15} 导通，使 I_{B16} 下降，导致输出电流 I_O 下降。由电路图可见，不论调整管的工作电流是多少，此保护电路使 V_{CE17} 永远不会超过 8V，这将使调整管始终工作于它的安全区内。

15.4.3 基准电压源和误差放大器

在 W7800 电路中，其基准电压源和误差放大器有部分管子是共用的。基准电压源是由图 15.7 中 $T_1 \sim T_7$ 七个晶体管组成的能隙基准电压源（其中 T_3，T_4 兼作误差放大器之用），它的基本原理与 12.3.1 节中讨论过的升压式三管能隙基准源一样，只是电路形式略有不

同。由 12.3.1 节中的讨论知

$$V_{REF} = 4V_{BE} + I_{C2}R_2 = 4V_{BE} + V_t \frac{R_2}{R_3}\ln\frac{R_2}{R_1}$$

设 $V_{BE}=0.7\text{V}$，$T=300\text{K}$，代入电路图中各电阻值可得

$$V_{REF} = 4\times 0.7\text{V} + \frac{28}{1}\times 26\text{mV}\cdot\ln\frac{28}{1.4} \approx (4.98\sim 5)\text{V}$$

误差放大器由 T_5，T_6，R_2，T_3，T_4，T_9，T_{11} 和 R_{16} 组成，是有源负载达林顿管放大级，其增益高，且各放大级的基极偏置电压又是基准电压的一部分，使二者温度跟踪，提高了温度稳定性。

此部分电路的工作原理如下：当输出电压变化时，T_3 的基极电流变化，使 T_9 的集电极电位发生变化，从而控制调整管的基极偏置电压，使输出电压保持稳定。

电路中 T_{11} 和 R_{16} 是为了提高误差放大器的灵敏度而设置的，因为当 $r_{be11} \ll R_{16}$ 时，$\Delta I_{C4} \approx \Delta I_{B11}$，所以 $\Delta I \approx (1+\beta)\Delta I_{C4}$，从而提高了灵敏度。

15.4.4 取样电阻

图 15.7 中取样电阻 R_{20}，R_{21} 将输出电压的一部分反馈到 T_6 的基极，从而使输出电压稳定。由图可知

$$V_O = V_{REF}\frac{R_{20}+R_{21}}{R_{21}} \tag{15.14}$$

若固定 $R_{21}=5\text{k}\Omega$，而 $R_{20}=(0\sim 19)\text{k}\Omega$，则输出电压 V_O 在 5～24V 之间可变。在版图设计上，R_{20} 实际是一个电阻阵列，只要改变阵列铝连线的版，即可改变 R_{20} 的值，从而得到不同输出电压的稳压电源。

15.5 集成稳压器的版图设计

集成稳压器的版图设计方法和步骤与集成运算放大器的类似，但因为其输出功率较大，调整管是功率管，所以要特别注意调整管的设计和版图的热对称设计问题，不然基准电压源和直流偏置电路中的温度补偿措施将失去意义。

15.5.1 调整管的版图设计

调整管是稳压器的关键元件，因为输出电压的稳定，是依靠调整管调节其自身 V_{CE} 的变化来实现的。所以稳压器中调整管的设计是一个关键，要求调整管的耐压高，能输出足够大的电流，允许一定的功耗，二次击穿性能好，电流增益大等。在电路上往往采用达林顿管接成射极输出器结构，末级为大功率管。对于输出功率较大的稳压器，调整管的面积可占整个芯片面积的一半以上。下面介绍在设计 NPN 大功率管时要特别注意的一些问题。

1. 晶体管的大电流特性和发射区图形的设计

晶体管在大电流工作时会出现两个问题：①大注入效应，即当晶体管的工作电流 I_C 大到某一值后，随着 I_C 的继续增大，其电流增益 β 将随之下降；②发射区的电流集边效应，即当发射极电流较大时，发射区所允许的最大电流，不取决于发射区的面积，而是由它所对着的基区引线孔一侧的发射区周长来决定，此周长称为有效发射区周长。为避免大注入效应的发生，对于模拟电路，单位有效发射区周长的电流 $\alpha_{LE}=0.04\sim0.16\text{mA}/\mu\text{m}$。为了增大有效发射区周长，发射区一般采用梳状结构。

2. 功率晶体管的二次击穿现象和镇流电阻的选取

晶体管在大电流高功耗工作时，由于发射区电流的集边效应、衬底材料的不均匀性或外延、扩散等工艺的不均匀性等原因，电流可能在结区的某些地方集中，造成这些区域过热（称为热斑），一旦出现热斑，过高的温度又促使该区的电流进一步增加，如此反复循环，造成了该处的热击穿或电热击穿。

考虑到晶体管的二次击穿，为保证晶体管安全工作，在设计电路时，应使晶体管始终工作在安全工作区内。晶体管的安全工作区是在 I_C-V_{CE} 特性曲线中由最大等功率耗散线、二次击穿临界曲线、电流极限线 $I_C=I_{CM}$ 和电压极限线 $V_{CE}=BV_{CEO}$ 等围成的区域，如图 15.8 中斜线所示。

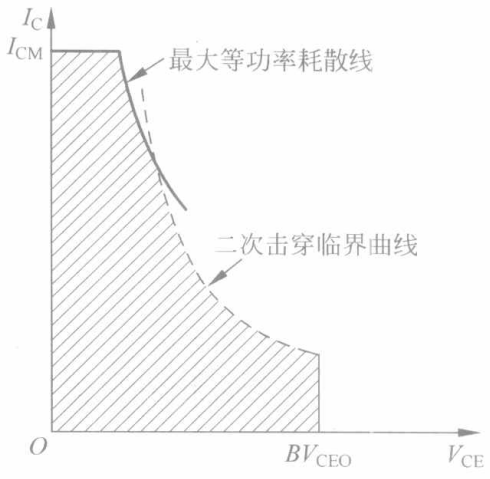


图 15.8　晶体管的安全工作区示意图

为了防止晶体管发生二次击穿，通常是在晶体管的发射极串联一个小电阻（称为镇流电阻），利用镇流电阻的负反馈作用来降低电流局部集中的程度。图 15.9(a)是一个在每个发射极梳条上有串联电阻的多发射极晶体管的复合版图，它可以等效地看成是几个单发射极晶体管并联而成，且在每个小晶体管的发射极上串联了一个小电阻，如图 15.10(b)所示。当某一根发射极梳条的电流增大时，由于镇流电阻的负反馈作用，该发射极梳条的电流就受到抑制，因而改善了各发射极梳条间电流的均匀性，提高了晶体管的二次击穿耐压值。图 15.9(a)所示的图形结构简单，镇流电阻所占的面积也小，但这种结构不能均衡每个发射极梳条内某局部区域内电流的不均匀性。为了克服这一弱点，可以用另一种镇流电阻结构（称为分布型镇流电阻），如图 15.10 所示。在这个版图中，发射区周界与发射区引线孔之间留有较宽的间距（远大于套刻间距），利用这一间隔中的分布电阻作镇流电阻。由于大电流时的发射区电流集边效应，电流将大部分集中在发射区的边界上，因而从发射极流入的电流必定要经过这一分布电阻后才能注入基区。由于这个电阻分布在整个发射区边界与发射区引线孔之间，因此发射区内部任意处发生电流集中现象时，该处附近的电阻将阻止那里的电流增加，从而使发射极梳条内部电流分布的均匀性得到很大的改善，因此可有效地防止二次击穿的发生。W7800 集成稳压器中的调整管

采用的就是这种结构。这种版图设计的缺点是占用的面积较大。

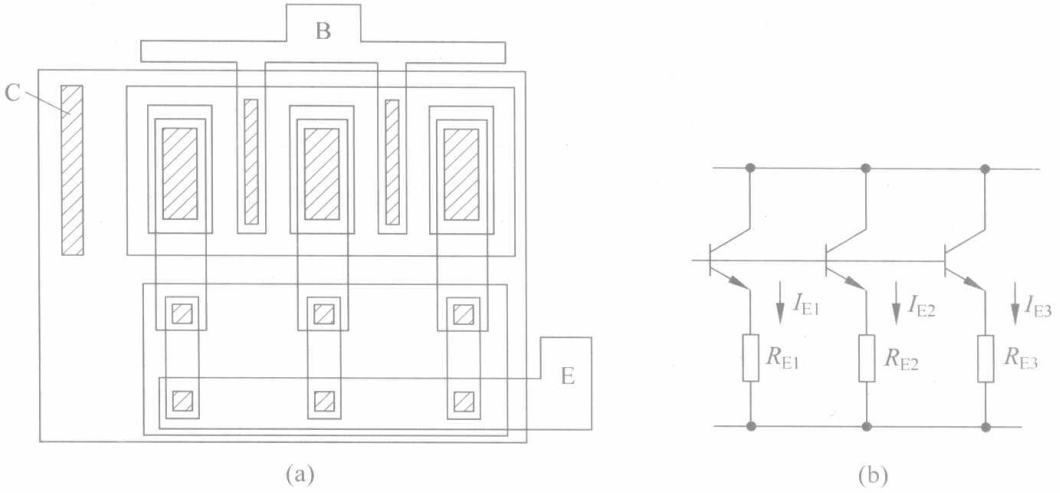


图 15.9　大功率管的镇流电阻示意图

(a) 版图；(b) 等效电路

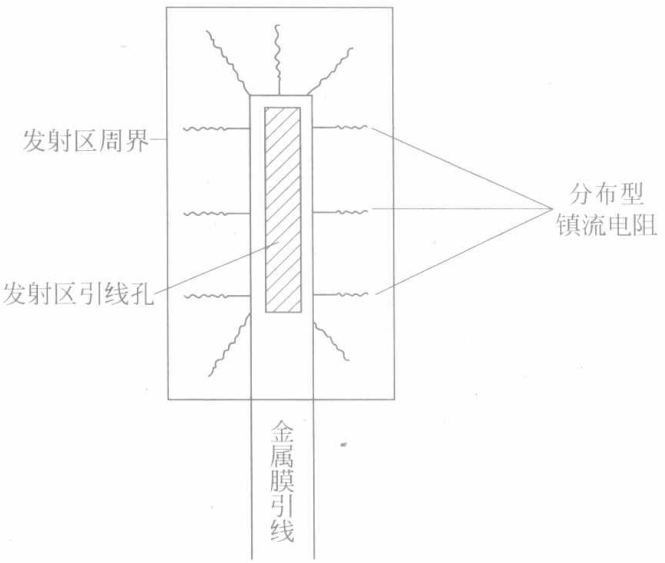


图 15.10　分布型镇流电阻示意图

镇流电阻有防止发生二次击穿的作用，但因有很大的电流流过它，会消耗很大的功率，所以镇流电阻的阻值不能取得过大。在集成电路中，为了满足工艺上的相容性，镇流电阻都采用阻值小的发射区扩散电阻，或者就是发射区本身的一部分(如分布型镇流电阻)。

3. 功率晶体管的饱和压降 V_{CES} 和集电极串联电阻 r_{CS}

为了减小调整管的功耗，提高稳压器的效率，降低 V_{CES}，减小 r_{CS} 是十分重要的，这是因为

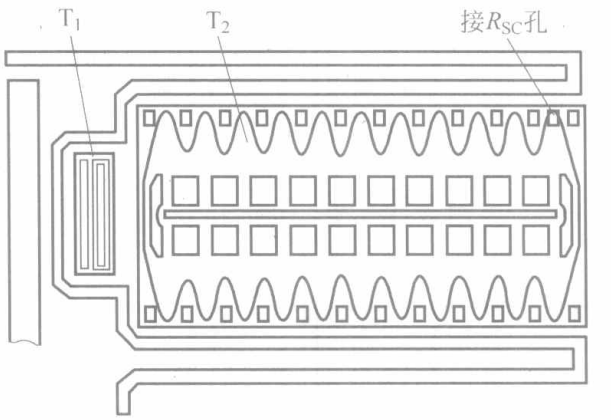
$$V_{CES} = (V_{CB} + V_{BE}) + I_C r_{CS}$$

而且 $I_C r_{CS}$ 在 V_{CES} 中占很大的比重。在模拟电路中，由于外延层电阻率 ρ_{epi} 较高，且集电极从表面引出，因而集电极串联电阻 r_{CS} 往往较大。为了降低 r_{CS}，可用磷深扩散的方法，使 C 极直接与埋层接通。这时在版图设计时应注意如下问题：由于磷深扩散的结深很深，所以侧向扩散很严重，因而在集电极引线孔与基区之间必须留有足够的间距，以防止集电区的 N^+ 扩散区与基区间距太近，造成 BC 结耐压下降。

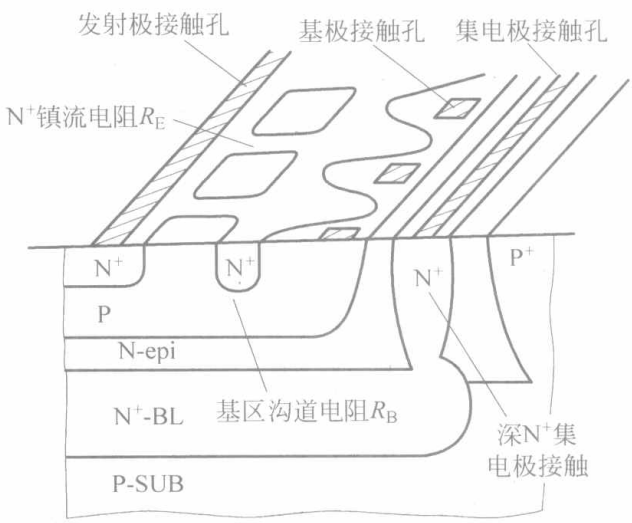
由于在大电流时基区电阻 $r_B \approx r_{B2}$（外基区电阻），为了降低基区电阻和饱和压降 V_{CES}，在设计版图时应尽量缩短基区引线孔与发射区之间的距离。

4. 实际集成稳压器的调整管版图举例

图 15.11(a)是调整管（达林顿管）的平面图，(b)是输出管（T_2）的结构示意图。这个调整管能承受的最大功耗达 35W，最大输出电流为 2A，版图中一种类似网格结构的图形是输出管 T_2，它由两个相同的图形并联而成（见图 15.11(a)），每个图形中有一列基极引线孔，基



(a)



(b)

图 15.11　调整管的平面图和输出管的结构图

(a) 达林顿管的平面图举例；(b) 输出管的结构示意图

极电流由此流入，发射区的有效周长环绕在这些引线孔的周围，发射区中又嵌有许多分散的基区，它们通过发射区下面的基区沟道电阻互相连在一起，这些孤立的基区间狭窄的发射区就是发射极的镇流电阻。由于发射区的电流集边效应，发射区注入主要集中在与基极接触相邻的发射区周边上，而在发射区中方形 P 区的四周内注入极少。也就是说，从发射极流入的电流必须先流经这些镇流电阻，然后在基极引线孔周围的发射区边界处注入基区内。这样，发射极总电流就被分为许多股小电流。每一股小电流都有它自己的镇流电阻，因此发射区局部区域电流的不均匀效果大为改善。实验证明，即使有 3A 电流流过，也未见到发射区有电流局部集中的现象发生。为了减小 r_{CS}，此设计采用了集电极磷深扩散工艺和“U”形集电极结构。

15.5.2 集成稳压器版图设计的热对称考虑

集成稳压器版图设计时一方面要分析电路中哪些元件必须保持严格的热匹配，另一方面需要分析功率管热效应所产生的温度分布情况（即芯片上等温线的图形），由此可决定功率管、热匹配元件等的合理布局，以及其他元件的安排。

在集成稳压器中，功率管是芯片上的主要热源，此热源周围的温度分布情况与热源的形状、芯片的边界条件以及芯片的热导率等有关。要对芯片温度分布情况严格求解是十分困难的，但在近似考虑的情况下，若只需了解芯片上等温线的大致分布，则可由功率管图形的对称性及芯片形状对它的影响来分析估计。若功率器件为圆形，则它的等温线（图中虚线所示）为同心圆，如图 15.12(a)所示；若功率器件只在一端且为矩形，则其等温线形状如图 15.12(b)所示；若功率器件为矩形且分布在芯片两侧，则其等温线形状如图 15.12(c)所示，近似为一组平行的直线，只是在两端有些弯曲。

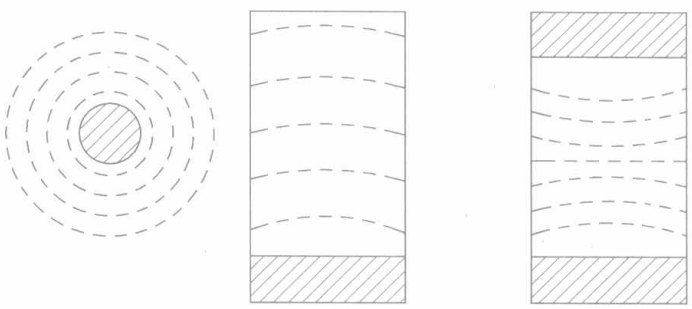
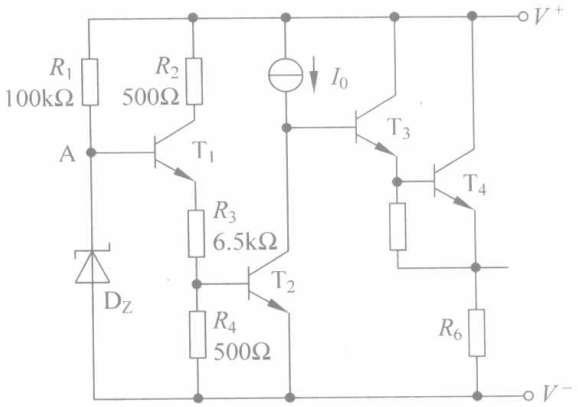


图 15.12 功率管的平面图形及不同分布时的等温线形状

了解了芯片上的温度分布及所需的严格匹配的元件后，就可以按热对称的要求来安排元件的位置。例如，调整管应放在芯片中心轴处；成对的元件（如差分对管）应对称地置于热对称轴两边，以尽量降低芯片上温度梯度对其影响；热检测晶体管（如 W7800 电路中 T_{14}）应放在功率管的近旁，以提高测量功率管结温的精度和响应速度（即提高过热保护的灵敏度）。

复习思考题

15.1　图题 15.1 为某电路的过热保护电路，T_2 为过热保护管，T_3，T_4 为被保护管，试以芯片为 175℃时，保护电路的状态来说明该电路的过热保护作用。已知室温 25℃下 $V_Z=6.3\text{V}$，$V_{BEF}=0.7\text{V}$，$V_{BE,th}=0.65\text{V}$，$\partial V_Z/\partial T=2\text{mV/℃}$，$\partial V_{BE}/\partial T=-1.7\text{mV/℃}$。



图题 15.1

15.2　试计算 W7800 集成稳压器中基准电压 V_{REF} 的表达式。

第16章 D/A,A/D变换器

人们经常遇到的要处理的信号有两类：数字信号和模拟信号。模拟信号是在连续变化的情况下处理的；而数字信号的处理是通常量化为二进制形式0和1进行的。在许多情况下需要将这两种基本信号处理连接起来，并将信号的形式从数字转换成模拟，或者反过来。这可以用数字至模拟(D/A)和模拟至数字(A/D)变换电路来实现。

自然界的各种变量(例如电流、电压、距离、时间、力、温度等)基本上都是以模拟形式出现的。但是就信号的传输和计算来讲，人们通常以数字形式进行处理。从这个意义上讲，A/D和D/A变换器，可以分别看成是编码和译码器件。A/D变换器施加的是模拟输入，得到的输出将是一组位数预定的数字代码；D/A变换器的输入是一组位数预定的数字代码，输出的则是某种与输入代码唯一对应的模拟电压电平。

数据变换器电路的性能指标与电路中元件的匹配以及热跟踪有很大的关系，在这方面，集成电路大大优于分立器件。本章介绍D/A,A/D变换器的基本原理。

16.1 D/A变换器的基本原理

D/A变换器(数字至模拟变换器)可以认为是一个译码器件。它接收的是数字编码信号，而以电流或电压形式提供模拟信号输出。它在计算机系统的数字信号和模拟领域的连续信号间提供了一个接口。

图16.1(a)为基本D/A变换器功能框图。变换器的输入信号是一组由0和1组成的数字码D，输出的是模拟量A，它可以是电流或者电压。输出与输入的关系为

$$A = KV_{\mathrm{REF}}D \tag{16.1}$$

式中A为输出模拟量，K为比例因子，V_{REF}是基准电压，D是位数已知的数字代码，它可表示为

$$D = \frac{b_1}{2^1} + \frac{b_2}{2^2} + \frac{b_3}{2^3} + \cdots + \frac{b_N}{2^N} \tag{16.2}$$

式中N是位的总数，$b_1, b_2, \cdots, b_N$是各位的系数，它们量化为0或1。因此，一个N位的D/A变换器的传递函数可写为

$$A = KV_{\mathrm{REF}}(b_1 2^{-1} + b_2 2^{-2} + b_3 2^{-3} + \cdots + b_N 2^{-N}) \tag{16.3}$$

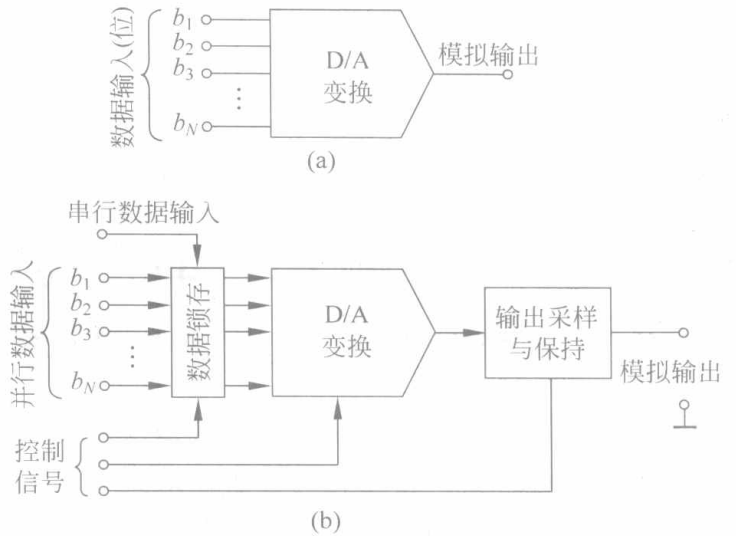


图 16.1　基本 D/A 变换器的功能框图

(a) 基本 D/A 变换器；(b) 具有接口电路系统的与计算机兼容的 D/A 变换器

在许多实际应用中，特别是那些要求与数据总线或计算机直接相连时，还需要在基本的 D/A 系统的基础上增加某些附加电路，如数据锁存器和输出采样保持电路，如图 16.1(b)所示。输入数据锁存器的功能是将输入的数据储存起来，防止在完成变换之前改变。与此类似，输出采样保持电路是使输出电平在上一次变换完成后保持不变，直到下一次变换的新数字数据送入 D/A 变换器。

在多数情况下，图 16.1(a)的基本 D/A 变换器由图 16.2 所示的四部分组成：一个产生基准电压 V_{REF} 的基准电压源，一个设置二进位系数的位开关(b_1 至 b_N)，一个电阻性电流定标电路(梯形电阻网络)以及输出电流求和放大器 A，放大器 A 主要将电流输出变成电压输出。在某些情况下，当电流输出已经足够，而无需电压输出时，则可省去电流求和放大器。

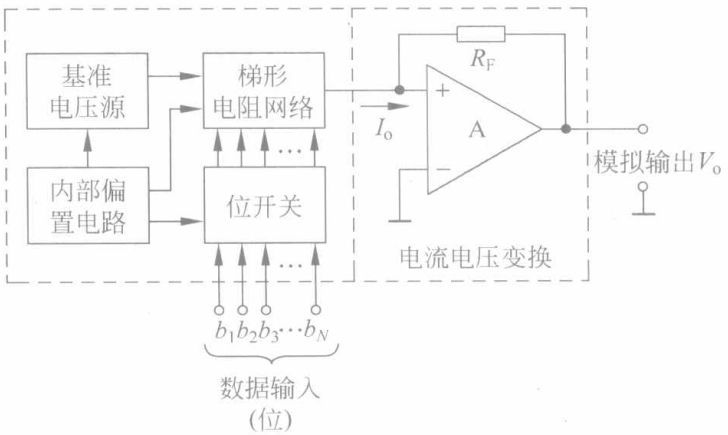


图 16.2　D/A 变换器内部方框图

电压基准电路根据系统的精度、稳定性和分辨率的要求，既可集成在单片 D/A 变换器电路内部，也可以外接。从式(16.3)可见，模拟输出是基准电压和数字代码(数据字)的乘

积，因此，输出模拟电压将受基准电压的调制。D/A 变换电路设计成工作于可变基准电压的情况下时，称做相乘 D/A 变换器，通常所有工作于外接基准电压的 D/A 变换器均属于这一类。

假定变换器是电压输出，则一个 N 位的 D/A 变换器的输出可写成

$$V_o = V_{FS}(b_1 2^{-1} + b_2 2^{-2} + b_3 2^{-3} + \cdots + b_N 2^{-N}) \tag{16.4}$$

式中 V_{FS} 为满量程输出电压，它等于式(16.3)中的 KV_{REF}。由式(16.4)可见，输出电压 V_o 是输入二进制数字信号的函数，它有 2^N 个离散的电压值，其值由零至最大值，最大值 $V_{o,max}$ 为

$$V_{o,max} = V_{FS}\frac{2^N - 1}{2^N} \tag{16.5}$$

它的最小变化间距为

$$\Delta V_o = \frac{V_{FS}}{2^N} \tag{16.6}$$

图 16.3 给出了一个 3 位 D/A 变换器的变换特性。在实际电路中的工作情况是这样的，图 16.2 所示方框图中的数字输入信号将变换器内二进制位开关激活，使之依次置定位系数 b_1 至 b_N 的数值。位系数 b_1 称为最高位(MSB)，因为它具有最高的数值权。1MSB 的变化产生的模拟输出电平位移等于 $V_{FS}/2$。

位系数 b_N 与 N 位输入代码的最后一位相对应，称为最低位(LSB)，它的数值权重最小，每 LSB 变化产生的模拟输出电平位移等于最小模拟间隔的大小，为 $V_{FS}/2^N$。所以，在式(16.4)所描述的二进制加权 D/A 转换器电路中，当所有二进制位系数都为零时，输出为零；而当所有位的系数都等于 1 时，则比满刻度输出小 1LSB。

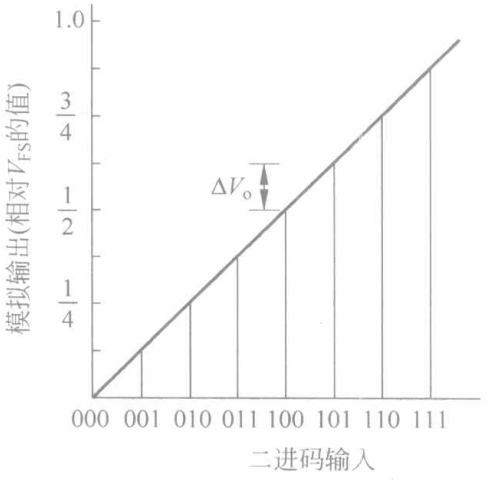


图 16.3　3 位 D/A 变换器的变换特性

在 D/A 变换过程中，数字输入既可以按并行形式加入，也可以是以串行形式加入(如图 16.1(b)所示)，串行加入是从最高位开始往下每隔一段时间加一位。因为并行输入的变换速度高，所以几乎所有情况下都以采用并行输入为好。

16.2　D/A 变换器的基本类型

适合于单片集成电路的基本 D/A 变换电路，根据其工作原理，可分为三类：①电流定标电路；②电压定标电路；③电荷定标电路。第一类电流定标电路是双极型 D/A 变换器设计中最常用的，电压和电荷定标 D/A 变换器电路特别适用于 MOS 电路。

16.2.1 电流定标 D/A 变换器

以电流定标原理工作的 D/A 变换器，其变换过程是，在内部产生一组二进制加权电流，然后将它们有选择地取和，从而给出模拟输出。图 16.4 给出了一种能产生一组二进制加权电流 $I_1, I_2, \cdots, I_N$，并能将它们相加的基本电路。权电流是把二进制加权电阻网络接在基准电压 V_{REF} 的两端产生的。开关 $S_1, S_2, \cdots, S_N$ 的位置是式(16.4)中位系数 $b_1, b_2, \cdots, b_N$ 值的模拟。位系数是 0 还是 1，由开关置于位置 1 或 2 决定。输出电流在运算放大器 A 的反相输入端处(虚地点)相加，得到的输出电压 V_o 为

$$V_o = -I_o R_o = -\frac{V_{REF}}{R} R_o (b_1 + b_2 2^{-1} + b_3 2^{-2} + \cdots + b_N 2^{-N+1})$$

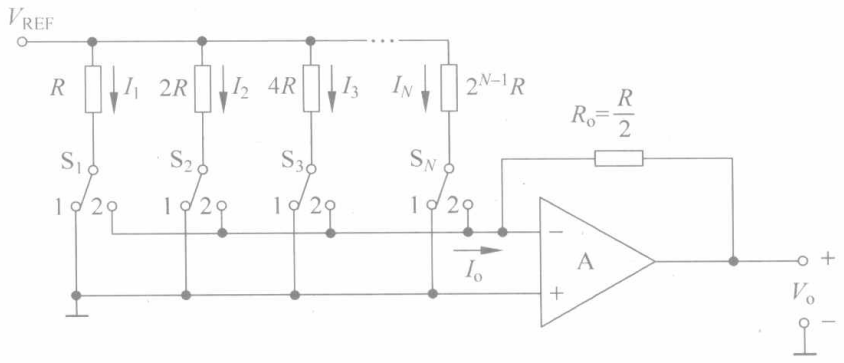


图 16.4　采用二进制加权电阻梯形网络的电流定标 D/A 变换器

为方便起见，取 $R_o = R/2$，则可得

$$V_o = -V_{REF}(b_1 2^{-1} + b_2 2^{-2} + \cdots + b_N 2^{-N}) \tag{16.7}$$

此电路的电流加权功能是通过在加权网络中采用 N 个分别具有 $R, 2R, \cdots, 2^{N-1}R$ 阻抗值的并联的独立支路实现的。在这类电阻网络中，电阻的分布范围随二进制位数的增加而迅速地增大，故最高位(MSB)支路的电阻与最低位(LSB)支路的电阻有如下关系：

$$\frac{R_{MSB}}{R_{LSB}} = \frac{1}{2^{N-1}}$$

所以，对于 8 位分辨率的 D/A 变换器来说，其加权电阻网络需要一组阻值范围从 R 至 $128R$ 的精密电阻。在集成电路工艺中，这样宽的电阻值范围，不凭借昂贵的微调工艺想求得充分的精度是很困难的。

图 16.5 给出采用 R-$2R$ 梯形网络的电流定标 D/A 变换器，它能消除二进制加权电阻网络电阻阻值范围分布过大的缺点。在这类网络中，二进制电流 $I_1, I_2, \cdots, I_N$ 的划分，是通过在各并联($2R$)支路和串联(R)支路间逐次分配得到的。由图 16.5 不难看出，自右至左，每个节点向右看去的电阻都等于两个 $2R$ 电阻并联之值。因而每向左移动一个节点，随着电阻增大一倍，电压也增大一倍；每个节点下面的 $2R$ 电阻支路的电流，则随着电压增大一倍，其值也递增一倍。因此各支路电流之间的关系可表示如下：

$$I_1 = 2I_2 = 4I_3 = \cdots = 2^{N-1} I_N \tag{16.8}$$

由图 16.5 可见，R-$2R$ 梯形网络由若干个 R 和 $2R$ 的电阻连接成梳状(所需电阻的个数是二进制加权电阻网络的二倍)，而且一定要在终端配上一个 $2R$ 的端接电阻。这种网络的最大优点是可以和等值电流源连接以完成 D/A 变换。

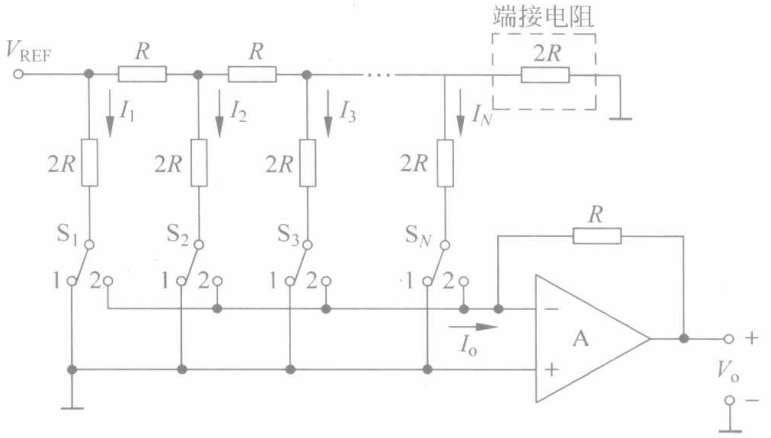


图 16.5　采用 R-$2R$ 梯形网络的电流定标 D/A 转换器

16.2.2　电压定标 D/A 变换器

电压定标 D/A 变换器是将一个电阻链连接在基准电压和地之间，选择电阻链的抽头来获得模拟输出电压。一个 N 位变换器电路的电阻链是由 2^N 个阻值相同的电阻串联连接而成。输出电压的选择由二进制开关完成，因此，这种类型的变换器也称做电位器型 D/A 变换器。

图 16.6 所示的是一个根据电压定标原理工作的 3 位 D/A 变换器的示意图。它的电阻链由 8 个相同的电阻构成，接于基准电压 V_{REF} 和地之间。每个电阻两端的电压等于输出电压变化的 1LSB(最低位)或 $V_{FS}/2^N$。输出电压由译码开关矩阵产生，然后通过一个高阻抗缓冲放大器(或电压跟随器)输出。为了确保 D/A 变换器的精度，缓冲放大器所吸收的直流偏置电流和电阻链上的电流相比，应可以忽略不计。

开关矩阵将输入逻辑信号译码成模拟电压的工作原理如下：在图 16.6 中标有字母 A，B，C 的模拟开关，由对应于输入位 b_1，b_2，b_3 的逻辑信号所驱动，其中 b_1 对应于 MSB，b_3 对应于 LSB。标有字母 $\overline{A}$，$\overline{B}$，$\overline{C}$ 的模拟开关，由输入逻辑信号的互补电平所驱动。假设对应的逻辑电平为 1 时开关闭合，则输入代码 000 对应的输出将是开关 A，B 和 C 都打开，$\overline{A}$，$\overline{B}$ 和 $\overline{C}$ 都闭合的情况，其结果是输出电压为 0V。与此类似，如果输入代码为 100，则模拟开关 A，$\overline{B}$ 和 $\overline{C}$ 闭合，结果输出电压为 $V_{REF}/2$，正好等于 1MSB。

图 16.6 所示的电位器型 D/A 变换器特别适合于 MOS 工艺，因为在 MOS 工艺中模拟开关很好做，而且 MOS 缓冲放大器的直流偏置电流很小。电压定标 D/A 变换器作为 MOS A/D 变换器系统中的一个部件得到广泛的应用，此时，它作为逐次逼近式 A/D 变换器中的 D/A 变换子电路。

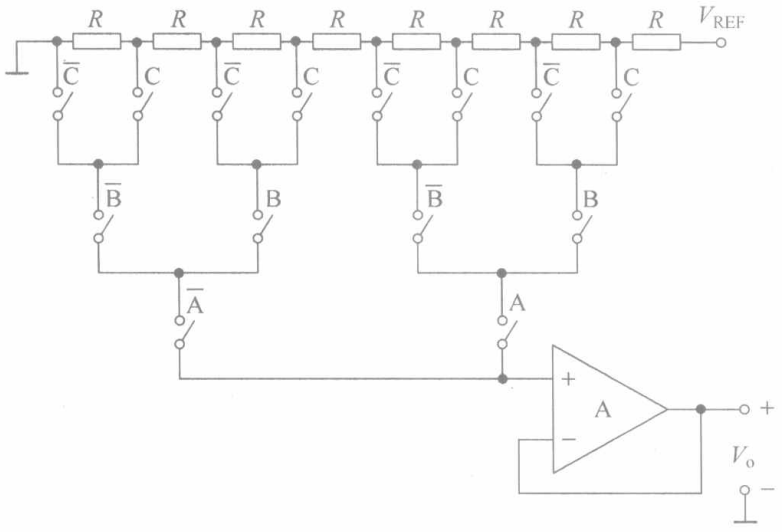


图 16.6　采用电压定标原理的 3 位 D/A 变换器示意图

电压定标 D/A 变换器电路的一个重要缺点是位数较多的 D/A 变换器所需的元件太多。对于一个 N 位的 D/A 变换器，需要 2^N 个电阻和差不多 2^{N+1} 个模拟开关以及 2^N 条逻辑驱动线。据报道已有几种扩展技术能减少这种复杂性。

16.2.3　电荷定标 D/A 变换器

电荷定标 D/A 变换器是利用将加到电容矩阵上的总电荷进行定标的方法产生模拟电压，其基本原理可通过图 16.7 所示的简单电路来说明。图中电容 C_A 接地，C_B 则周期性地在地和内部基准电压之间转换。假定开始时 S_0 和 S_1 都接地（这种情况称为“复位”模式），此时 C_A 和 C_B 都放电，输出电压 $V_x=0$。然后打开 S_0，将 S_1 接至基准电压 V_{REF}（这种情况称为“采样”模式）。如果在采样期间对输出电压进行测量，可得 V_x 为

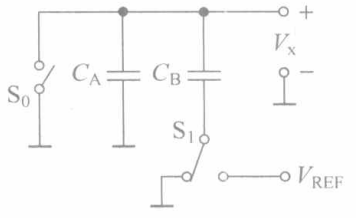


图 16.7　电荷定标原理说明

$$V_x = V_{REF}\frac{C_B}{C_A + C_B} \tag{16.9}$$

上式说明，采样电压正比于和基准电压 V_{REF} 相连的电容器的电容量，反比于总的电容量。

下面用具有多个电容的电容矩阵来说明对输入数码采样的过程。图 16.8 为电荷定标 D/A 变换器的简化图。在复位模式，包括 S_0 在内的所有开关都接地。此时所有的电容都放电，输出电压 $V_o=0$V。在采样模式，S_0 打开，S_1 到 S_N 受 N 位输入数码电平的控制，每个开关对应 N 位输入数字信号的一位。如果某一位数字信号的逻辑电平为 1，则将所对应的开关和 V_{REF} 接通；若为 0，则对应的开关保持接地。根据图 16.8 电路工作原理的分析结果，可得出在采样模式，图 16.8 电路的输出电压可表示为

$$V_o = V_{REF}\frac{C_{eq}}{C_{tol}} \tag{16.10}$$

式中：C_{eq}是连接到V_{REF}的各电容容量之和；C_{tol}为电容矩阵的总电容量。

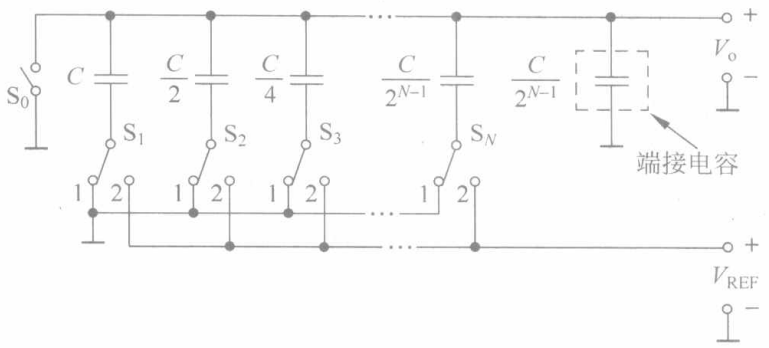


图 16.8　电荷定标 D/A 变换器简化图

C_{eq}取决于各个位系数 $b_1, b_2, \cdots, b_N$，即由它们来确定图 16.8 中开关矩阵各开关的位置。因此 C_{eq}可表示为

$$C_{eq} = b_1 C + \frac{b_2 C}{2} + \frac{b_3 C}{2^2} + \cdots + \frac{b_N C}{2^{N-1}} \tag{16.11}$$

式中 C 是二进制加权矩阵中的最大电容，它对应于输入数据的最高位。矩阵中的总电容量 C_{tol}为

$$C_{tol} = C + \frac{C}{2} + \frac{C}{2^2} + \cdots + \frac{C}{2^{N-1}} + \frac{C}{2^{N-1}} = 2C \tag{16.12}$$

由式(16.10)、式(16.11)、式(16.12)可得到采样模式的输出电压为

$$V_o = V_{REF}(b_1 2^{-1} + b_2 2^{-2} + \cdots + b_N 2^{-N}) \tag{16.13}$$

这就是所需要的与 N 位二进制输入代码相应的模拟输出电压。

电荷定标 D/A 变换器要求具有高精度电容比的电容矩阵和具有高阻抗采样与保持电路的理想模拟开关，因而特别适合于 MOS 集成电路。如第 3 章所述，MOS 电容的比值可以制作得十分精确而且稳定，特别是 MOS 电容底片的寄生电容，可以通过将底片接至开关 S_1 至 S_N 而将其作用消除。这样，底片寄生电容就在低阻抗的基准电压和地之间倒换。

这个电路的唯一缺点是对于位数较多的变换器，需要大的电容比，其 MSB 与 LSB 之间的电容比为

$$\frac{C_{MSB}}{C_{LSB}} = 2^{N-1} \tag{16.14}$$

因此，对于一个 8 位变换器，所需的电容比值为 128。假如最低位的电容 C_{LSB}值为 1pF(考虑到寄生电容的影响，不能再小)，则需要的 C_{MSB}电容值为 128pF，而总电容量为 256pF。基于这一实际考虑，采用电荷定标原理并具有简单二进制梯形电容网络的变换器，通常限于 8 位。

电荷定标 D/A 变换器还作为以所谓电荷重新分配原理工作的 A/D 变换器中的一个部件得到应用。

16.3 A/D 变换器的变换原理

A/D 变换器的功能是将任意的模拟量，如电压或电流等，按规定的位数变换成数字代码。所以模数(A/D)变换器可以看做一个编码器件。A/D 变换器是前面讨论过的 D/A 变换器的逻辑对偶器件，执行的是相反的功能。A/D 变换器的输出可以是串行的，也可以是并行的。在串行输出时，数字数据的传输从最高位(MSB)开始，一次传送一位，逐位传送。在并行输出时，数据作为一个二进制代码，同时出现在 N 个并联的端子上，每一个端子对应于输出数字代码的一位。在绝大多数情况下，总是采用并行输出方式，因为它比串行方式处理数据的速度和效率都要高。

16.3.1 A/D 变换器的方框图

图 16.9(a)为简单的 A/D 变换器的方框图。在许多数据变换的实际应用中，为了增强电路功能，A/D 变换器都是和附加的后援电路或接口电路联合使用，如图 16.9(b)所示。输入端所接的输入多路选择器，可以使多个相互独立的模拟通道，共用一个变换器。为了避免在变换期间输入信号发生变化造成变换输出电压的不确定，通常在 A/D 变换器的输入端串接一个采样保持或跟踪保持电路。输出选通器的作用有两个：其一，用做输出缓冲，当变换正在进行时，将前一步的变换结果储存起来；其二，可把 A/D 变换器与计算机数据总线连接起来。一个完整的 A/D 变换器系统还必须包含一些逻辑控制电路，当它接收到变换周期结束的信息时，就发出信号去驱动输出选通器、采样保持电路以及输入多路选择器。

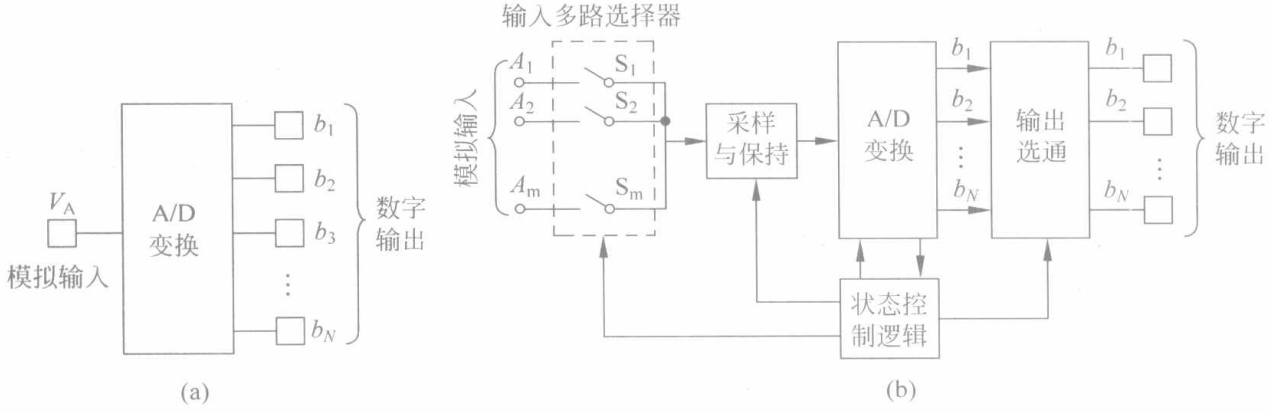


图 16.9 简单的 A/D 变换器方框图

目前已开发出许多种适用于各种应用领域的 A/D 变换器，究竟选用哪一种，和使用场合及用途有很大的关系。在某些情况下，变换的精度和稳定度是主要参数；而在另一些情况下，则要求高的变换速度。这些要求往往是矛盾的。一般说来，精度往往是以牺牲变换速度为代价的。

单片集成 A/D 变换器主要有以下几类：

(1) 在变换周期中对定时电容器充电或放电的积分型 A/D 变换器。

(2) 在反馈回路中采用二进制计数器和 D/A 变换器的数字-斜坡或伺服型 A/D 变换器。

(3) 利用逐次试探误差产生数字输出的逐次逼近式 A/D 变换器。

(4) 在一个单一的步骤内，完成所有各位变换的并行比较器型或“一次完成”A/D 变换器。

无论哪一种 A/D 变换器都有一个设定的满量程电压 V_{FS}，被变换的电压 V_A 应小于 V_{FS}。所以当变换后的数字位数为 N 时，变换器输出的数字代码由下式给出：

$$D = \frac{V_A}{V_{FS}} = \frac{b_1}{2} + \frac{b_2}{2^2} + \cdots + \frac{b_N}{2^N} \tag{16.15}$$

16.3.2 主要变换误差

由于模拟信号是连续变化的，数字信号是离散的，因而二者之间不可能完全对应，而会存在一定的误差，这种误差习惯上称为量化误差。另外，由于完成一次变换需要一定的时间，等到变换完成时，模拟信号的值已经不是刚开始时的值了，因此会造成一定的误差，这种误差称为孔阑误差。此外，还有电路其他特性不理想造成的误差。这里主要讨论前两种误差。

1. 量化误差

图 16.10 是一个 3 位 A/D 变换器的理想变换特性。由图可见，变换特性是离散的，在模拟输入和数字输出之间没有一一对应的关系。也就是说，A/D 变换器的输出是输入连续变量的量化形式。因此，各输出代码只与模拟输入量的某个小的范围 ΔV_o 相对应。对于图 16.10 所示的 3 位 A/D 变换器，当模拟输入由零变至满量程读数 V_{FS} 时，具有 $2^3=8$ 个输出状态，其间有 $2^3-1=7$ 个状态间的跃变。各个分立输出电平之间最小的量化间隔 ΔV_o 相当于 1LSB，即有

$$\Delta V_o = 1\text{LSB} = \frac{V_{FS}}{2^3} \tag{16.16}$$

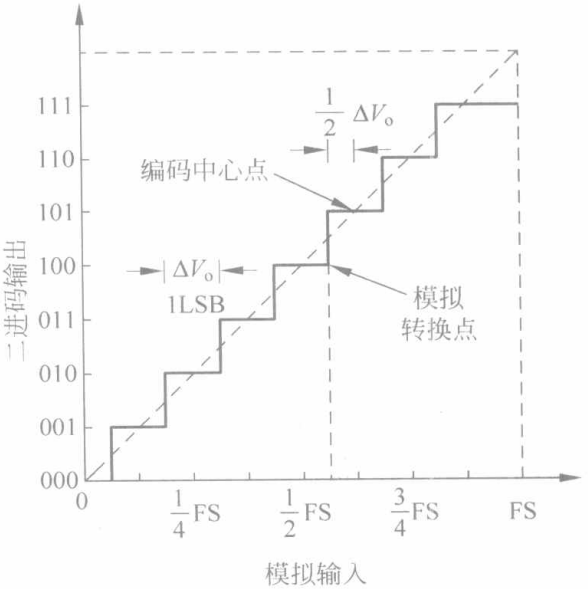


图 16.10 3 位 A/D 变换器理想变换特性

对于图 16.10 所示的理想的 A/D 变换特性，编码的中心点位于与特定代码理想对应的模拟电平上，而代码的跃变则发生在离该中心点的 $\pm\frac{1}{2}$LSB 处。

以上的分析虽然是以一个 3 位 A/D 变换器为例进行的，但所得的结果对于其他任何位数的变换器都是适用的。对于一个 N 位 A/D 变换器，当模拟输入从零变至满刻度(FS)读

数时，将有 2^N 个输出状态和 2^N-1 个状态间的跃变，各分立输出电平间最小的量化间隔 ΔV_o 为

$$\Delta V_o = 1\text{LSB} = \frac{V_{FS}}{2^N} \tag{16.17}$$

它是 N 位 A/D 变换器所能产生的最小的代码变化，其量化误差的最大值为

$$\frac{1}{2}\text{LSB} = \frac{V_{FS}}{2^{N+1}} \tag{16.18}$$

2. 孔阑误差

A/D 变换器由于开关延迟，且积分型变换器完成一次充放电需要一定的时间等因素，变换过程需要有一段有限的时间，也就是说变换器的变换速度是有限的，它是由变换器系统设计所决定的。实际 A/D 变换器的变换速度可以在很大范围内变化，从每秒小于 1 次到每秒完成 10^7 次。一般来说，所需的变换精度和分辨率越高，则系统暂态响应消失以达到指定精度所需的时间越长，因而变换速度就越低。

完成一次变换的时间称为变换器的孔阑时间 T_x。例如一个 A/D 变换器每秒钟能完成 10^4 次变换，则此变换器的孔阑时间为 $100\mu s$。如果输入模拟信号为时间的函数 $V_A(t)$，则由于孔阑时间为有限值，将会导致编码信号产生附加的不确定性，这一不确定性称为孔阑误差 ΔV_x。孔阑误差与模拟输入信号的关系为

$$\Delta V_x = \frac{dV_A}{dt}T_x \tag{16.19}$$

图 16.11 说明了由于孔阑误差导致的模拟输入信号的不确定。下面来考察一下频率为 f，幅度为 E_A 的正弦输入信号作变换时可能产生的孔阑误差。此时输入信号

$$V_A(t) = E_A \sin 2\pi ft$$

在其过零点处斜率最大，即

$$\left.\frac{dV_A(t)}{dt}\right|_{max} = 2\pi E_A f$$

所以孔阑误差 ΔV_x 为

$$\Delta V_x = \frac{dV_A}{dt}T_x = 2\pi E_A f T_x \tag{16.20}$$

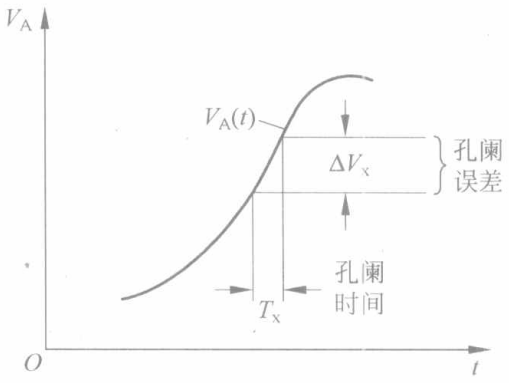


图 16.11　由于孔阑误差，造成幅度不确定

为了达到所需要的 N 位的分辨率，则最大孔阑误差 ΔV_x 不能超过满刻度摆幅的 1LSB（或 $1/2^N$）。假设正弦信号具有满刻度峰峰值摆幅（即 $V_{FS}=2E_A$），则由式(16.20)可知，N 位分辨率的最大允许孔阑时间 T_x 应为

$$T_x = \frac{\Delta V_x}{2\pi E_A f} = \frac{1}{2^N}\frac{1}{\pi f} \tag{16.21}$$

因此，对于一个 1kHz 的正弦信号进行数字化，若要求分辨率为 10 位，则允许的最大孔阑时

间为320ns。显然1kHz的频率并不算高，但目前的A/D变换器工艺水平却难以制作320ns完成一次变换的A/D变换器。为了避免输入信号在完成一次变换期间的变化超过1LSB，造成变换结果的不确定，通常在变换器的输入端用一个采样保持电路。

16.4 A/D变换器的基本类型

16.4.1 积分型A/D变换器

积分型A/D变换器是以间接方式来执行A/D变换的。模拟输入信号首先变换成持续时间与模拟电压V_A成正比的定时脉冲，然后用一个周期稳定的基准频率（即时钟脉冲信号），通过计数的方式测量定时脉冲的持续时间，即测量定时脉冲从开始至结束期间内时钟信号的数目。

下面用图16.12给出的一个简单的积分型A/D变换系统来说明其工作原理。在变换周期开始之前，计数器清零，而且开关S_1闭合。当变换一开始，开关S_1断开，电流源I_1对电容C_1充电，在其两端产生一个线性上升的斜坡电压。在此期间，计数器开始对输入时钟周期计数。当C_1两端的斜坡电压达到输入模拟电压V_A值时，比较器翻转，计数器停止计数，变换周期宣告结束。计数器最终的计数即输入模拟信号V_A的等效值。比如说，如果计得的总数N_T相当于满量程输出电压V_{FS}，那么，当斜坡电压达到V_A时，计数器中的计数n为

$$n = N_T \frac{V_A}{V_{FS}} \tag{16.22}$$

若变换后的数字为N位（即N位分辨率），则有$N_T = 2^N$。所以

$$n = 2^N \frac{V_A}{V_{FS}} \tag{16.23}$$

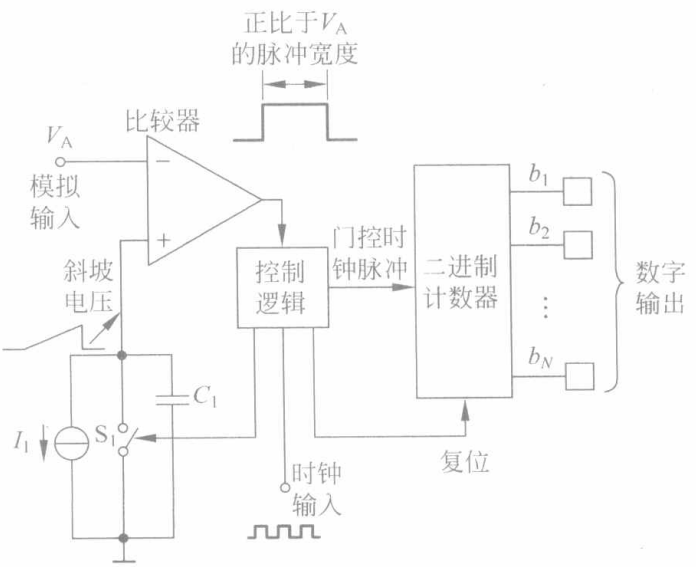
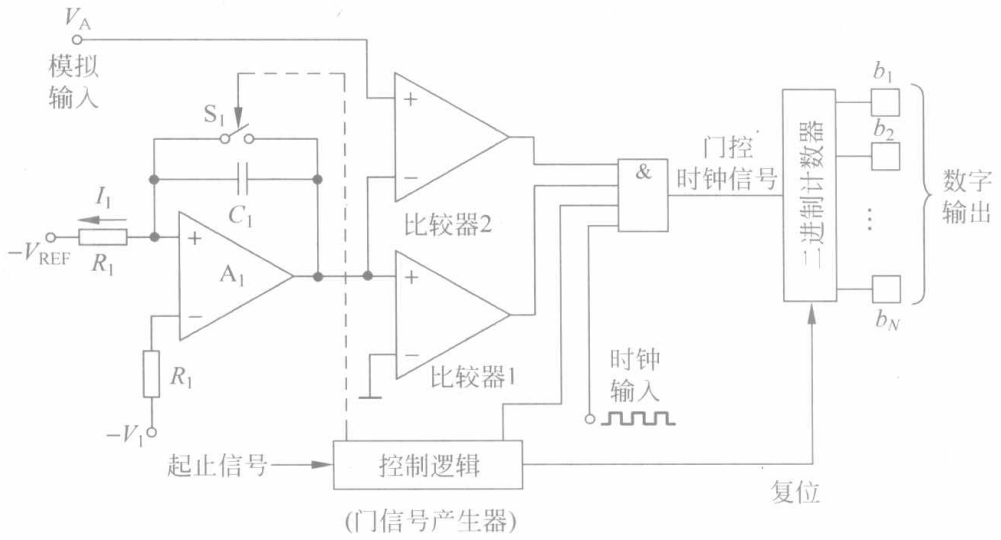


图16.12 简单的积分型D/A变换器方框图

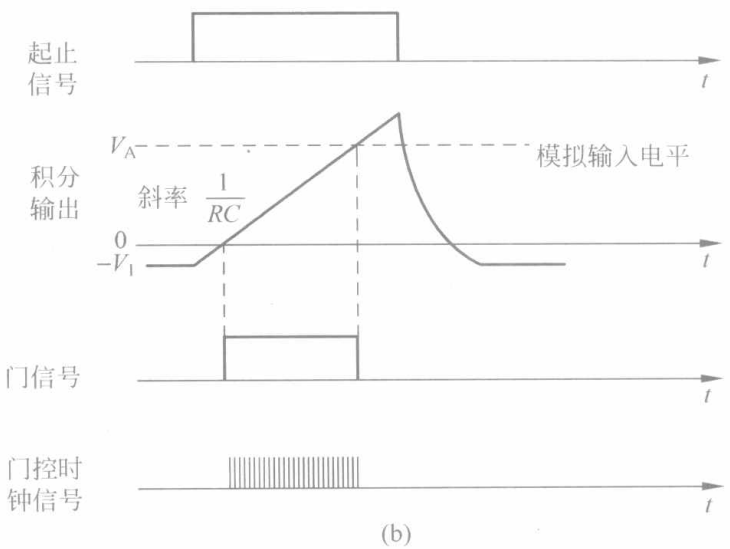
计数器中累积计数 n 的每一个量化增量为一个时钟周期。因此，每增加一个时钟周期相当于 V_A 增加 1LSB。一般累积计数是按 N 级二进制计数器的数字状态显示的。随每个时钟脉冲输入而改变状态的第一级计数器的输出，相当于 1LSB，随着第 2^{N-1} 个时钟脉冲的输入，计数器的最后一级改变状态，相应于输出 1MSB。图 16.12 所示的简单积分型 A/D 变换器由于斜坡电压的初始点及 I_1，C_1 的绝对值不精确，都将给变换结果带来误差，因而很少用于实际。然而，其中某些误差可以通过在电路上采取一些措施予以减小。采用单斜率或双斜率积分型 A/D 变换器，可以在很大程度上消除这些误差。

1. 单斜率积分型 A/D 变换器

单斜率积分型 A/D 变换器(见图 16.13)除了斜坡电压不是正好从零开始外，其他电路



(a)



(b)

图 16.13　单斜率积分型 A/D 变换器

(a) 方框图；(b) 工作波形

和图 16.12 基本上相同。图 16.13 的电路中，斜坡电压不是从零开始，而是从一个负值开始。在变换周期开始之前，跨接于运算放大器 A_1 两端的开关 S_1 是闭合的，积分器的输出钳位在比零稍低的电压 $-V_1$。变换一开始，开关 S_1 打开，积分器的输出斜坡电压以等于 $1/R_1C_1$ 的斜率正向线性上升。当此斜坡电压达到零时，比较器 1 改变状态，使时钟脉冲可以进入计数器，开始计数。到斜坡电压值等于模拟输入电压 V_A 时，比较器 2 改变状态，将门关闭，结束计数。此过程与简单的积分型 A/D 变换器一样。此时计数器内累积的计数 n，如式(16.22)所示，它就是模拟输入信号 V_A 的等效数字值。

单斜率积分型 A/D 变换器有一个根本的缺点，即变换的精度与 R_1C_1 值的稳定性和精确性有很大的关系。采用双斜率积分型 A/D 变换器电路可以避免这个缺点。

2. 双斜率积分型 A/D 变换器

图 16.14 为双斜率积分型 A/D 变换器的框图，其工作原理如下：在开始变换前，开关 S_2 闭合，积分器 A_1 的输出电压 V_x 钳位在地电位。开关 S_1 连至模拟输入电压 $-V_A$（为了说明问题方便，假定模拟输入电压为负，且在 0 至 $-V_{FS}$ 之间变化）。在变换周期开始的第一阶段，开关 S_2 打开，输入信号进行指定时间的积分，计数至 2^N 个时钟周期。在此期间输出电压的上升斜率为

$$\left(\frac{dV_x}{dt}\right)_{I} = \frac{+V_A}{R_1C_1} \tag{16.24}$$

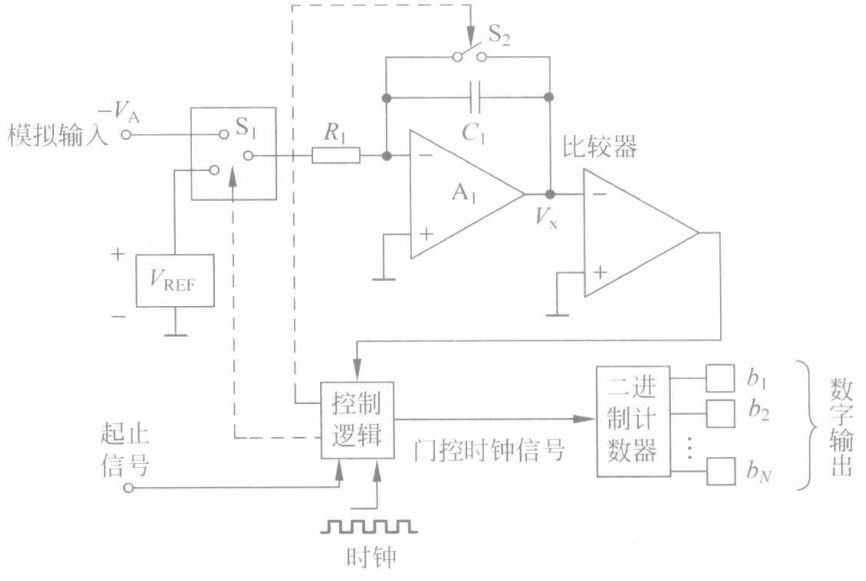


图 16.14　双斜率积分型 A/D 变换器方框图

在计数至 2^N 个时钟周期时，计数器回复为零，开关 S_1 接至 V_{REF}，积分器的输出电压线性下降，其下降斜率为

$$\left(\frac{dV_x}{dt}\right)_{II} = -\frac{V_{REF}}{R_1C_1} \tag{16.25}$$

在这一阶段，计数器对时钟脉冲进行计数，当积分器输出电压降至零时，比较器改变状态，计数器停止计数，结束变换。在此基准积分阶段内，计数器的累积计数 n 便与模拟电压的数字值等效，即有

$$n = -V_A \frac{2^N}{V_{REF}} \tag{16.26}$$

图 16.15 为不同模拟输入时，变换器两个工作阶段内积分器的输出波形。注意：在信号积分阶段（即第Ⅰ阶段），时钟脉冲数固定为 2^N 个，所以斜坡电压的上升斜率取决于模拟输入信号。而基准积分阶段（即第Ⅱ阶段），斜坡电压下降的斜率固定，时钟脉冲数是一个变数 n。因为在第Ⅱ阶段所有斜坡下降的斜率相同，所以模拟输入电压大时，积分器输出电压最大值也大，返回到零所需的时间也长，因而计数器累积计数 n 也大，并且累积计数 n 与输入电压成正比。

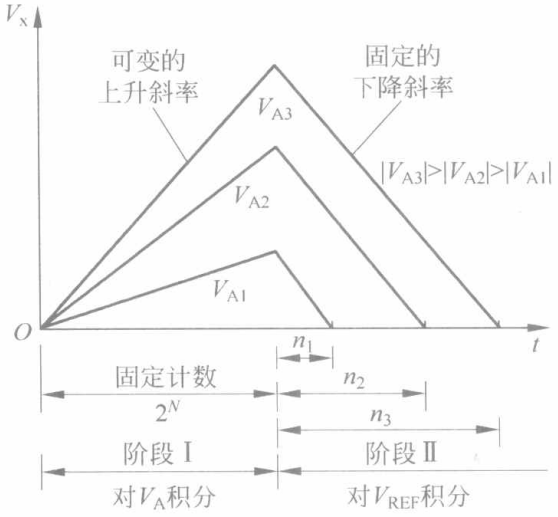


图 16.15　双斜率积分器输出波形

双斜率积分型 A/D 变换器的变换精度与积分时间常数（即 R_1C_1 乘积）及时钟频率无关，这是因为积分时间常数和时钟频率对斜坡电压的上升和下降的影响相等。因此，可在很大程度上减小由时间或温度影响而造成的长期漂移。

16.4.2　逐次逼近式 A/D 变换器

逐次逼近式 A/D 变换器是一种以相应的数字代码，按试探误差技术对模拟输入进行逼近的方式工作的反馈系统，其方框图如图 16.16 所示。这个系统由一个逐次逼近寄存器、一个 D/A 变换器和一个比较器组成一个反馈环。其工作原理简述如下：在开始变换之前，由 N 位移位寄存器和 N 位保持寄存器构成的逐次逼近寄存器均清零。变换的第一节拍是以 1 作为试探加到保持寄存器的最高位 MSB，其他各位仍保持为零。N 位保持寄存器的输出

加至 N 位 D/A 变换器的输入端。如果 D/A 变换器的输出电压 $V_o \leqslant V_A$（模拟输入信号），则比较器的输出保持不变，于是 1 就保存在 N 位保持寄存器的 MSB 中；否则，就用 0 取代 1 存于 MSB。在第二节拍，将 1 送入 N 位保持寄存器的次高位进行试探，如果比较器的输出状态不变，就将 1 保存在该位，否则也用 0 来代替 1。照此办理，从高位到低位依次逐位进行试探，直到 N 个周期完成所有位的试探。

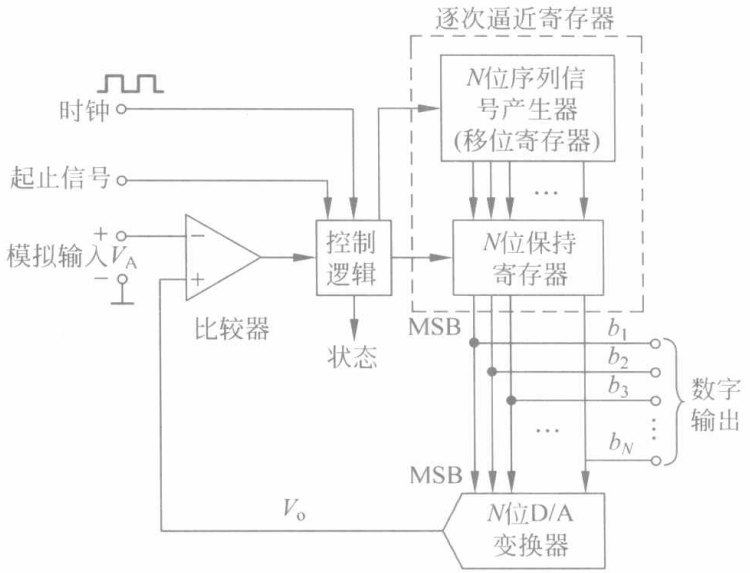


图 16.16　逐次逼近式 D/A 变换器方框图

判断试探的 1 究竟是留下还是用 0 替代 1，其判断逻辑由比较器和逐次逼近寄存器逻辑完成。试探位借助于 N 位序列发生器从 MSB 顺次移向 LSB。每次逼近的结果存留在保持寄存器中。控制逻辑对每次逼近都执行一个开始/停止功能，各次逼近动作由时钟信号同步。储存在 N 位保持寄存器中的数据形成数字输出，在由 MSB 至 LSB 各位的试探都完成后，控制逻辑发出一个状态信号，允许数字输出。

图 16.17 说明一个 3 位逐次逼近式 A/D 变换器的判断程序。虚线表示 101 输出代码的判断步骤。容易看出，当需要 N 位分辨率时，只需 N 次逼近。由于每一次逼近占用一个时钟周期，全部变换过程需要 N 个时钟周期。和前面介绍的几种积分型 A/D 变换器相比，这种方案的速度大大提高了。

逐次逼近式 A/D 变换器的速度和分辨率，主要受反馈电路中 D/A 变换器的速度、分辨率和线性的限制。此变换器设计的主要要求之一是 D/A 变换子电路的单调性，不然会造成数字输出的误码。

逐次逼近式 A/D 变换器需要在同一芯片上集成高速逻辑电路和低电平线性电路，是一个数模混合的复杂系统。

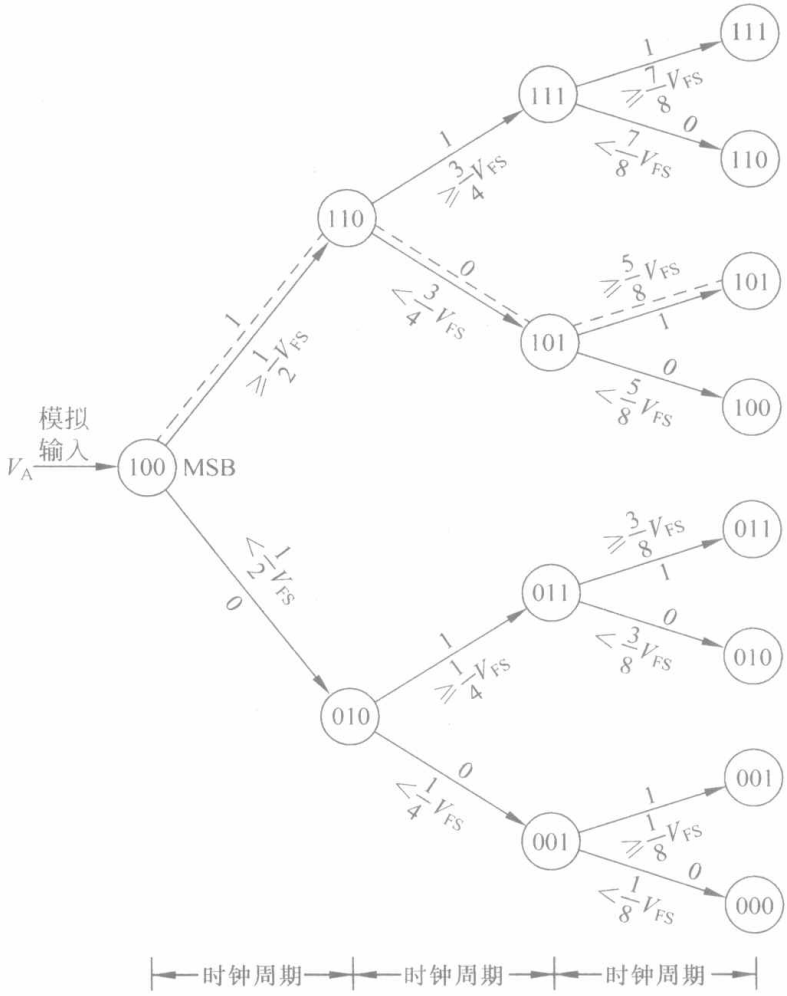


图 16.17　3 位逐次逼近式 A/D 变换器判断图

复习思考题

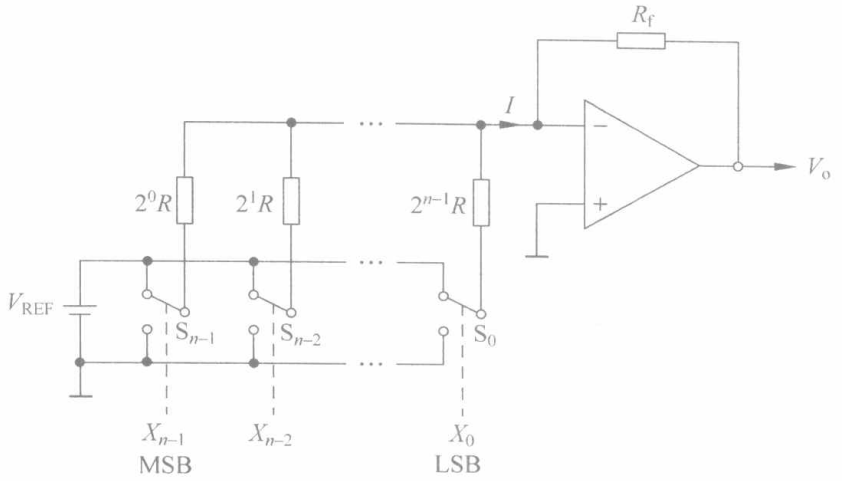
16.1　D/A 变换器的分辨率值是大些好还是小些好？在要求的满量程输出电压 V_{FS} 一定的情况下，分辨率的大小主要决定于什么？

16.2　一个 D/A 变换器有 10V 的满量程输出，且分辨率小于 40mV，问此 D/A 变换器需要多少位？

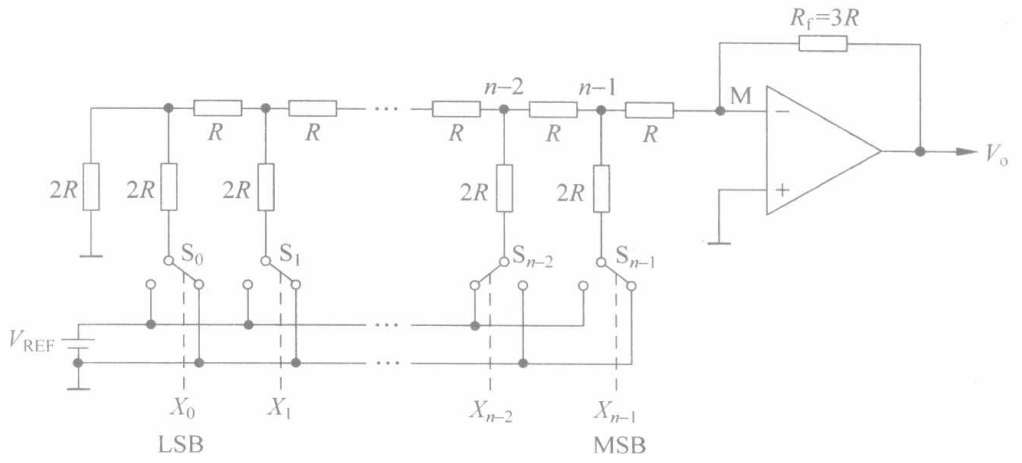
16.3　在图题 16.3 所示权电阻 D/A 变换器中，若 $V_{REF}=10V$，$N=6$，$R_f=10k\Omega$，最低位电阻 $R=320k\Omega$，求输入数字代码分别为 110101 及 101110 时，输出模拟电压 V_o 各为多少？

16.4　在图题 16.4 所示 T 型电阻 D/A 变换器中，设 $N=8$，$V_{REF}=10V$。当输入分别为 10000000 及 01111111 时，求输出电压值。

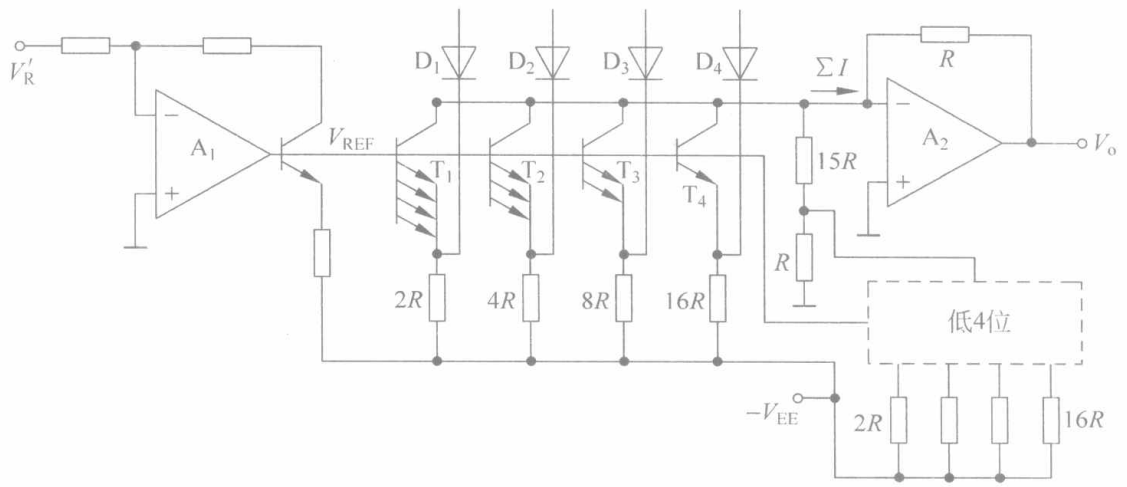
16.5　已知 8 位电流定标 D/A 变换器如图题 16.5 所示，基准电压 $V_{REF}=10V$，$V_{EE}=10V$，晶体管 $V_{BE}=0.7V$，当数字输入 D_i 为(0010)及(0110)时，求其输出模拟电压 V_o 之值。



图题 16.3

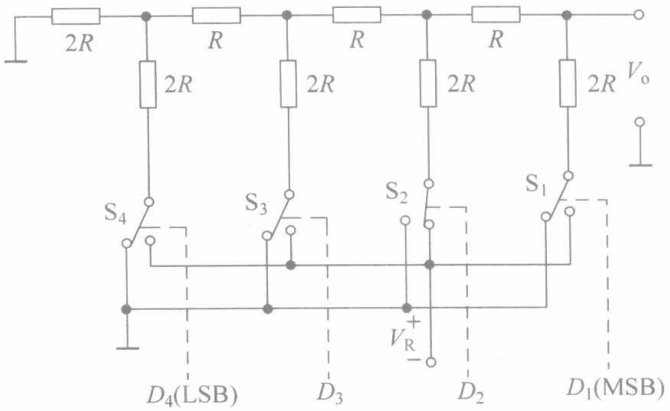


图题 16.4



图题 16.5

16.6　图题 16.6 所示 D/A 变换器中，若 $R=1\text{k}\Omega$，$V_R=-10\text{V}$，求数字输入 $D_i=0110$ 时的模拟输出电压 V_o 的值。

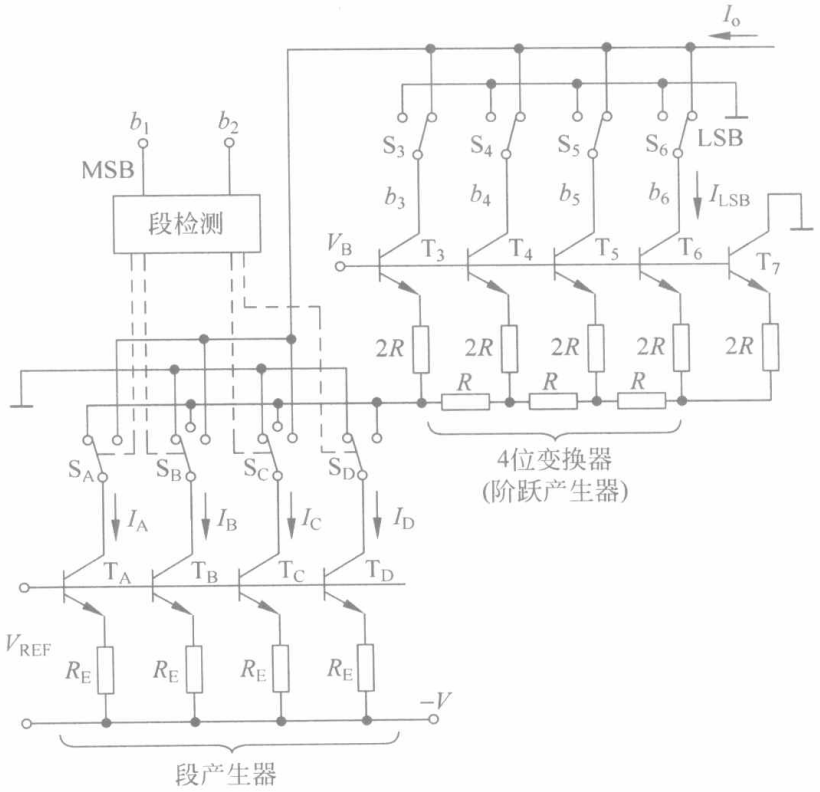


图题 16.6

16.7　一个 8 位 D/A 变换器，已知最低位数字变化一位，输出电压便变化 8mV，求满量程输出电压 V_{FS} 的值。

16.8　说明电流定标 D/A 变换器适用于双极型电路，而电压和电荷定标 D/A 变换器适用于 MOS 型电路的主要原因。

16.9　图题 16.9 是一个 6 位 D/A 变换器，段检测器实际上是一个译码器。开关 S_A，S_B，S_C，S_D 受段检测器输出的控制。简单说明电路工作原理(包括 b_1，b_2 如何控制 S_A 至 S_D 的位置)，并在输入数字信号为 010101，101010，100111 三种情况下，分别画出所有开关的位置。



图题 16.9

16.10　试比较几种常用 D/A 变换器的优缺点。

16.11　单斜率积分型 A/D 变换器的变换精度和速度与哪些因素有关?

16.12　说明双斜率积分型 A/D 变换器在提高变换稳定度、减小误差方面优于单斜率 A/D 变换器的原理。

16.13　一个 4 位逐次逼近型 A/D 变换器,若满量程电压为 5V,请画出输入电压为 2.8V 时的判决图。

16.14　试比较几种常用 A/D 变换器的优缺点,并指出它们各自在原理上有何特点。

第17章　集成电路设计概述

集成电路设计包括逻辑(或功能)设计、电路设计、版图设计和工艺设计。通常有两种设计途径：正向设计和逆向设计。

正向设计是指由电路指标、功能出发，进行逻辑设计(子系统设计)，再由逻辑图进行电路设计，最后由电路进行版图设计，同时还要进行工艺设计。其设计流程如下：

(1) 根据功能要求进行系统设计(画出框图)。

(2) 划分成子系统(功能块)进行逻辑设计。

(3) 由逻辑图或功能块功能要求进行电路设计。

(4) 由电路图设计版图，根据电路及现有工艺条件，经模拟验证再绘制总图。

(5) 工艺设计，如原材料选择，设计工艺参数、工艺方案，确定工艺条件、工艺流程。如有成熟的工艺，就根据电路的性能要求选择合适的工艺加以修改、补充或组合。工艺条件包括源的种类、温度、时间、流量、注入剂量和能量、工艺参数及检测手段等。

逆向设计又称解剖分析，其作用如下：

① 仿制(在原产品的基础上综合各家优点，推出更先进的产品)；

② 可获取先进的集成电路设计和制造的秘密(包括设计思想、版图设计技术、制造工艺等)。

逆向设计的流程如下：

(1) 提取横向尺寸

① 打开封装，进行照相(把电路产品放大数百倍分块照相，提取集成电路的复合版图)；

② 拼图(把照片拼成整个产品的复合版图)；

③ 由产品的复合版图提取电路图、器件尺寸和设计规则；

④ 进行电路模拟，验证所提取的电路是否正确；

⑤ 如果模拟正确，可以着手画版图。

(2) 提取纵向尺寸

用扫描电镜、扩展电阻仪等提取氧化层厚度、金属膜厚度、多晶硅厚度、结深、基区宽度等纵向尺寸和纵向杂质分布。

(3) 测试产品的电学参数

电学参数包括开启电压、薄膜电阻、放大倍数、特征频率等。

然后，在(2)和(3)的基础上确定工艺参数，制订工艺条件和工艺流程。

由上述内容可见，在由产品提取出电路图和逻辑关系后，以后的过程正向、逆向设计是一样的，都是进行版图设计。在版图设计中，要遵守版图设计规则。所谓版图设计规则，是指为了保证电路的功能和一定的成品率而提出的一组最小尺寸，如最小线宽、最小可开孔、线条之间的最小间距、最小套刻间距等。在版图设计时，只要遵守版图设计规则，所设计出的版图就能保证生产出具有一定成品率的合格产品。另外，设计规则是设计者和电路生产厂之间的接口，由于各厂家的设备和工艺水平不同，因此各厂家所提供给设计者的设计规则也是不同的。设计者只有根据厂家所提供的设计规则进行版图设计，所设计出的版图才能在该厂生产出具有一定成品率的合格产品。

通常可把版图设计规则分成两种类型。

第一类叫做“自由格式”，目前一般双极集成电路的研制和生产，通常采用这类设计规则。在这类规则中，每个被规定的尺寸之间没有必然的比例关系。

这种方法的好处是各尺寸可相对独立地选择，可以把每个尺寸定得更合理，所以电路性能好，芯片尺寸小。缺点是对于一个设计级别，就要有一整套数字，而不能按比例放大、缩小。

第二类叫做“规整格式”。在这类规则中，把绝大多数尺寸规定为某一特征尺寸 λ 的某个倍数。这样一来，就可使整个设计规则简化。

对于双极型集成电路，是以引线孔为基准，尺寸规定如下(详细见图 17.1)：

① 引线孔的最小尺寸为 $2\lambda\times2\lambda$。

② 金属条的最小宽度为 2λ，扩散区(包括基区、发射区和集电区)的最小宽度为 2λ，P^+ 隔离框的最小宽度为 2λ。

③ 基区各边覆盖发射区(对 I^2L 为集电区)的最小富裕量为 2λ，扩散区对引线孔各边留有的富裕量大于或等于 1λ，隐埋层对基区各边应留有的富裕量大于或等于 1λ。

④ 除 N^+ 隐埋层与 P^+ 隔离槽间的最小间距应为 4λ 外，其余的最小间距均为 2λ。这是因为 P^+ 的隔离扩散深度 x_{j1} 较深，故横向扩散也大，所以应留有较大富裕量。

对于 MOS 集成电路，则是以沟道长度为基准，如表 17.1、图 17.2、表 17.2、图 17.3 所示。其中，表 17.1 是硅栅 E/D NMOS 规整格式的版图设计规则，图 17.2 为此设计规则的图例；表 17.2 是硅栅 CMOS 规整格式的版图设计规则，图 17.3 是此设计规则的图例。

规整格式的好处是设计规则简化了，对于不同的设计级别，只要代入相应的 λ 值即可，有利于版图的计算机辅助设计。不足之处是，有时增加了工艺难度，有时浪费了部分芯片面积，而且电路性能也不如自由格式。

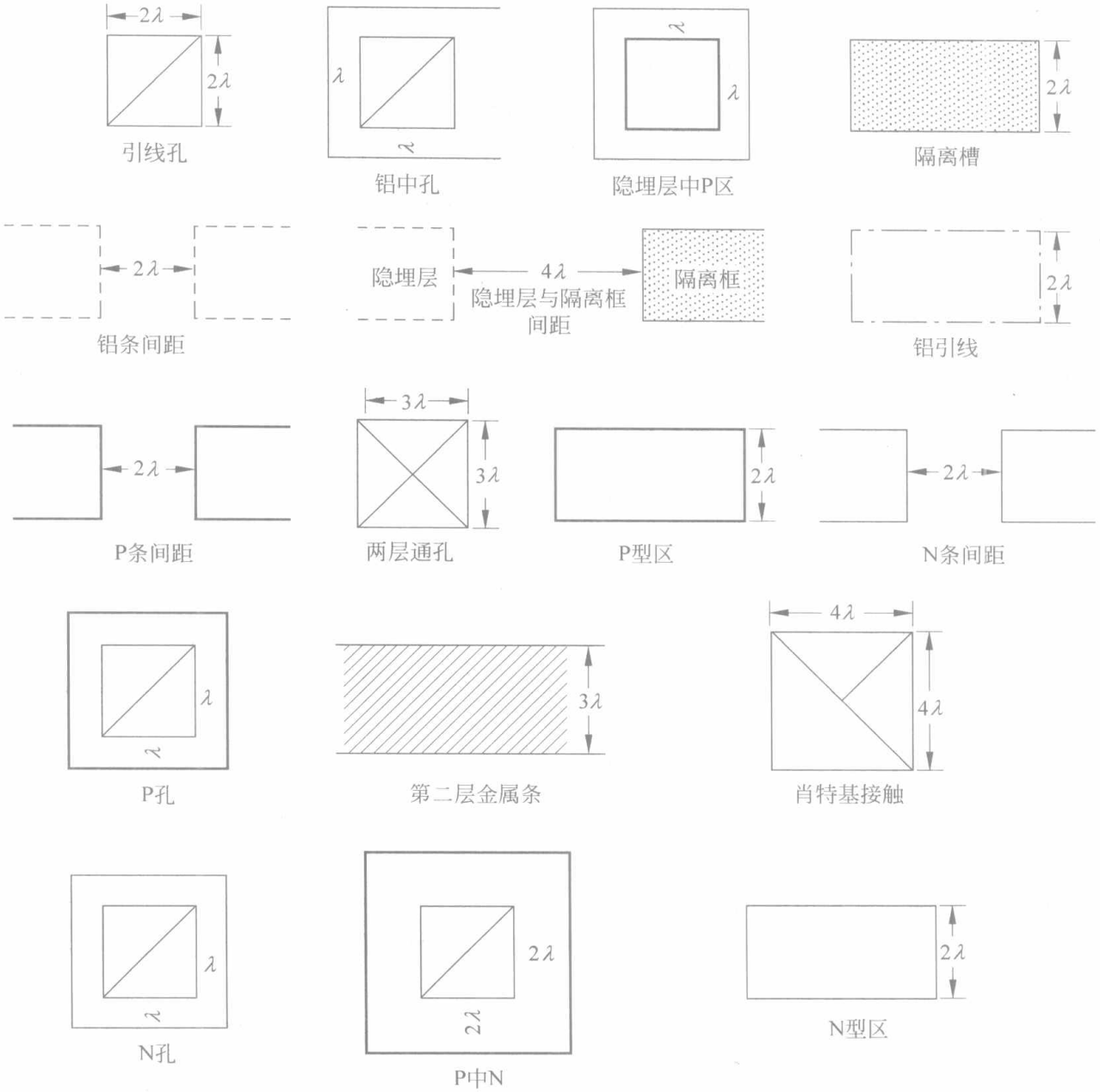


图 17.1　双极集成电路版图设计规整格式示意图例

表 17.1　硅栅 E/D NMOS 规整格式的版图设计规则

版号	图号	符号	尺寸	含　义	原　因
MK_1	17.2(a)	a_1	3.0λ	有源区最小宽度	保证器件区尺寸并减小窄沟效应
MK_1	17.2(a)	a_2	3.0λ	有源区最小间距	减小寄生效应
MK_2	17.2(b)	b_1	2.0λ	耗尽注入对栅区最小覆盖	保证耗尽管栅区的注入
MK_2	17.2(b)	b_2	2.0λ	耗尽注入对增强管最小距离	防止耗尽注入到增强管的栅区
MK_3	17.2(c)	c_1	2.0λ	增强注入对栅区最小覆盖	保证增强管栅区的注入

续表

版号	图号	符号	尺寸	含　义	原　因
MK_3	17.2(c)	c_2	2.0λ	增强注入对耗尽管最小距离	防止增强注入到耗尽管的栅区
MK_4	17.2(d)	d_1	2.0λ	埋孔对接触区最小覆盖	保证多晶硅与源漏区的接触
MK_4	17.2(d)	d_2	2.0λ	埋孔与无关栅最小间距	防止无关栅与埋接触区的短路
MK_4	17.2(d)	d_3^2	$(3.0\lambda)^2$	埋孔接触区最小面积	保证多晶硅与源漏区的接触
MK_5	17.2(e)	e_1	2.0λ	多晶硅栅最小栅长(电路的基本尺寸)	保证器件特性
MK_5	17.2(e)	e_2	3.0λ	多晶硅条最小间距	防止多晶硅联条
MK_5	17.2(e)	e_3	3.0λ	硅栅与有源区最小内间距	保证电流在整个栅宽范围内均匀流动
MK_5	17.2(e)	e_4	1.0λ	硅条与有源区最小外间距	防止短路与寄生效应
MK_5	17.2(e)	e_5	2.0λ	硅栅最小出头量	保证栅长及源漏区的截断
MK_6	17.2(f)	f_1^2	$(3.0\lambda)^2$	上孔接触区最小面积	保证与铝布线的良好接触
MK_6	17.2(f)	f_2	1.0λ	对上孔最小覆盖	防止 PN 结漏电和短路
MK_6	17.2(f)	f_3	2.0λ	源漏区上孔与栅最小间距	防止源漏区与栅短路
MK_6	17.2(f)	f_4	2.0λ	多晶硅上孔与源漏区最小间距	防止短路与寄生效应
MK_7	17.2(g)	g_1	3.0λ	铝条最小宽度	保证铝线的良好电导
MK_7	17.2(g)	g_2	3.0λ	铝条最小间距	防止铝线联条
MK_7	17.2(g)	g_3	4.0λ	宽铝条最小间距	防止铝线联条
MK_8	17.2(h)	h_1	3.0λ	压焊块对钝化孔覆盖	防止压焊时损伤电路的其他部分

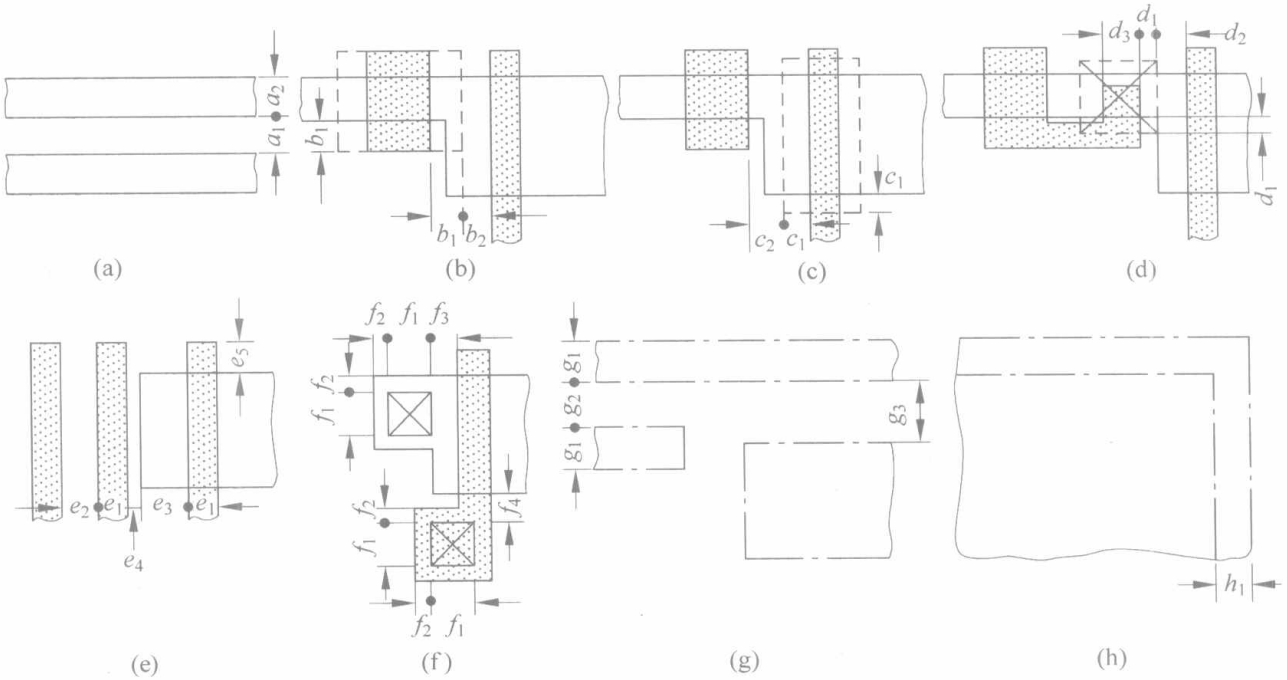


图 17.2　硅栅 E/D NMOS 规整格式的版图设计规则图例

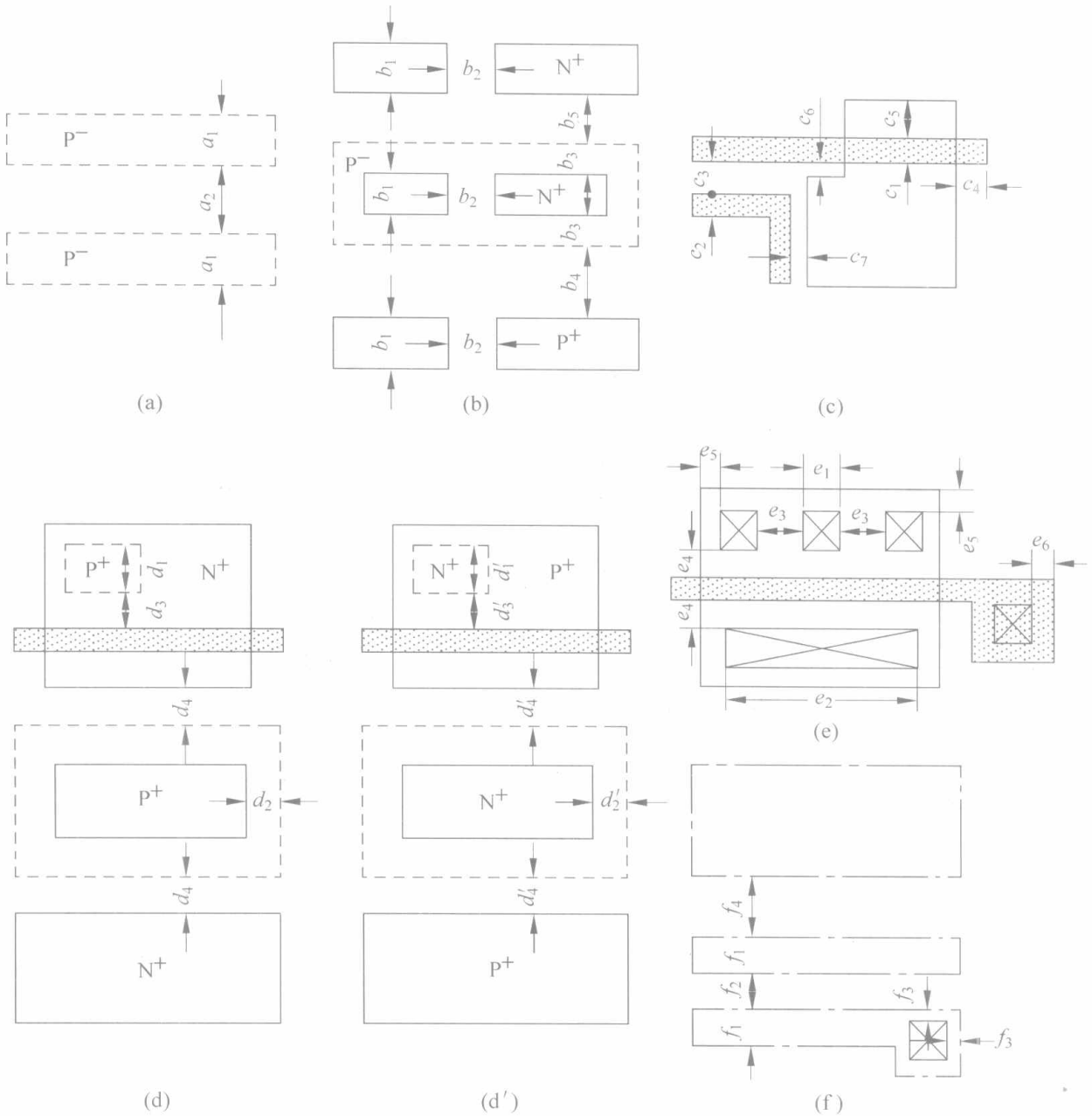


图 17.3　硅栅 CMOS 规整格式的版图设计规则图例

表 17.2　硅栅 CMOS 规整格式的版图设计规则

版号	图号	符号	尺寸	含　义	原　因
MK_1	17.3(a)	a_1	4.0λ	阱的最小宽度	保证光刻精度和器件尺寸
MK_2	17.3(a)	a_2	13λ	阱与阱最小间距	防止不同电位阱间干扰
MK_2	17.3(b)	b_1	4.0λ	有源区最小宽度	保证器件尺寸,减小窄沟效应
MK_2	17.3(b)	b_2	4.0λ	有源区最小间距	减小寄生效应
MK_2	17.3(b)	b_3	3.0λ	阱对其中 N^+ 有源区最小覆盖	保证 P^- 阱四周的场注 P 区环的尺寸
MK_2	17.3(b)	b_4	10λ	阱外 P^+ 有源区距阱最小间距	有利减弱闸流效应

续表

版号	图号	符号	尺寸	含　义	原　因
MK_2	17.3(b)	b_5	5λ	阱外 N^+ 有源区距阱最小间距	保证阱和衬底间 PN 结特性
MK_3				(MK_3 为 P 场注区掩模版)	与 MK_1 同版或每边大出 $n\lambda(n=3\sim5)$
MK_4				(MK_4 为 PMOS 注入掩模版)	与 P^- 阱掩模版 MK_1 相反
MK_5	17.3(c)	c_1	2.0λ	多晶硅栅最小栅长(电路的基本尺寸)	保证器件特性
MK_5	17.3(c)	c_2	2.0λ	最细硅线宽度	保证多晶硅线的必要电导
MK_5	17.3(c)	c_3	3.0λ	多晶硅条最小间距	防止多晶硅联条
MK_5	17.3(c)	c_4	2.0λ	硅栅最小出头量	保证栅长及源漏区的截断
MK_5	17.3(c)	c_5	3.0λ	硅栅与有源区最小内间距	保证电流在整个栅宽范围内均匀流动
MK_5	17.3(c)	c_6	1.0λ	多晶硅条与有源区最小外间距	保证沟道区尺寸
MK_5	17.3(c)	c_7	1.0λ	多晶硅条与无关有源区最小间距	防止短路与寄生效应
MK_6	17.3(d)	d_1	4.0λ	P^+ 区最小宽度	保证足够的 P^+ 接触区
MK_6	17.3(d)	d_2	2.0λ	P^+ 区对有源区最小覆盖	保证 P^+ 源漏区能完整地注入
MK_6	17.3(d)	d_3	3.0λ	P^+ 区距内部硅栅最小间距	保证 NMOS 源区尺寸
MK_6	17.3(d)	d_4	2.0λ	P^+ 注入框距外部 N^+ 有源区最小间距	防止 P^+ 注入到 N^+ 区中
MK_7	17.3(d′)	d_1'	4.0λ	N^+ 区最小宽度	保证足够的 N^+ 接触
MK_7	17.3(d′)	d_2'	2.0λ	N^+ 区对有源区最小覆盖	保证 N^+ 源漏区能完整地注入
MK_7	17.3(d′)	d_3'	3.0λ	N^+ 区距内部硅栅最小间距	保证 PMOS 源区尺寸
MK_7	17.3(d′)	d_4'	2.0λ	N^+ 注入框距外部 P^+ 有源区最小间距	防止 N^+ 注入到 P^+ 区中
MK_8	17.3(e)	e_1	$(3.0\lambda)^2$	上孔接触区最小面积	保证与铝布线的良好接触
MK_8	17.3(e)	e_2	15λ	最大接触孔边长	有利于刻孔的成品率
MK_8	17.3(e)	e_3	3.0λ	孔与孔间距	保证良好接触
MK_8	17.3(e)	e_4	2.0λ	源漏区上孔与栅最小间距	防止源漏区与栅短距
MK_8	17.3(e)	e_5	1.0λ	源漏区对上孔最小覆盖	防止 PN 结漏电和短路
MK_8	17.3(e)	e_6	1.0λ	多晶硅对上孔最小覆盖	防止漏电和短路
MK_9	17.3(f)	f_1	3.0λ	铝条最小宽度	保证铝线的良好电导
MK_9	17.3(f)	f_2	3.0λ	铝条最小间距	防止铝条联条
MK_9	17.3(f)	f_3	1.0λ	铝对孔的最小覆盖	保证接触,防止断条
MK_9	17.3(f)	f_4	4.0λ	宽铝条最小间距	防止铝条联条

复习思考题

17.1　版图设计规则是根据什么制定出来的?

17.2　版图设计规则有几类?试比较它们的优缺点。

17.3　用λ设计规则设计最小面积的 NPN 双极晶体管和 P 阱中的 NMOS 晶体管的复合版图,设 $\lambda=3\mu m$。

第 18 章　集成电路的正向设计

18.1　MOS 集成电路的正向设计

集成电路的正向设计流程如第 17 章所述，现在以 74HC139 电路为例来说明 MOS 集成电路的正向设计全过程。

18.1.1　74HC139 电路简介

74HC139 的引脚图如图 18.1 所示，它包含两个 2-4 译码器，其逻辑真值表如表 18.1 所示。

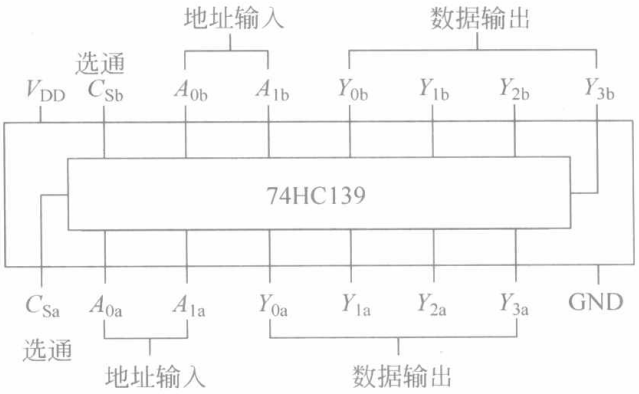


图 18.1　74HC139 的引脚图

表 18.1　逻辑真值表

片　选	输　入		数　据　输　出			
C_S	A_1	A_0	Y_0	Y_1	Y_2	Y_3
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0
1	×	×	1	1	1	1

74HC139 的逻辑表达式如下：

$$Y_0 = C_S + A_1 + A_0 = \overline{\overline{C_S} \cdot \overline{A_1} \cdot \overline{A_0}}$$

$$Y_1 = C_S + A_1 + \overline{A_0} = \overline{\overline{C_S} \cdot \overline{A_1} \cdot A_0}$$

$$Y_2 = C_S + \overline{A_1} + A_0 = \overline{\overline{C_S} \cdot A_1 \cdot \overline{A_0}}$$

$$Y_3 = C_S + \overline{A_1} + \overline{A_0} = \overline{\overline{C_S} \cdot A_1 \cdot A_0}$$

74HC139 的逻辑图如图 18.2 所示。

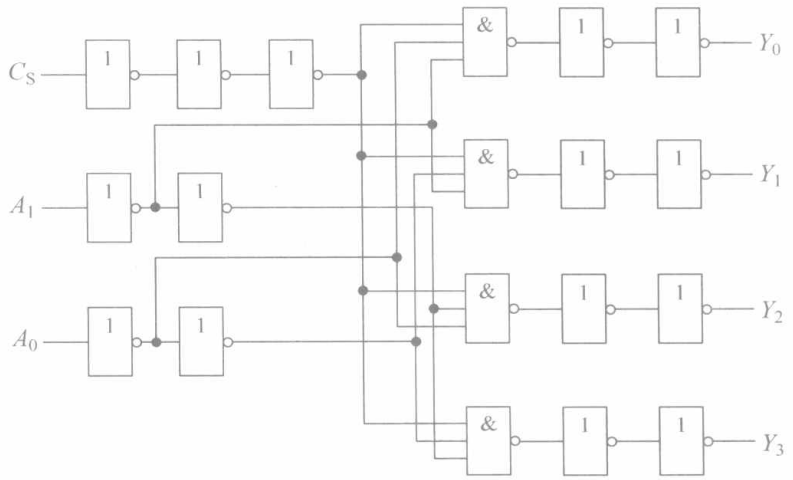


图 18.2　74HC139(1/2)的逻辑图

18.1.2　电路设计

1. 输出级电路设计

74HC139 是 HCMOS 电路，它的输出级必须能够与 TTL 电路兼容，因此必须适当设计输出级中 MOS 管的尺寸，使 CMOS 电路能够驱动 TTL 电路。

此电路特性指标中要求输出端可驱动 10 个 LSTTL，具体有以下要求：

① 输出高电平时，$|I_{OH}| \leqslant 20\mu A$，　$V_{OH,min} = 4.4V$。

② 输出低电平时，$|I_{OL}| \leqslant 4mA$，　$V_{OL,max} = 0.4V$。

③ 输出级充放电时间 $t_r = t_f$。

根据这些要求，输出级电路的等效计算电路如图 18.3 所示，需注意：

① 以 15pF 的电容负载代替 10 级 TTL 电路来计算 t_r，t_f。

② 输入 V_i 为前一级的输出，被认为是理想的输出，即 $V_{iL} = V_{SS}$，$V_{iH} = V_{DD}$。

③ 计算电流时，负载为电流负载，有拉电流和灌电流。

下面介绍输出级中各 MOS 管宽长比 W/L 的计算。

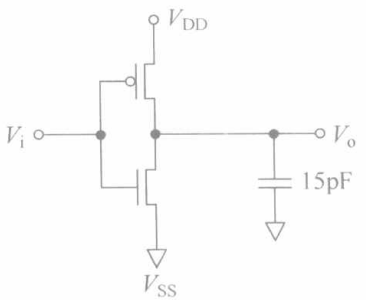


图 18.3　等效计算电路

(1) CMOS N 管$\left(\frac{W}{L}\right)_N$的计算

当输入为高电平时($V_i=V_{DD}$),N 管导通,后级 TTL 有较大的灌电流输入,此时

$$I_{DSN}=\left(\frac{W}{L}\right)_N\frac{\mu_{N0}C_{ox}}{2}[(V_i-V_{TN0}-V_S)^2-(V_i-V_{TN0}-V_o)^2] \tag{18.1}$$

当考虑最坏情况时,为了使 N 管尺寸为极限值,必须使上式方括号中各项总值为最小,且单位面积栅电容 C_{ox}及电子迁移率 μ_N也取最小值,此时求得的$(W/L)_N$也是极限值,即计算时取

$$C_{ox,min}=\frac{\varepsilon_0\varepsilon_{SiO_2}}{t_{ox,max}},\qquad \mu_{N,min}=\mu_{N0}\left(\frac{T_{max}}{T_0}\right)^{-3/2}$$

由此可计算得到

$$\left(\frac{W}{L}\right)_{N,min}=164.6\approx\frac{495}{3}=\frac{330\Delta}{2\Delta}$$

式中:T_{max}为最大工作温度,$t_{ox,max}$为最大栅氧化层厚度。

(2) CMOS P 管$\left(\frac{W}{L}\right)_P$的计算

对于 P 管,当 $V_i=V_{SS}$时,输出高电平。要求在$|I_{OH}|\leqslant 20\mu A$时有 $V_{OH,min}=4.4V$,且 P 管与 N 管的充放电时间相等,即 $t_r=t_f$。这两项要求即计算的两个条件。

① 以 $I_{OH}\leqslant 20\mu A$ 时 $V_{OH,min}=4.4V$ 的条件计算:

$$I_{OH}=\left(\frac{W}{L}\right)_P\frac{\mu_PC_{ox}}{2}[(V_i-V_{TP}-V_{DD})^2-(V_i-V_{TP}-V_{OH})^2] \tag{18.2}$$

最坏情况下:

$$V_{DD}=4.5V,\quad V_{OH,min}=4.4V,\quad V_{TP}=-0.8V$$

$$C_{ox,min}=\frac{\varepsilon_0\varepsilon_{SiO_2}}{t_{ox,max}},\qquad \mu_{P,min}=\mu_{P0}\left(\frac{T_{max}}{T_0}\right)^{-3/2}$$

经计算可得

$$\left(\frac{W}{L}\right)_P=7.27\approx\frac{22}{3}\approx\frac{15\Delta}{2\Delta}$$

② 以 $t_r=t_f$ 的条件计算:CMOS 中

$$t_r=\tau_P\left[\frac{\alpha_P-0.1}{(1-\alpha_P)^2}+\frac{\operatorname{arth}\left(1-\frac{0.1}{1-\alpha_P}\right)}{1-\alpha_P}\right] \tag{18.3}$$

$$t_f=\tau_N\left[\frac{\alpha_N-0.1}{(1-\alpha_N)^2}+\frac{\operatorname{arth}\left(1-\frac{0.1}{1-\alpha_N}\right)}{1-\alpha_N}\right] \tag{18.4}$$

以上二式中

$$\alpha_P=\frac{|V_{TP}|}{V_{DD}},\qquad \alpha_N=\frac{V_{TN}}{V_{DD}}$$

$$\tau_P = \frac{C_L}{k_P V_{DD}}, \qquad \tau_N = \frac{C_L}{k_N V_{DD}}$$

因为

$$\alpha_P = \alpha_N$$

所以

$$\frac{t_r}{t_f} = \frac{\tau_P}{\tau_N} = \frac{k_N}{k_P} = \frac{\left(\frac{W}{L}\right)_N \mu_N}{\left(\frac{W}{L}\right)_P \mu_P}$$

由此可求得

$$\left(\frac{W}{L}\right)_P = \frac{759\Delta}{2\Delta}$$

最后，由①，②两部分计算可得 $\left(\frac{W}{L}\right)_P = \frac{1138}{3}$，所以对输出级电路有

$$\left(\frac{W}{L}\right)_N = \frac{495}{3} = \frac{330\Delta}{2\Delta}$$

$$\left(\frac{W}{L}\right)_P = \frac{1138}{3} \approx \frac{759\Delta}{2\Delta}$$

2. 输入级设计

输入级的电路形式如图 18.4 所示。由于本电路是与 TTL 兼容的，其输入高电平 V_{iH} 可能为 2.4V，如果按正常内部反相器进行设计，则 N_1，P_1 构成的 CMOS 将有较大直流功耗。而图 18.4 所示的电路，因为通过正反馈的 P_2 作为上提拉管，所以可以使 V_{iH} 较快上升，减小了功耗，加快了翻转速度。

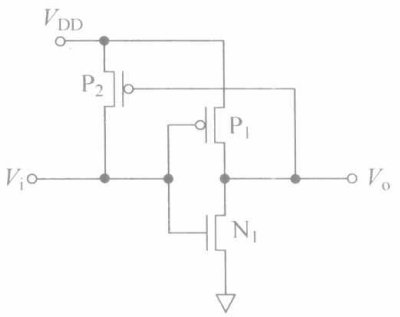


图 18.4　输入级电路

输入级电路中各 MOS 管尺寸的计算如下：

(1) 提拉管 P_2

为了节省面积，同时又能使 V_{iH} 较快上升，取定 $\left(\frac{W}{L}\right)_{P2} = 1 = \frac{3}{3} = \frac{2\Delta}{2\Delta}$。

(2) CMOS 反相器的 P_1 管

此 P_1 管应取内部基本反相器的尺寸(具体计算过程见本小节 3“内部基本反相器中各 MOS 管尺寸的计算”)为

$$\left(\frac{W}{L}\right)_{P1} = \left(\frac{W}{L}\right)_{P内部} \approx \frac{46.5}{3} = \frac{31\Delta}{2\Delta}$$

(3) CMOS 反相器的 N 管

由于要与 TTL 电路兼容，而 TTL 的输出电平在 0.4～2.4V 之间，因此要选取反相器的阈值电平

$$V_I^* = \frac{V_{iL,max} + V_{iH,min}}{2} = 1.4V$$

又知

$$V_I^* = \frac{\sqrt{k_N}V_{TN} + \sqrt{k_P}(V_{DD} + V_{TP})}{\sqrt{k_N} + \sqrt{k_P}} = \frac{\sqrt{\beta_R}\ V_{TN} + V_{DD} + V_{TP}}{\sqrt{\beta_R} + 1} \tag{18.5}$$

式中：$\beta_R = \frac{k_N}{k_P}$。取 $V_{DD}=5V$，$V_{TN}=0.7V$，$V_{TP}=-0.7V$，$V_I^*=1.4V$，则可求出 $\beta_R=17.16$。

于是

$$\left(\frac{W}{L}\right)_{N1} = \left(\frac{W}{L}\right)_{P1}\beta_R\frac{\mu_P}{\mu_N} = \frac{230\Delta}{2\Delta}$$

综上所述，输入级中各 MOS 管的尺寸为

$$\left(\frac{W}{L}\right)_{N1} = \frac{345}{3} = \frac{230\Delta}{2\Delta}$$

$$\left(\frac{W}{L}\right)_{P1} = \frac{46.5}{3} = \frac{31\Delta}{2\Delta}$$

$$\left(\frac{W}{L}\right)_{P2} = \frac{3}{3} = \frac{2\Delta}{2\Delta}$$

3. 内部基本反相器中各 MOS 管尺寸的计算

内部基本反相器的电路如图 18.5 所示。

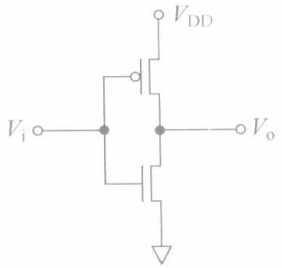


图 18.5　内部基本反相器的电路图

一般来说，内部反相器的负载由以下三部分电容组成：①本级漏极的 PN 结电容 C_{PN}；②下级的栅电容 C_{CI}；③连线杂散电容 C_S。一般情况下，$C_{PN}+C_{CI}\approx 10C_S$，所以可忽略 C_S的作用。

先计算 C_S。设铝线宽 5μm，长 100μm，它布在场区上面，此铝线的电容为

$$C_S = A_{Al}\frac{\varepsilon_0\varepsilon_{SiO_2}}{t_{oxF}} = 5\times 100\times 10^{-8}\times\frac{8.85\times 10^{-14}\times 3.9}{1.0\times 10^{-4}} = 1.726\times 10^{-14}(F)$$

其中，场氧化层厚度 t_{oxF}取最小值，即考虑最坏情况，此时负载最大。

下面计算 C_{PN}和 C_{CI}。设 $C_{PN}+C_{CI}=10C_S$，此时可忽略 C_S的作用。由半导体物理知

$$\overline{C_{jP^+N}} = \overline{C_{jN^+P}} = \frac{1}{2}C_{jPN0} = \frac{1}{2}\sqrt{\frac{qN_B\varepsilon_0\varepsilon_{Si}}{2\varphi}} \tag{18.6}$$

$$\varphi = \frac{kT}{q}\ln\frac{N_BN}{n_i^2} \tag{18.7}$$

$$R_\square = \frac{1}{Nq\mu x_j} \tag{18.8}$$

对于 N 管，其衬底是 P 阱，所以 $N_B=2\times 10^{16}cm^{-3}$。设结深 $x_j=0.5\mu m$，薄层电阻$R_\square=20\Omega/\square$，由式(18.8)和式(18.6)可得

$$N = \frac{1}{R_\square q\mu x_j} = 7.862\times 10^{18}cm^{-3}$$

$$\overline{C_{jN^+P}} = 2.1905 \times 10^{-8}\,\mathrm{F/cm^2}$$

同理，对于 P 管可以计算出

$$\overline{C_{jP^+N}} = 1.1396 \times 10^{-8}\,\mathrm{F/cm^2}$$

$$C_{PN} = C_{P^+N} + C_{N^+P}$$

而 C_{Cl} 可由 $C_{Cl} = 10C_S - C_{PN}$ 求出。

下面具体计算 N,P 管的尺寸。设 N 管单位尺寸电阻为 $\overline{r_N}$，总电阻为 $\overline{R_N}$；P 管单位尺寸电阻为 $\overline{r_P}$，总电阻为 $\overline{R_P}$；因为总电容

$$C = C_{PN} + C_{Cl} + C_S \approx C_{PN} + C_{Cl} \tag{18.9}$$

其中

$$C_{Cl} = (W_N + W_P)\,L\,C_{ox} = 10C_S - aW_NC_{PN} \tag{18.10}$$

式中：a 为有源区宽度，因为最小孔为 $3\Delta \times 3\Delta$，孔与多晶硅栅的间距为 2Δ，孔与有源区边界的间距为 1Δ（$1\Delta = 1.5\mu$），所以取 $a = 6\Delta = 9\mu\mathrm{m}$。

因为上升时间

$$t_r = \overline{R_P}\,C = \overline{r_P}\,\frac{L}{W_P}(W_N + W_P)\,L\,C_{ox} \tag{18.11}$$

下降时间

$$t_f = \overline{R_N}\,C = \overline{r_N}\,\frac{L}{W_N}(W_N + W_P)\,L\,C_{ox} \tag{18.12}$$

令 $t_r = t_f$，则有

$$\frac{W_P}{W_N} = \frac{\overline{r_P}}{r_N} = \frac{\mu_N}{\mu_P} = k, \qquad W_P = kW_N$$

代入式(18.10)可求得

$$W_N = \frac{10C_S}{(1+k)\,L\,C_{ox} + a\,C_{PN}} = 21\mu\mathrm{m} = 14\Delta$$

$$W_P = kW_N \approx 46.5\mathrm{um} = 31\Delta$$

所以

$$\left(\frac{W}{L}\right)_P = \frac{46.5}{3} = \frac{31\Delta}{2\Delta}$$

$$\left(\frac{W}{L}\right)_N = \frac{21}{3} = \frac{14\Delta}{2\Delta}$$

4. 内部逻辑门设计

内部逻辑门的电路如图 18.6 所示。根据 $t_{pLH} = t_{pHL}$ 的要求，在最坏情况下，必须满足下列条件，即保证等效 N 管、P 管的 R_{eff} 与内部基本反相器的相同，这样三输入与非门就相当于内部基本反相器了。因此，N 管的尺寸放大 3 倍，而 P 管尺寸不

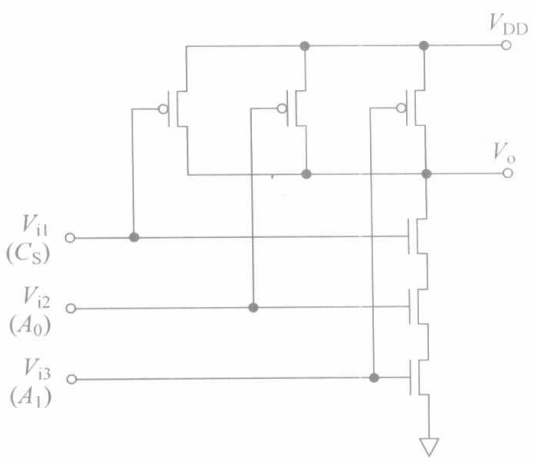


图 18.6　内部逻辑门的电路图

变。所以

$$\left(\frac{W}{L}\right)_{\mathrm{N}}=\frac{63}{3}=\frac{42\Delta}{2\Delta},\qquad \left(\frac{W}{L}\right)_{\mathrm{P}}=\frac{46.5}{3}=\frac{31\Delta}{2\Delta}$$

5. 缓冲级的设计

(1) 输入缓冲级

由图 18.2 逻辑图可见，在输入级中有三个信号：C_{S}，A_1，A_0。其中 C_{S} 经一级输入反相器后，形成 $\overline{C_{\mathrm{S}}}$，用 $\overline{C_{\mathrm{S}}}$ 去驱动 4 个三输入与非门，故需要加入缓冲级，使其驱动能力增加。同时为了用 $\overline{C_{\mathrm{S}}}$ 驱动，必须加入两级缓冲门。

由于 A_1，A_0 以及 $\overline{A_1}$，$\overline{A_0}$ 各只驱动内部与非门 2 个，所以可以不用加入缓冲级。

C_{S} 的缓冲级设计过程如下。

C_{S} 的缓冲级与输入级和内部门的关系如图 18.7 所示。图中：M_1 为输入级，M_2 为内部门，M_3 为缓冲驱动门。

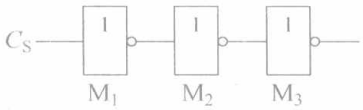


图 18.7　C_{S} 的缓冲级

在三输入与非门的计算中可知，为了保证在最坏情况下 $t_{\mathrm{pHL}}=t_{\mathrm{pLH}}$，必有 N 管尺寸

$$\left(\frac{W}{L}\right)'_{\mathrm{N}}=3\left(\frac{W}{L}\right)_{\mathrm{N单、内}}$$

P 管尺寸

$$\left(\frac{W}{L}\right)'_{\mathrm{P}}=\left(\frac{W}{L}\right)_{\mathrm{P单、内}}$$

以上两式中，下标“单”表示“单管”，“内”表示“内部反相器”。于是 M_3 总的栅面积

$$S=(W'_{\mathrm{N}}+W'_{\mathrm{P}})\,L$$

又因为

$$\left(\frac{W}{L}\right)_{\mathrm{P单}}=k\left(\frac{W}{L}\right)_{\mathrm{N单}}$$

且 $k=\dfrac{\mu_{\mathrm{N}}}{\mu_{\mathrm{P}}}=\dfrac{530}{230}$，所以 $W_{\mathrm{P单}}=kW_{\mathrm{N单}}$。

扇出系数 N 的定义是

$$N=\frac{\text{下级栅的面积}}{\text{前级等效反相器栅的面积}} \tag{18.13}$$

由此得到扇出系数

$$N=\frac{[4\times(W'_{\mathrm{N}}+W'_{\mathrm{P}})L]}{[(W_{\mathrm{N内}}+W_{\mathrm{P内}})L]}$$

$$=\frac{[4\times(3W_{\mathrm{N单}}+W_{\mathrm{P单}})]}{(W_{\mathrm{N单}}+W_{\mathrm{P单}})}=6.4889$$

加入一级缓冲后，管子逐级放大的尺寸为 $\sqrt{N}=2.547$，所以，M_3 管子尺寸为

$$\left(\frac{W}{L}\right)_{\mathrm{N3}}=\left(\frac{W}{L}\right)_{\mathrm{N内}}\sqrt{N}=\frac{36\Delta}{2\Delta}$$

$$\left(\frac{W}{L}\right)_{P3}=\left(\frac{W}{L}\right)_{P内}\sqrt{N}=\frac{79\Delta}{2\Delta}$$

内部反相器 M_2 的尺寸为

$$\left(\frac{W}{L}\right)_{N2}=\frac{21}{3}=\frac{14\Delta}{2\Delta}$$

$$\left(\frac{W}{L}\right)_{P2}=\frac{46.5}{3}=\frac{31\Delta}{2\Delta}$$

(2) 输出缓冲级

由于输出级部分要驱动 TTL 电路，其尺寸较大，因而必须在与非门输出与输出级之间加入一级缓冲门 M_1，如图 18.8 所示。

缓冲级 M_1 尺寸的计算过程如下：将与非门 M_0 等效为一个反相器，由式(18.13)可得扇出系数

$$N=\frac{(W_N+W_P)_{M2}\,L}{(W_N+W_P)_{M0}\,L}=24.2$$

于是 $\left(\frac{W}{L}\right)_{M1}=\left(\frac{W}{L}\right)_{内}\sqrt{N}$，由 $\left(\frac{W}{L}\right)_{内}$ 及 N 的值可得

$$\left(\frac{W}{L}\right)_{N1}\approx\frac{69\Delta}{2\Delta}$$

$$\left(\frac{W}{L}\right)_{P1}\approx\frac{153\Delta}{2\Delta}$$

6. 输入保护电路设计

输入保护电路如图 18.9 所示，该电路采用了多晶硅电阻及二极管保护电路。输入保护电阻 R 的方数如下

$$方数=\frac{R}{R_{□,\text{poly-Si}}}=\frac{300}{30}=10\ 方$$

二极管的有效面积取 $500\mu m^2$。

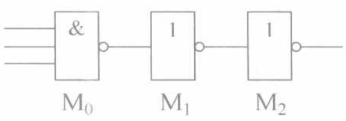


图 18.8 输出缓冲级

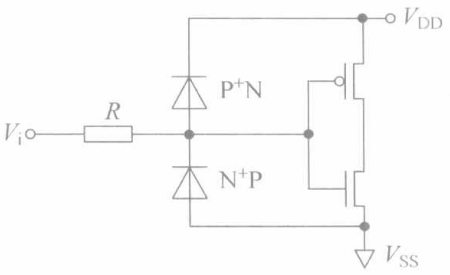


图 18.9 输入保护电路

根据本节以上的分析，得到图 18.10 所示的 74HC139(1/4)电路图。

对以上的结果必须进行工程估算，并用 PSPICE 程序对其进行模拟，以验证所设计的电路是否满足技术指标的要求。

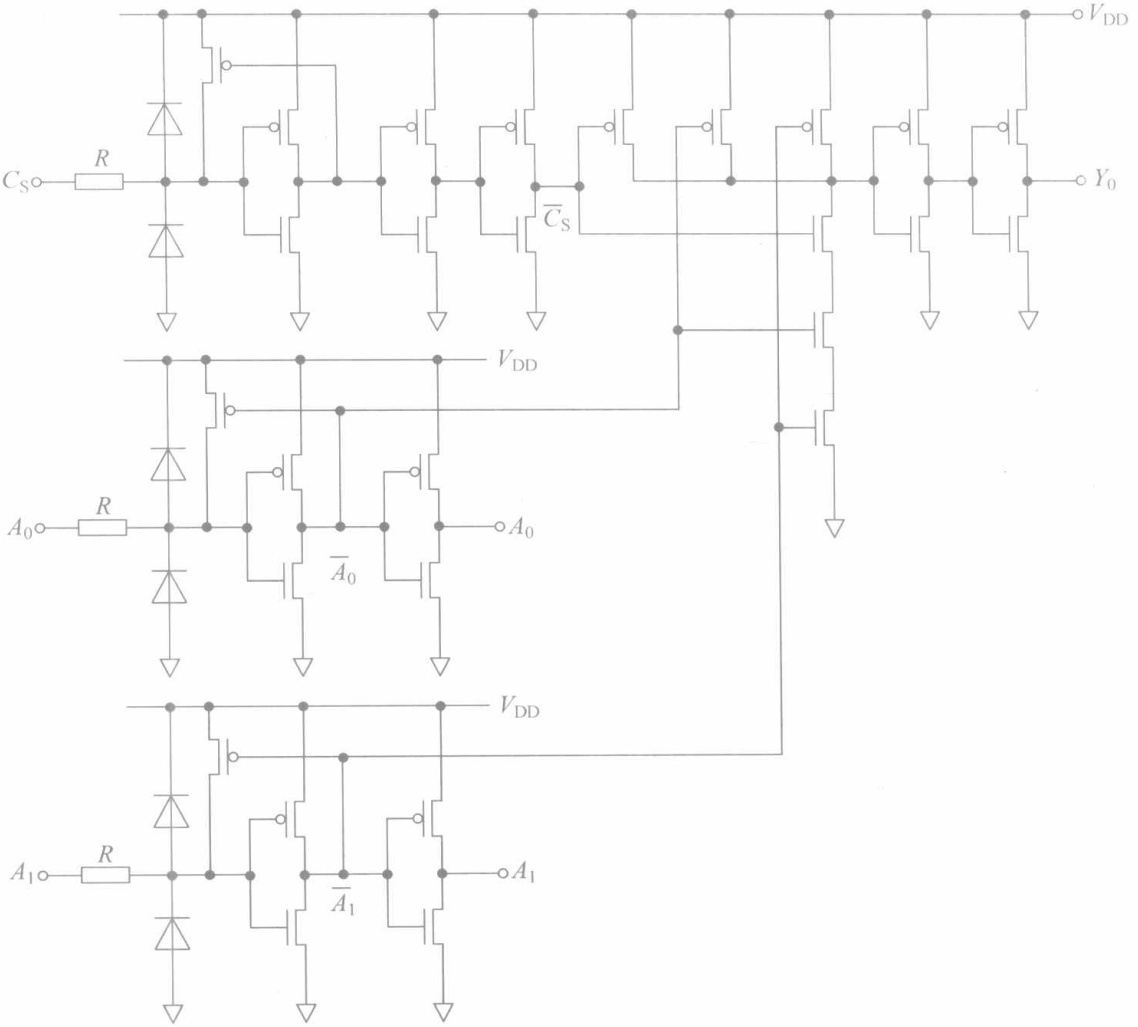


图 18.10　74HC139(1/4)的电路图

18.1.3　工程估算

74HC139 电路从输入到输出的所有各支路中，只有 C_S 端加入了缓冲级，因而增加了延时与功耗，因此在估算延时、功耗时，就以 C_S 支路(见图 18.11)来简化估算。

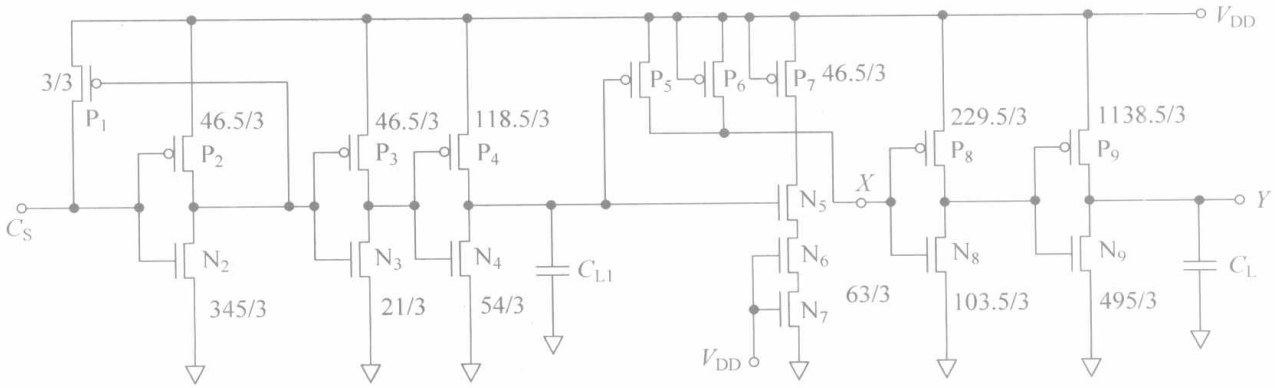


图 18.11　C_S 支路电路图

1. 模型简化

由于在实际工作中，四个三输入与非门中只有一个可被选通并工作，而另三个不工作，所以在 C_S 端经三级反相器后，将不工作的三个三输入与非门等效为负载电容 C_{L1}，而将工作的一个三输入与非门的两个输入接高电平，只将 C_S 端信号加在反相器上，因此计算功耗时只计算 X 点之后的部分。

在 X 点之前的电路，由于 A_0，A_1，C_S 均为输入级，虽然 A_0，A_1 比 C_S 少一个反相器（见图 18.10），作为工程估算，可以认为三个输入级部分是相同的，于是，估算功耗时对 X 点之前的部分只要计算 C_S 这一条支路，最后将结果乘以 3 就可以了。

2. 功耗估算

CMOS 电路的功耗中一般包括静态功耗、瞬态功耗、交变功耗，由于 CMOS 电路忽略漏电，静态功耗近似为 0，如果同时又忽略交变功耗，则估算时只计算瞬态功耗 P_T 即可。此时

$$P_T = C_{L总} f_c (V_{OH} - V_{OL}) V_{DD} \tag{18.14}$$

其中

$$C_{L总} = \sum C_{L1} + \sum C_{PN} + \sum C_L \tag{18.15}$$

式(18.15)中 $\sum C_{L1}$ 的最大值为

$$\sum C_{L1,max} = \sum (W_N + W_P) L C_{ox} = 6.21\text{pF} \tag{18.16}$$

注意，计算中将四路三输入与非门的栅作为前级负载，C_{ox} 考虑最坏情况，故取 $t_{ox,min}$。

式(18.15)中 $\sum C_L$ 为负载电容。

$$\sum C_L = 15\text{pF} \tag{18.17}$$

式(18.15)中 $\sum C_{PN}$ 为 PN 结电容。

$$\sum C_{PN} = \sum (aW_N \overline{C_{jN^+P}} + aW_P \overline{C_{jP^+N}}) = a\overline{C_{jN^+P}} \sum W_N + a\overline{C_{jP^+N}} \sum W_P$$
$$= 6.7175\text{ pF} \tag{18.18}$$

还要强调一下：计算中把与非门的漏电容作为本级负载，设工作频率 $f_c = 30\text{MHz}$，将式(18.16)、式(18.17)、式(18.18)的结果代入式(18.14)，可得

$$P_T = C_{L总} f_c (V_{OH} - V_{OL}) V_{DD} \approx 20.95\text{mW}$$

3. 延迟估算

每一级反相器可定义充电时间常数为

$$\tau_r = \frac{C_L}{k_P (V_{DD} - |V_{TP}|)} \tag{18.19}$$

放电时间常数为

$$\tau_f = \frac{C_L}{k_N (V_{DD} - V_{TN})} \tag{18.20}$$

于是，充电时间

$$f_r = \tau_r[(u_2 - 1) + \mathrm{arth}(1 - u_1)] \tag{18.21}$$

放电时间

$$t_f = \tau_f[(u_2' - 1) + \mathrm{arth}(1 - u_1')] \tag{18.22}$$

其中：u 为从低电平充电到高电平的归一化电平；u' 为从高电平放电到低电平的归一化电平。估算中均取 $u_1 = 0.1, u_2 = 0.9, u_1' = 0.1, u_2' = 0.9$，可得一级反相器的延时为

$$\begin{aligned} t_{pd} &= \frac{1}{2}(t_{pLH} + t_{pHL}) \\ &= \frac{1}{2}(\tau_r + \tau_f)[(u_2 - 1) + \mathrm{arth}(1 - u_1)] \\ &= \frac{1}{2}\frac{C_L}{V_{DD} - V_T}\left(\frac{1}{k_P} + \frac{1}{k_N}\right)[(0.9 - 1) + \mathrm{arth}0.9] \end{aligned} \tag{18.23}$$

其中

$$\begin{aligned} C_L &= C_{L1} + C_{PN} + C_S \\ &= (W_N + W_P)\, L\, C_{ox} + aW_N C_{jN^+P} + aW_P C_{jP^+N} + C_S \end{aligned} \tag{18.24}$$

$$V_{DD} - V_T = V_{DD} - |V_{TP}| = V_{DD} - V_{TN} = 5 - 0.7 = 4.3\mathrm{V} \tag{18.25}$$

又知

$$\frac{\tau_r}{\tau_f} = \frac{k_N}{k_P} = \frac{\mu_N W_N}{\mu_P W_P} = k\frac{W_N}{W_P} = 2.304\frac{W_N}{W_P} \tag{18.26}$$

将式(18.25)、式(18.26)代入式(18.23)得

$$t_{pd}' = \frac{1}{2}[-0.1 + \mathrm{arth}0.9]\left(1 + k\frac{W_N}{W_P}\right)\tau_f = 1.3084 \times \left(1 + 2.304\frac{W_N}{W_P}\right)\frac{C_L}{\left(\frac{W}{L}\right)_N}$$

由图 18.11 可见，从输入 C_S 到输出 Y 共经过 6 级反相器，代入各级的 C_L，$\frac{W_N}{W_P}$ 及 $\left(\frac{W}{L}\right)_N$ 的值，即可求出每级反相器的延时。因为

$$C_{ox} = \frac{\varepsilon_0 \varepsilon_{SiO_2}}{t_{ox}} = 4.602 \times 10^{-8}\mathrm{F/cm^2}$$

$$C_{jN^+P} = 2.1905 \times 10^{-8}\mathrm{F/cm^2}$$

$$C_{jP^+N} = 1.1396 \times 10^{-8}\mathrm{F/cm^2}$$

$$C_S = 1.726 \times 10^{-14}\mathrm{F/cm^2}$$

$$a = 9\mu\mathrm{m}$$

故有下述结论：

当 $\frac{W_N}{W_P} = 7.419$，$\left(\frac{W}{L}\right)_N = 115$ 时，得到 $C_L = 91.197 \times 10^{-14}\mathrm{F}$，由此计算出 $t_{pd1} = 1.892\mathrm{ns}$；

当 $\frac{W_N}{W_P} = 0.452$，$\left(\frac{W}{L}\right)_N = 7$ 时，得到 $C_L = 3.544 \times 10^{-13}\mathrm{F}$，由此计算出 $t_{pd2} = 1.352\mathrm{ns}$；

当$\frac{W_N}{W_P}=7.4557$，$\left(\frac{W}{L}\right)_N=18$时，得到$C_L=8.753\times10^{-13}$F，由此计算出$t_{pd3}=1.304$ns；

当$\frac{W_N}{W_P}=0.452$，$\left(\frac{W}{L}\right)_N=21$时，得到$C_L=5.605\times10^{-13}$F，由此计算出$t_{pd4}=1.091$ns；

当$\frac{W_N}{W_P}=0.451$，$\left(\frac{W}{L}\right)_N=34.5$时，得到$C_L=2.761\times10^{-12}$F，由此计算出$t_{pd5}=2.135$ns；

当$\frac{W_N}{W_P}=0.435$，$\left(\frac{W}{L}\right)_N=165$时，得到$C_L=17.46\times10^{-12}$F，由此计算出$t_{pd6}=2.76$ns。

所以总的延时t_{pd}为

$$t_{pd}=\sum_{i=1}^{6}t_{pdi}=10.536\text{ns}$$

4. 分析

由估算结果

$$P_T=22.039\text{mW}<75\text{mW}$$

$$t_{pd}=10.536\text{ns}<25\text{ns}$$

可知，估算结果满足设计要求。

18.1.4 电路模拟

电路模拟中为了减小工作量，使用工程估算部分地简化电路，为了计算功耗，必须求出电流。因此，在两个电源支路分别加入了一个零值电压源V_{I1}和V_{I2}，电压值为零（如图18.12及下面电路输入文件所示），从而可以直接求出流过它们的电流。图中$C_{L1}=0.468$pF，它是后级部分三个不工作的三输入与非门的等效电容负载。由于在模拟时参量有变动，所以在图中没有标出管子参数，只标出管子号和节点号。

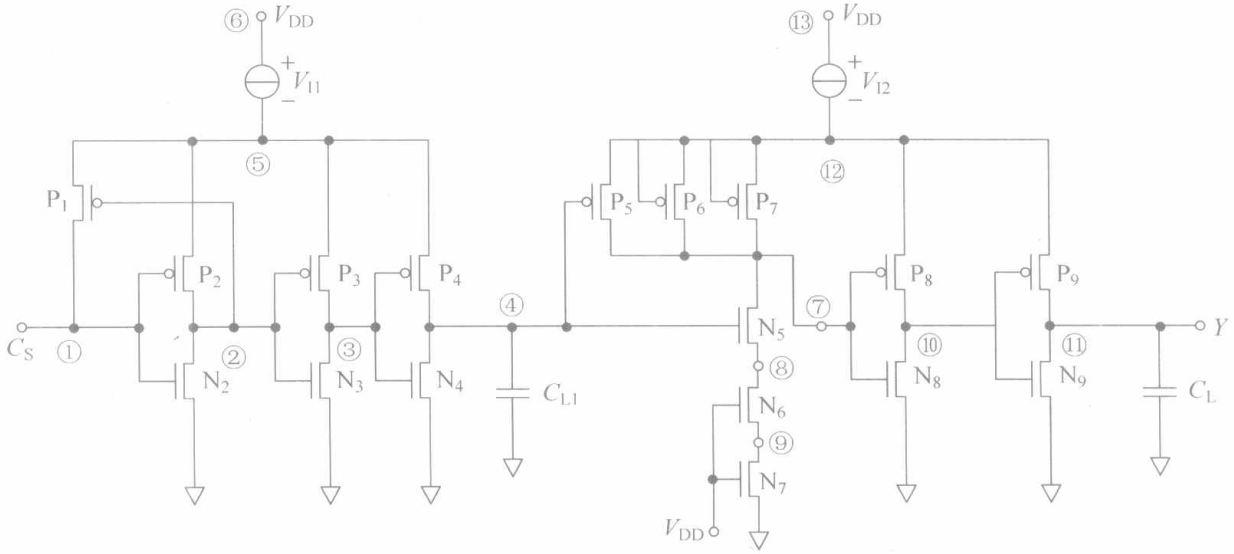


图18.12 C_S支路电路图

1. PSPICE 模拟结果

(1) 直流分析结果：当 V_{CS} 由 0.4V 变化到 2.4V，步长为 0.05V 时，得到阈值电压(转折点)$V_I^* = 1.400V$。

(2) 交流分析结果：当频率为 30MHz 时，分析 2 个周期(70ns)，可得

① t_{pLH} 值：在 $V_{CS}=1.4V$，$V_{CL}=2.5V$ 时，得到 $t_{pLH}=11.65ns$；

② t_{pHL} 值：在 $V_{CS}=1.4V$，$V_{CL}=2.5V$ 时，得到 $t_{pHL}=13.37ns$；

③ 延时值：$t_{pd}=\frac{1}{2}(t_{pLH}+t_{pHL})=12.51ns$。

(3) 交流功耗分析结果：

第一部分功耗　$P_{VI1}=2.830mW$

第二部分功耗　$P_{VI2}=15.733mW$

总功耗　$P_{total}=3P_{VI1}+P_{VI2}=24.2233mW$

(4) 沿的上升、下降时间值：由输出波形可以看出

$$t_r=3.926ns$$

$$t_f=3.852ns$$

2. 模拟结果分析

从以下三方面对模拟结果与技术指标要求进行比较，以确定所设计的电路是否满足技术指标要求。

(1) 指标要求：输出级 $t_r=t_f$；

模拟结果：$t_r=3.926ns$，$t_f=3.852ns$；

二者基本相符，因此可以认为达到了指标要求。

(2) 指标要求：从 C_S 端到输出端 Y，$t_{pHL}<25ns$，$t_{pLH}<25ns$，即 $t_{pd}<25ns$；

模拟结果：$t_{pLH}=11.65ns<25ns$

$t_{pHL}=13.37ns<25ns$

$t_{pd}=12.51ns<25ns$

可见延迟时间满足要求。

(3) 指标要求：$f_{work}=30MHz$，两个译码器的工作功耗 $P_{D,max}=150mW$，即单译码器 $f_{work}=30MHz$，$P_{D,max}=75mW$；

模拟结果：$P_D=24.2236mW<75mW$

所以功耗也满足要求。

下面为 PSPICE 模拟时的电路输入文件。

元件卡

```
Mp1   1   2   5   5   modp L=3u W=7.5u AD=75p AS=75p NRD=1.33 NRS=1.33
Mp2   2   1   5   5   modp L=3u W=7.5u AD=75p AS=75p NRD=1.33 NRS=1.33
Mn2   2   1   0   0   modn L=3u W=39u AD=390p AS=390p NRD=0.256 NRS=0.256
```

```
Mp3   3   2   5   5   modp L=3u W=46.5u AD=465p AS=465p NRD=0.215 NRS=0.215
Mn3   3   2   0   0   modn L=3u W=21u AD=210p AS=210p NRD=0.476 NRS=0.476
Mp4   4   3   5   5   modp L=3u W=118.5u AD=1185p AS=1185p NRD=0.084 NRS=0.084
Mn4   4   3   0   0   modn L=3u W=54u AD=540p AS=540p NRD=0.185 NRS=0.185
Mp5   7   4   12   12   modp L=3u W=46.5u AD=465p AS=465p NRD=0.215 NRS=0.215
Mn5   7   4   8   0   modn L=3u W=63u AD=630p AS=630p NRD=0.159 NRS=0.159
Mp6   7   12   12   12   modp L=3u W=46.5u AD=465p AS=465p NRD=0.215 NRS=0.215
Mn6   8   12   9   0   modn L=3u W=63u AD=630p AS=630p NRD=0.159 NRS=0.159
Mp7   7   12   12   12   modp L=3u W=46.5u AD=465p AS=465p NRD=0.215 NRS=0.215
Mn7   9   12   0   0   modn L=3u W=63u AD=630p AS=630p NRD=0.159 NRS=0.159
Mp8   10   7   12   12   modp L=3u W=229.5u AD=2295p AS=2295p NRD=0.0436 NRS=0.0436
Mn8   10   7   0   0   modn L=3u W=1035u AD=1035p AS=1035p NRD=0.0966 NRS=0.0966
Mp9   11   10   12   12   modp L=3u W=1138.5u AD=11385p AS=11385p NRD=0.0088 + NRS=0.0088
Mn9   11   10   0   0   modn L=3u W=495u AD=4950p AS=4950p NRD=0.020 NRS=0.020
VI1   5   6   DC   0
VDD1 6   0   DC   5
CL1   4   0   0.486pF
VI2   12   13   DC   0
VDD2 13   0   DC   5
CL   11   0   15pF
VCS   1   0 PULES(0.4   2.4   10ns 3ns 3ns 13.5ns 33ns)
```

控制卡

```
.DC          VCS          0.4          2.4          0.05
.TRAN        0.1ns        70ns         0
.PRINT       DC I(VI1)    I(VI2)
.PROBE
```

模型卡

```
.MODEL   modp   pmos   LEVEL=2      VT0=-0.7     KP=1.13E-05
+        GAMMA=0.826  PHI=0.66     PB=0.86      CGS0=1.97E-10
+        CGD0=1.97E-10  CGB0=2.61E-10  PSH=100   CJ=2.2E-04
+        MJ=0.5       JS=1.0E-4    TOX=7.0E-8   NSUB=5.0E+15
+        TPG=-1.0     XJ=8E-7      LD=2.0E-07   U0=230
+        UCRIT=6.0E+4  UEXP=0.15   VMAX=5E+4    NEFF=3.0
+        XQC=0.6      DELTA=8.0    LAMBDA=0.03
```

```
.MODEL    modn  nmos    LEVEL=2      VT0=0.7      KP=2.61E-05
+         GAMMA=1.652   PHI=0.73     PB=0.92      CGS0=1.97E-10
+         CGD0=1.97E-10 CGB0=2.61E-10 RSH=20.0    CJ=4.2E-04
+         MJ=0.5        JS=1.0E-4    TOX=7E-8     NSUB=2E+16
+         TPG=1.0       XJ=5.0E-7    LD=3E-7      U0=530
+         UCRIT=6E+4    UEXP=0.104   VMAX=1E+5    NEFF=3
+         XQC=0.6       DELTA=8.0    LAMBDA=0.03
.END
```

18.1.5 版图设计

版图设计采用 3μm CMOS 设计规则。总体布局要考虑到 74HC139 中包含两个 2-4 译码器，所以可以将其分别置于中轴线两侧。

在电源线和地线布线时，考虑到衬底接电源和内部供线的方便，将 V_{DD} 和 V_{SS} 分别置于中轴线两端。V_{DD} 在整体电路的外围并大面积接衬底，而且在通道中不走电源线。地线则在通道内行进，并供给 N 管和 P 阱的地线。一般在 P 阱中都有大面积的接阱地线，使阱电位最低。

在连线中个别时候用到了多晶硅连线，应尽量使多晶硅连线方数减小，以减小电位损失。

图 18.13 为 74HC139 总体布局图。布局时考虑了以下因素：

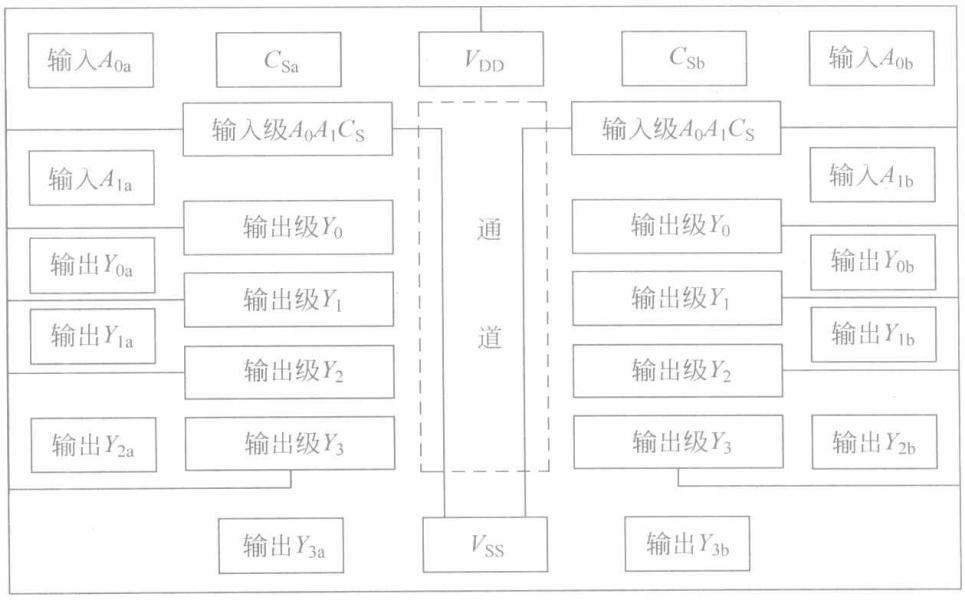


图 18.13　74HC139 总体布局图

① 考虑了引脚排列顺序，使其均匀分布四周。

② 考虑了散热原则，两个译码器分别在中轴线两侧。

③ 考虑了布线紧凑原则，为方便布线，尽量缩短布线长度，减少多晶硅连线。

④ 考虑了最小面积，即各管子尺寸以最小尺寸为原则，设计面积较小。

⑤ 考虑电源和地的分布以及接衬底和接阱问题，使得布线清晰。

⑥ 布局时考虑到电路内部大面积接电源及接地问题，因此有一块面积，专供接电源地所用。

⑦ 由于四个输入 Y_0，Y_1，Y_2，Y_3 是交替导通，即任何时候只有一个在工作，因此布局时，可较为紧密。

18.1.6 版图检查

1. 版图设计规则检查(DRC)

做 DRC 检查时应该分成小块(单元)检查。每一部分做成一个单元，每个单元进行 DRC 检查。在全部通过后，将单元组合成电路，最终做一次全版图的 DRC，以确保全图正确。

2. 电路网表匹配(LVS)检查

LVS 检查就是把由版图提取的网表文件和由电路图提取的网表文件，进行元件和节点的匹配检查。如果匹配，表明版图的连接及版图中各管子的生成是正确的。因此只要保证电路图是正确的，LVS 检查就可以验证版图的正确性。

所设计的版图通过 DRC 和 LVS 的检查后，就可用于生成 PG 带，供图形发生器制版用。

18.2 双极型集成电路的正向设计

双极型集成电路的正向设计过程和 MOS 集成电路的正向设计是一样的，但由于二者的工艺结构有很大的不同，所以，双极型集成电路的设计有其自己的特点。

18.2.1 双极型集成电路设计的特点

双极型集成电路设计中首先要考虑的问题是，元器件间需要隔离。目前已有多种隔离方式，要根据不同的要求，选择适当的隔离方式。此外，要注意减小寄生效应(寄生 PNP 管、寄生电容效应等)。

在选择电路形式时应考虑扩散电阻的特点。集成电路中的电阻是用扩散法制造的，阻值不易做得精确，但电阻间的比值可以做得较精确。这就可以选择适当的电路形式，使电路参数对电阻的精度要求不高或只跟电阻比值有关。此外，扩散电阻还有寄生效应、温度系数大等其他一些缺点，这些都应在设计时加以考虑。

注意了这些问题，就可以较顺利地设计版图和制造出合格的电路。

18.2.2 双极型集成电路中元件的图形设计

在设计集成电路中元件的图形和尺寸时，要综合考虑工艺水平的限制（如最小尺寸）和电路性能指标的要求（如最大电流 f_{CM}，特征频率 f_T，集电极串联电阻 r_{CS} 等）。下面分别介绍双极型集成电路中常用元件电阻和晶体管的设计。

1. 电阻器的设计

在给定方块电阻的情况下，根据阻值的要求，就可以决定电阻的长宽比，再根据版图设计规则和通过电流的大小以及对电阻的精度要求，适当选取它的宽度（第 3 章中已详细介绍）。

电路中的所有电阻通常是安排在一个隔离岛中，它最后的走向、形状等可在布局时决定。有时为了整个布局的合理，有的电阻可和晶体管放在一起。

2. 晶体管的设计

集成电路中对晶体管的要求主要是：①有一定的 f_T；②满足要求的开关时间；③能承受一定的电流；④具有较低的噪声系数；⑤具有一定的耐压。

在设计电路中的某一管子时，对上述各项要求不能同等地考虑，应首先弄清此管子在电路中的作用，抓住主要矛盾，设计出符合要求的管子。

例如，在逻辑电路中，对各个管子有不同的要求。对输出管来说，要求能承受较大的电流，并具有较快的开关速度和较低的饱和压降，我们在设计时就应着重考虑这几点；而对反相管来说，则要求有较快的开关速度和较高的特征频率，应该着重考虑这两点。

当然，设计工作决不能脱离工艺实际，离开工艺来谈设计是没有意义的。我们的任务是在目前工艺许可的条件下，尽可能地设计出各种符合集成电路结构要求的晶体管。当然，根据电路性能和各种新的要求，来发展新的工艺，是工艺设计的重要内容之一。

在设计完成之后，必须经过实践来检验设计是否合理。一般说来，往往要经过多次反复，才能制作符合要求的电路。现在用 CAD 工具可使设计工作更为合理，并大大缩短设计时间。

（1）一般晶体管的设计

设计步骤：①主要根据 BV，同时参照集电极串联电阻 r_{CS}、集电结电容 C_{jC} 的要求选择外延层电阻率 ρ_{epi}；②根据管子最大工作电流 I_{CM}、特征频率 f_T、基极串联电阻 r_B、集电极串联电阻 r_{CS} 确定晶体管的图形；③由 I_{CM} 确定有效发射区长度 $L_{E,eff}$；④根据以上条件和现有工艺水平确定晶体管尺寸；⑤考虑到 x_{jl} 的横向扩散及隔离槽与集电极扩散区的距离，选取隔离岛尺寸。

在设计一般晶体管时，通常是根据管子的最大工作电流 I_{CM} 决定发射区的有效长度，根据管子饱和压降要求和集电极最大工作电流，计算集电极的最大允许串联电阻，然后根据 f_T 要求并结合基本的工艺参数（如基区宽度 W_B 等），选取适当的晶体管图形，并估算集电极的串联电阻值。如果不能满足要求，则再修改图形尺寸。

常用的几种晶体管图形如下：

① 单基极条图形（适合于高频小功率管），它是集成电路中最常用的一种图形（见

图 18.14)。因为它的有效发射区长度 $L_{E,eff}$ 较短，所以允许通过的最大电流较小。又因为晶体管面积小，使之有较高的 f_T。另外由于 r_B 较大，因而不利于提高晶体管的最高振荡频率 f_M 及减小晶体管的噪声。

根据上述情况，这种管子适用于通过电流较小而要求 f_T 较高的地方，它的尺寸主要受工艺上基本尺寸的限制。

② 双基极条图形(适合于输出管)，这是集成电路中较常用的一种图形(见图 18.15)，与①相比，电流容量增加了一倍，但整个图形的面积没增加多少。所以对于大电流晶体管来说，这种图形的开关速度比①好。

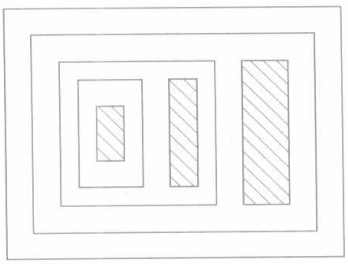


图 18.14　单基极条图形

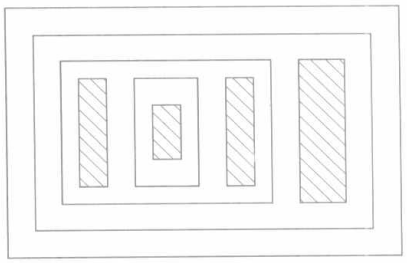


图 18.15　双基极条图形

因为这种图形的面积 S_{tr} 比①大，所以它的 f_T 比①稍低。另外它的 r_B 比①低，所以 f_M 比①高。

③ 基极和集电极引线孔都是马蹄形结构。

该结构如图 18.16 所示，它也是集成电路中较常用的一种结构。

与②相比，在发射区长和宽相同的情况下，允许通过的最大电流大致相同。r_B 也大致相同。这种结构的特点是集电极串联电阻 r_{CS} 小，所以在逻辑集成电路中输出管的图形，常常设计成这种形式。

④ 发射极和集电极引线孔是马蹄形结构。

该结构如图 18.17 所示，它和结构③允许通过的最大电流大致相同，但因为是 B，E，C 排列，所以 r_{CS} 更小。

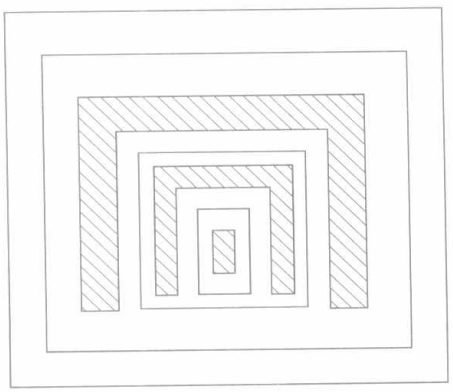


图 18.16　马蹄形结构之一

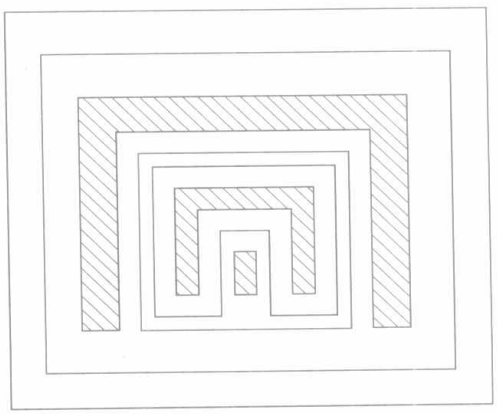


图 18.17　马蹄形结构之二

⑤ 梳形结构，该结构如图 18.18 所示，它的最大特点是允许通过更大的电流，而又保持了良好的频率特性。它虽然增加了发射区的周长，但 r_B 较小，使 r_BC_C 仍保持较小的数值，所以最高振荡频率 f_M 可以做得较高。但这种管子的发射区很窄，E 与 B 的间距又小，所以在工艺上对制版、光刻的要求很高。不仅要求掩模版的线条细，而且要求各块掩模版相互套得很准。仅在晶体管输出电流很大时才使用这种结构的管子。

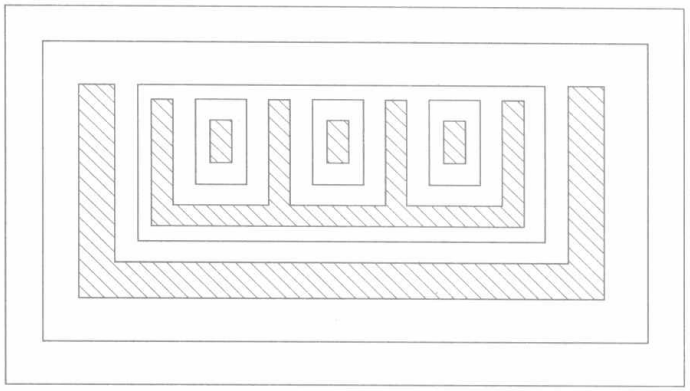


图 18.18　梳形结构

在集成电路的版图设计中，往往一块掩模版中就有几种晶体管的图形，这是由晶体管在电路中所起的不同作用而决定的，所以在设计版图前，首先要搞清楚电路中各个晶体管的作用，再决定采用哪种图形的晶体管。

(2) 特殊晶体管的设计

特殊晶体管包括多发射极晶体管和肖特基钳位晶体管 SCT、横向 PNP 管、纵向 PNP 管等。现只介绍多发射极晶体管的设计。

用多发射极晶体管(电路如图 18.19 所示)作为“与门”输入端，可以提高电路的开关速度，这是它的主要优点。它的缺点是使反向漏电流变大。输入反向漏电流包括两部分，一是发射极之间的交叉漏电流，即其他发射极正偏时引起的电流；另一是反向漏电，即集电极正

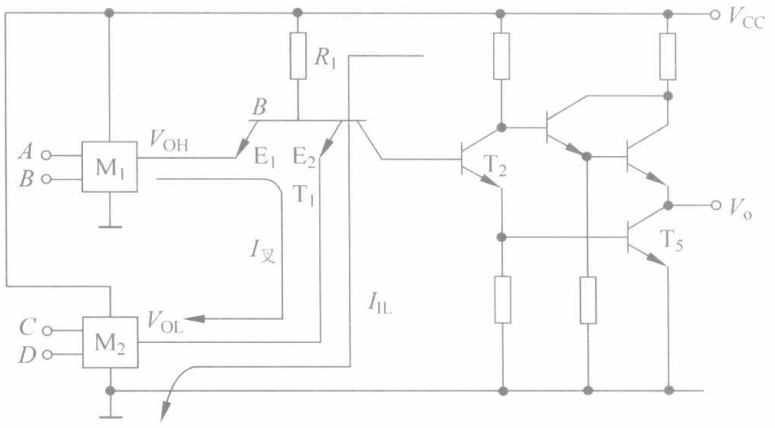


图 18.19　多发射极晶体管的电路图

偏时所引起的电流。为了将反向漏电限制在允许的范围之内，在版图设计中必须采取一定的措施。由图可见，若 M_1 输出为 V_{OH}，M_2 输出为 V_{OL}，则在静态时，流经发射极 E_2 的电流有两个：一个为横向 NPN(E_1BE_2)的交叉漏电流 $I_{叉}$，它的大小与 T_1 管的交叉放大系数 $\beta_{叉}$ 有关。E_1 本来应该是截止的，现在却有了 $I_{叉}$ 这个比较大的漏电流，这是多发射极结构带来的不利因素，应使 $I_{叉}$ 越小越好；另一个是由 V_{CC} 经 R_1，T_1 的基极再从 E_2 流出到地的电流 I_{IL}，即平时所说的输入短路电流。这两股电流都是灌入前级 M_2 门的 T_5 管的负载，它的数值越小，说明前级门 M_2 能驱动的负载个数越多。

在动态工作时，当本级的输入端由高电平跃变为低电平，而 T_2 管还未截止时，由于 T_1 管的放大作用(用 β_F 表示)，有一个很大的过驱动反向基极电流(反向抽流)把 T_2 中的超量存储电荷抽出，由 T_1 的收集极经它的 E_1 极到地，使 T_2 很快脱离饱和。这股电流也流入前级的 T_5 管，加大了前级低电平输出时的负载，这是不好的；但对 T_2 脱离饱和态，加速电路的翻转，提高电路的开关速度，是很有益的。利弊相比较，利是主要的，从这点来讲希望 T_1 管的正向放大系数 β_F 越大越好。

当 T_1 管的输入均为高电平，输出为低电平时，T_1 的发射极当成了收集极，收集极当成了发射极，即 T_1 处于倒置工作状态。此时，当然希望 T_1 的反向放大系数 β_R 越小越好。

综上所述，对多发射极 T_1 管的要求是：β_F 要大，$\beta_{叉}$，β_R 要小。

关于 β_F，通过正常工艺，控制比较小的基区宽度 W_B 和较大的发射区浓度，搞好清洁处理，就可使 β_F 达到比较大的合适值。

下面讨论的重点是如何减小漏电流，即如何采取措施减小 $\beta_{叉}$ 和 β_R。为此常把 T_1 的基区设计成长脖子形状，且把基极引线孔开在长脖结构远离发射极的那一端上，如图 18.20 所示。其指导思想是：把发射极接触与基极接触之间的距离拉长，把收集极接触与基极接触之间的间距缩小。由等效原理图知，长脖子基区引进了附加电阻 $r_{BB'}$，当电流由基极接触孔流入，势必在 $r_{BB'}$ 上产生一定电压降，该电压降对未进入饱和及进入饱和两种情况的影响是不同的。

当 T_1 未饱和时，BC 结反偏，此时 $r_{BB'}$ 的值附加在 R_1 上，其影响只是减小了基极电流。

当 T_1 倒置运用(反向有源)时，BC 结正偏，BC 结向基区有注入，由于 $r_{BB'}$ 的自偏压截止效应，BC 结只有在靠近基区接触的少部分结面，才有强的发射作用，且由于发射结面积 A_E 小于收集结面积，即使注入进去的电流也不能被 A_E 收集，如图 18.20(b)中的箭头所示。此时 BC 结的有发射作用的有效部分只相当于一个二极管，没有放大作用，这样，当 T_1 管反向运用时，其反向电流放大系数 β_R 就很小，一般可认为 $\beta_R \leqslant 0.5$。此外，要让长条铝层短路基区的各个部分等位，以使各个 E 对应于相同的 $r_{BB'}$。

另外，把 E 电极与 B 电极拉得很远，且使各个 E 极也相隔较远，也可使 $\beta_{叉}$ 很小。

实验证明，只要长颈部分引入 2～3 方电阻(相当于 400～600Ω)，就可使反向漏电流控制在 10μA 以下，而不会引起电路其他性能的变坏，如不会使 V_{CES} 上升或使 I_B 下降。

因为流过 T_1 管的电流不大，所以一般 T_1 的图形可用最小、最简单的图形尺寸。

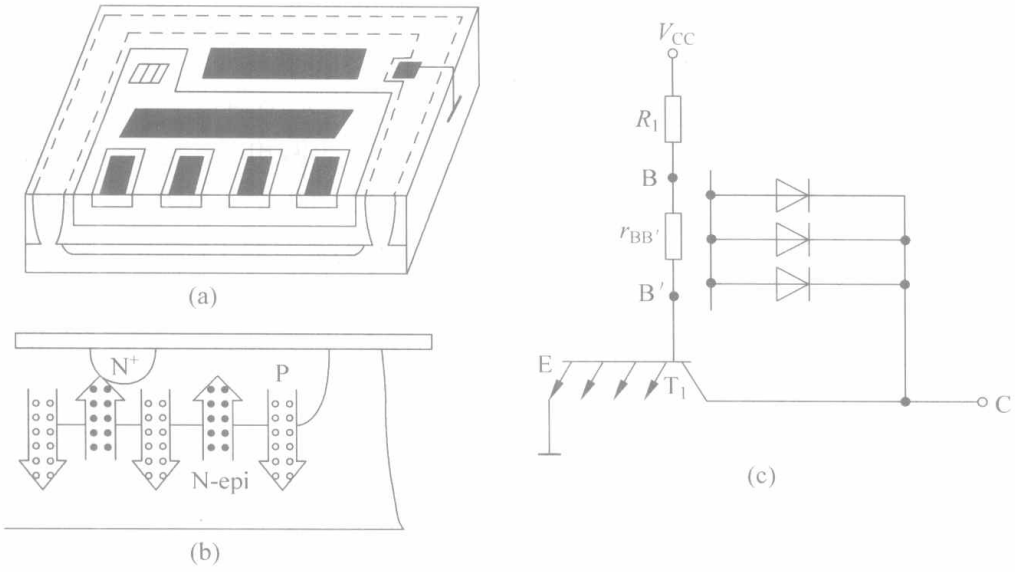


图 18.20　多发射极晶体管剖面图

(a) 立体示意图；(b) 长脖基区剖面图；(c) 长脖基区等效原理图

18.2.3　双极型集成电路的版图设计原则

IC 的版图设计已把电路和工艺融为一体，所以一般较复杂的电路都是先做一试验电路(或单元电路)，根据试验电路的测试结果获得有关电路功能和电路参数的第一手资料。如设计是否正确(功能)以及晶体管的参数(f_T，β，t_S，I_{CM}等)是否符合要求，还要了解各元件的允许公差(如 β 范围)，管子漏电流的大小，哪些电阻的精度要求高，哪些可低些，以及如果元件的数值偏离了设计值，会对电路特性带来些什么影响等。掌握了这些资料，就可以根据元件的不同要求，在设计中采取相应的措施，保证电路达到设计指标，必要时，还要调整个别工艺或工艺参数(如 t_{ox}，x_j，R_S及注入剂量等)。

当然，设计出来的版图要经过实践不断加以改进，一个成熟的产品一般都要经过几次改版才行。

双极集成电路版图设计的基本原则如下：

(1) 版面面积最小。从隔离区数目、隔离区面积、压焊点所需面积及元件互连所需的面积这四方面着眼，尽量减小管芯的面积。这不但可以减小寄生效应的影响，而且对提高电路的成品率也有好处。

如图 18.21 所示的最小面积晶体管，隔离框内管芯面积为 $6864\mu m^2$，如果槽宽 $d_1=10\mu m$，则每个最小晶体管所需隔离槽面积为 $3800\mu m^2$，每条隔离槽为两相邻隔离岛共用，所以每个最小面积晶体管所需的隔离槽面积为 $1900\mu m^2$，为内管芯面积的 1/3～1/4。

(2) 受隔离结寄生电容 C_{jS}影响大的那些隔离区面积应尽可能的小。

(3) 电极引出线的排列必须与封装要求一致，在电路周围要均匀排列。在电路使用时

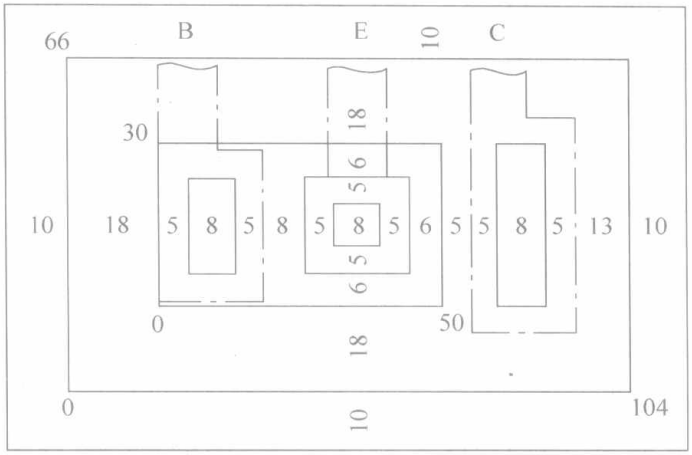


图 18.21　最小面积晶体管

需经常连在一起的两个引出线，应安排在相邻的压焊点上，以减小外引线过长而引起的寄生效应。

(4) 铝引线的排列应注意以下各点：

① 尽量短些、宽些，在高频及高阻抗的电路中尤应注意这点。

② 不能相交，无法避免相交时，可用交叉连线。

③ 为避免寄生耦合，铝线不能跨越管子，但可跨过电阻。

④ 为防止短路及减小场效应，铝线应尽量不在最后一次扩散层上跨过，可使铝线爬在厚氧化层上。

⑤ 布线图形越简单越好。

⑥ 电源线、地线、输入引线、输出引线、低电阻引线的铝条要宽些，引线孔要开得大些，甚至排为一排。

(5) PN 结隔离的隔离槽必须接最低电位。

(6) 所有电阻器原则上可放在同一隔离岛内，该隔离岛应接至最高电位以保证电阻器的 PN 结在任何条件下都处于反偏状态，且可减小寄生电容。

(7) 集电区接最高电位的晶体管可放在电阻的隔离岛上，不必另设隔离岛，以减小面积。

(8) 电路的输入端和输出端之间的间距应尽量安排得大些，防止输入级和输出级之间发生寄生耦合。这点在高频电路中应特别注意。

(9) 对要求匹配，并且温度变化要求一致的晶体管(如差放中的对管、恒流源中的对管等)，应放置在相邻区域并对称放置，其图形大小、方向、形状最好都一样。这样既减小了因材料和工艺中的不均匀性所造成的管子参数的差异，又能使管子的工作温度大致相同。考虑到后者，在发热元件布局时，应尽量分布得均匀一些，不使热量过分集中在芯片的一角。这点在线性电路设计中尤应引起注意。

(10) 由于线性电路的通用性比逻辑电路差，所以在设计版图时应引出必要的接点，使电路得以外接元件，增加电路应用的灵活性。

(11) 以上有关尺寸的设计必须符合版图设计规则。

评价版图好坏的几个因素是：①符合原电路设计指标；②面积最小；③成品率高；④可靠性高；⑤具有可测试性(例如有中间抽头、测试电路)。

18.2.4 双极型集成电路版图设计举例

常规的双极型逻辑电路(即标准 PN 结隔离)在制造中要经过 6 次光刻工序，它们是隐埋层光刻(M_1)、隔离光刻(M_2)、基区光刻(M_3)、发射区光刻(M_4)、接触孔光刻(M_5)和金属互连线光刻(M_6)。因此要用 6 块光刻掩模版，绘制版图的目的就在于制作光刻掩模版。

在 IC 中，晶体管的图形、电阻的阻值以及它们的位置都是由光刻掩模版决定的，产品的质量、成品率在很大程度上也取决于它。要使设计出来的版图在现有工艺水平下取得最好的效果，应如我们前面所讲的那样：一方面应根据电路原理，充分了解各元件的情况和它们对电路参数的影响；另一方面还必须从现实的工艺情况出发，合理选定某些工艺参数，作为版图设计的基本依据之一。

在基本工艺参数和电路图已经确定的情况下，版图设计的步骤大致如下：

(1) 分析电路的工作原理，估算各元件的工作电流。

(2) 划分隔离区。每个隔离区对整个版图来说可作为一个单元，在版图中调动位置时，可作为一个整体，每个隔离区中的内容完全可以独立设计。一般来说，每个晶体管各单独占一个隔离区，但对共集电极的 NPN 管(或共基极的 PNP 管)则可共用一个隔离区。

几个基区电阻可以共用一个隔离区，但因为电阻岛的形状往往由晶体管的布图决定，为了整个布图的合理，不一定所有的电阻都放入一个隔离岛，而有的电阻则可和晶体管放在一个隔离区内，以有利于布局和节省面积。

各个压焊点也要有单独的隔离岛，以防止压焊点之间发生短路。这样，即使每个压焊点下的氧化层都存在缺陷，造成 Al 层与下边的外延层相通，也不会造成压焊点之间短路。

(3) 画元件图。即根据晶体管的最大工作电流或集电极串联电阻的要求，结合基本工艺数据选定它们的图形和尺寸，使几方面的要求都得到满足。

电阻的尺寸可先根据工作电流和精度要求并结合设计规则选定它们的宽度，再根据阻值要求和选定的方块电阻值计算它们的长度。

绘元件图的目的之一是先对每个元件形状和占用的面积有初步的设想，以便进一步考虑布局。在布局过程中，对某些元件图还可根据具体情况进行适当调整。

(4) 布局和元件图形的最后确定。布局过程就是确定每个元件在版图中所处的位置。

元件位置的安排主要考虑互连方便、连线短、布局紧凑。对引出线的顺序如果有统一规定，则考虑版图布局时首先应根据压焊点的位置来安排某些元件。这是因为压焊点的分布要符合管壳外引线的排列次序或与标准电路一致。

在布局过程中元件的图形和尺寸可适当进行调整，特别是电阻的形状和走向，灵活性很大。整个布局力求紧凑，最有效地利用整个面积。

(5) 布线。按照电路的连接关系把各元件连接起来。布线时要遵守布线的规则，如连线要短，要防止不同电位的连线交叉等。

以下列举两个版图设计的实例。

1. 五管单元与非门的设计

五管单元与非门的电路图如图 18.22 所示，它是国产 5JZ12 与非门。

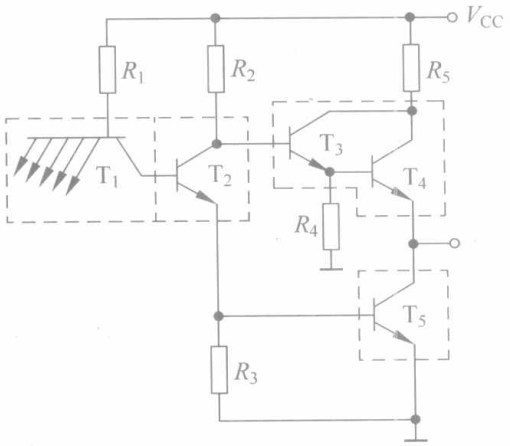


图 18.22　国产 5JZ12 与非门电路

(1) 决定隔离区数目

此电路共有 5 个隔离区(压焊块除外)，如图中虚线所示，如包括 10 个引出端压焊块，则共要 15 个隔离区。

(2) 确定端头的排列及引出端数

对所有的电路来说，输入、输出、电源、接地这些引出端是必需的，对于 5JZ12 与非门电路来说，这 4 部分的引出端数目共有 8 个(输入端有 5 个)。另外，它还有 2 个扩展端，它们分别从 T_2 的发射极和集电极引出，所以共有 10 个引出端。

在设计版图时应考虑到压焊点的排列，不应使引出线相互跨越，以免造成短路。使用时常连在一起的 2 个引出线要尽量排在一起。

(3) 确定元件尺寸

根据以前介绍过的方法，来决定晶体管所用的形式并估算它的尺寸。

由电路分析知，此电路中 T_2，T_5 饱和(且 T_5 为输出管)，要通过较大的电流，所以可采用马蹄形结构。T_4 的瞬态电流很大，所以发射极有效长度也要大些。T_3 管不通过大电流，采用单基极条结构就可以了。多发射极晶体管 T_1 及电阻的设计可参考前面介绍的知识来进行。

隔离岛的最小尺寸，可按元件的形状，加上隔离槽与元件的间距(一般可取外延层厚度的两倍)来决定。在实际的版图中，考虑到布局、布线等因素，隔离岛的实际尺寸稍大于上述的最小尺寸。

(4) 画布局布线草图

画此草图的目的是：①大致安排一下各元件的位置；②画出内连线的连接图形，使满足设计原则中对 Al 线的要求(如连通、无交叉等)。

对此电路来说，考虑到电路引出端的排列，我们希望输出管 T_5 安排在右下角，隔离槽的接点地放在右角，电源接点安排在左下角。这样，多发射极晶体管 T_1 以及 T_2 分别安排在左上角及右上角就较为适宜了。

这一布局使压焊点离引脚最近，不会发生热压引线交叉的现象。

布局、布线草图如图 18.23 所示。由图可见，内引线中只有一条连线(R_3 接到 T_5 管基极)跨过电阻 R_4，其余连线都没有跨过元件，这是符合设计原则的。必须注意，电阻隔离岛要接最高电位，即接电源电压，隔离槽接地。

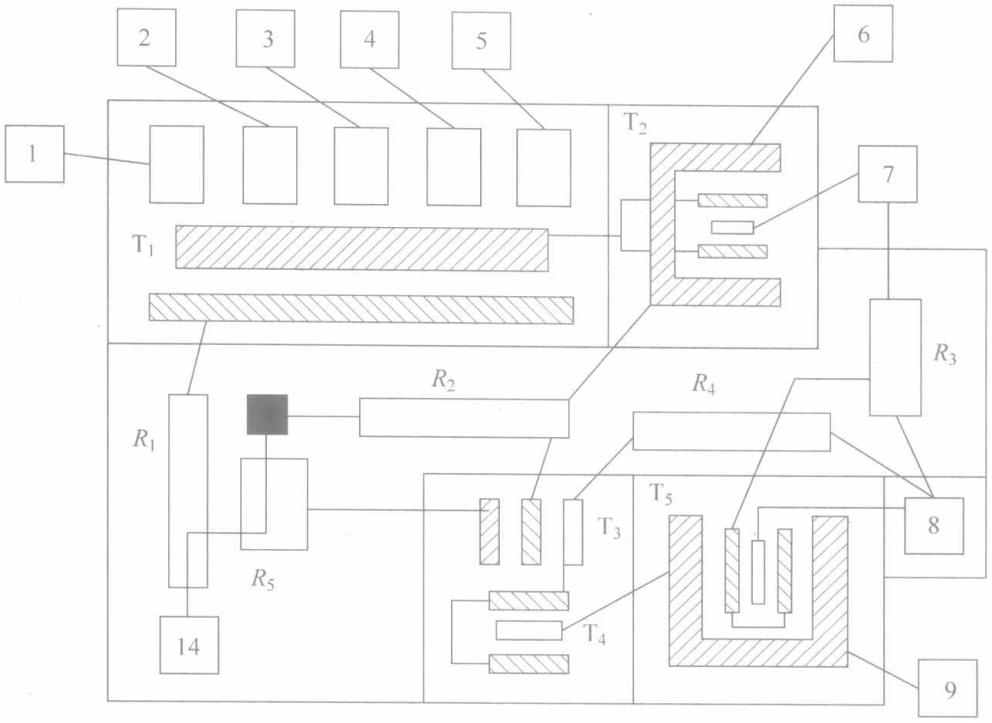


图 18.23　布局、布线草图

(5) 绘制 IC 版图总图

根据布局布线草图，以一定的放大倍数把 IC 的平面布局布线图画在坐标纸上，称之为总图(见图 18.24)。在描绘总图时，除画下各元件尺寸、隔离槽及内外引线外，还要在管芯的周围画上压焊块作为压焊用。压焊块的尺寸根据压焊方式和设备情况而定。要在压焊块下的 N 区制造隔离区或进行 P 型基区扩散。

实际版图上还有制版、光刻或监测工艺的符号及图形(微电子测试图形)，这里略去。

2. LSTTL 与非门电路的版图设计

图 18.25 所示的 LSTTL 与非门(54LS00)的版图设计过程与 TTL 与非门是一样的，只是在电路中以 SBD 代替多发射极输入晶体管，以 SCT 代替可能饱和的一般晶体管。在 STTL 电路中，SBD 性能的好坏对 LSTTL 电路的性能与成品率影响很大。下面主要对 SBD 和单元图形设计的某些特殊考虑作些介绍。

在 LSTTL 电路中，对 SBD 的主要要求是合适的正向压降 V_{MS}、高的击穿电压 BV 以及小的串联电阻 r_S 和电容效应。

下面，以图 18.25 中输出管 T_5 为例来说明 STTL 电路输出管设计中一些需要特殊考虑的问题。

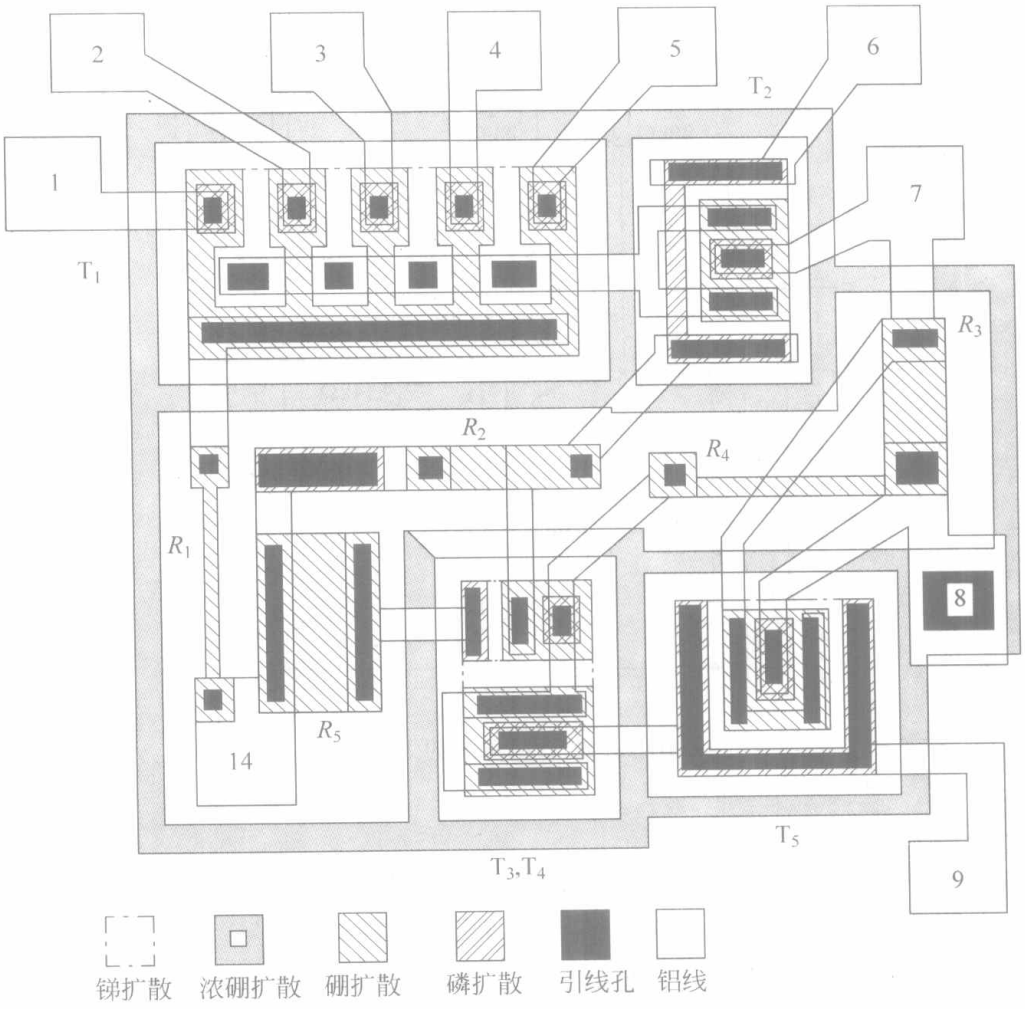


图 18.24　5JZ12 门电路的电路版图总图

因为 T_5 管是低电平输出管，所以首先要考虑电流容量和输出低电平 $V_{OL}\leqslant 0.4V$。

由电路分析知，灌入 T_5 管的最大瞬态电流为

$$I_{C5,max} = I_{R5,max} + I_{OL,max} \approx 32mA$$

若取单位有效发射区周长可允许的电流 $\alpha_E = 0.4mA/\mu m$，则 T_5 管的有效发射区周长 $L_{E5,eff}$ 为

$$L_{E5,eff} = \frac{I_{C5,max}}{\alpha_E} = 80\mu m$$

T_5 管的输出低电平 V_{OL} 的最大值 $V_{OL,max}$ 与 T_5 管 SBD 的 V_{MS5}，T_5 管的集电极串联电阻 r_{CS5} 以及最大输出电流 $I_{OL,max}$ 有关，其关系为

$$V_{OL,max} = V_{BE5} - V_{MS5} + I_{OL,max} r_{CS5}$$

54LS00 电路对 T_5 管 SBD 的性能要求为击穿电压 $BV \geqslant 15V$，$V_{MS}/I_F = 0.5V/0.4mA$，即当通过 SBD 的电流 $I_F = 0.4mA$ 时，SBD 两端的电压 $V_{MS} \approx 0.5V$。现在要求在 $I_{OL,max} = 4mA$，$V_{MS5} = 0.5V$，$I_F = 0.4mA$ 时，输出低电平 $V_{OL}\leqslant 0.4V$，因而 T_5 管集电极串联

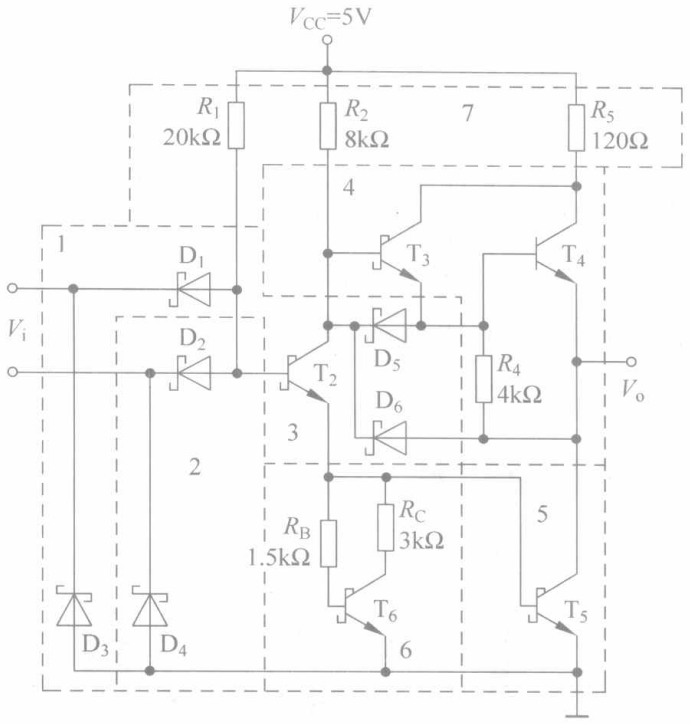


图 18.25　隔离区的划分

电阻值 r_{CS5} 应小于 25Ω。

T_5 管的钳位 SBD 的设计过程如下。由式(2.31)知，SBD 两端电压为

$$V_{MS}(I_F) = V_{DF}(I_F) + I_F r_S$$

即 $V_{MS}(I_F)$ 与 SBD 的导通电流 I_F、导通电压 V_{DF} 及 SBD 的串联电阻 r_S 有关，而 SBD 的串联电阻 r_S 与 SBD 的面积有关，所以 SBD 的设计主要是在给定 V_{MS} 和 I_F 的情况下设计 SBD 的面积。现假定 $V_{MS5}=0.5\text{V}$，$I_F=0.4\text{mA}$（此时 SBD 的导通电压 $V_{DF}\approx 0.45\text{V}$），对于由 Al-NSi 形成的 SBD，其 φ_B 为 0.72V，将这些数据及实际结温 $T=325\text{K}$ 代入式(2.29)，可求得 T_5 管 SBD 的面积 S_5 为

$$S_5 = \frac{4\times 10^{-4}\mu\text{m}^2}{112\times 325^2}\exp\left(\frac{0.72-0.45}{0.026}\right)\approx 109\mu\text{m}^2$$

此外，为了提高电路的速度，还要求 T_5 管的基极串联电阻小，以减小 C_{C5}，C_{E5} 的充放电时间，改善电路的瞬态特性。

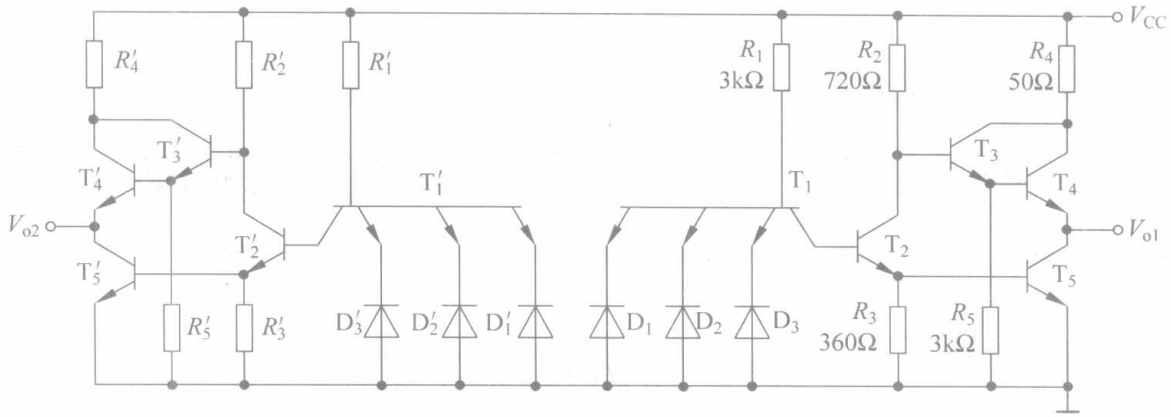
综合以上要求，通常 T_5 管设计成长发射极条，采用深 N^+ 集电极接触工艺和 B,E,C 顺序电极排列，或双基极、马蹄形集电极结构。

复习思考题

18.1　以设计 TTL 与非门为例，说明如何设计双极集成电路版图。

18.2　图题 18.2 是个双与非门电路图，分析它至少需要多少个隔离岛，试画出它的元

件草图和元件排列草图。



图题 18.2

18.3　画出二极管保护、栅调二极管保护、厚栅开启保护和源漏穿通保护的电路及版图示意图。

18.4　画出硅栅 E/D 反相器的版图示意图，要求其中的$(W/L)_D=10/5$，$(W/L)_E=50/5$（D 管的 S，G 端用埋孔连接）。

第 19 章　集成电路的芯片解剖

19.1　MOS 集成电路的芯片解剖

在第 17 章中已经介绍，集成电路的解剖分析（又称芯片解剖）有其特殊的作用，下面以 74HC193 为例来介绍 MOS 集成电路芯片解剖的全过程（不包括纵向尺寸的提取和电学参数的测量）。该电路是采用硅栅 P 阱 CMOS 工艺，其输出级和 TTL 电路兼容。

19.1.1　74HC193 芯片概况

74HC193 为高速 CMOS 器件，内部以 T 触发器为核心，附以时钟 CP 的产生网络、借位/进位网络、清零/寄存电路，共同构成十六进制的可逆计数器。

74HC193 外部引脚图如图 19.1 所示，逻辑真值表如表 19.1 所示，74HC193 时序关系如图 19.2 所示。

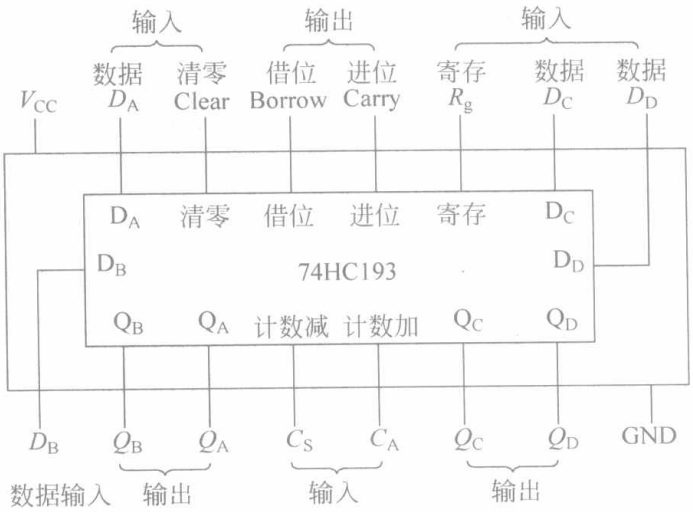


图 19.1　74HC193 外部引脚图

表 19.1　74HC193 逻辑真值表

计数		清零	置数	功能
递增 C_A	递减 C_S	Clear	R_g	
⌐↑	H	L	H	计数递增
H	⌐↑	L	H	计数递减
×	×	H	×	清零
×	×	L	L	置数

注：H 为高电平，L 为低电平，⌐↑ 为低到高转换（上升沿），× 为任意。

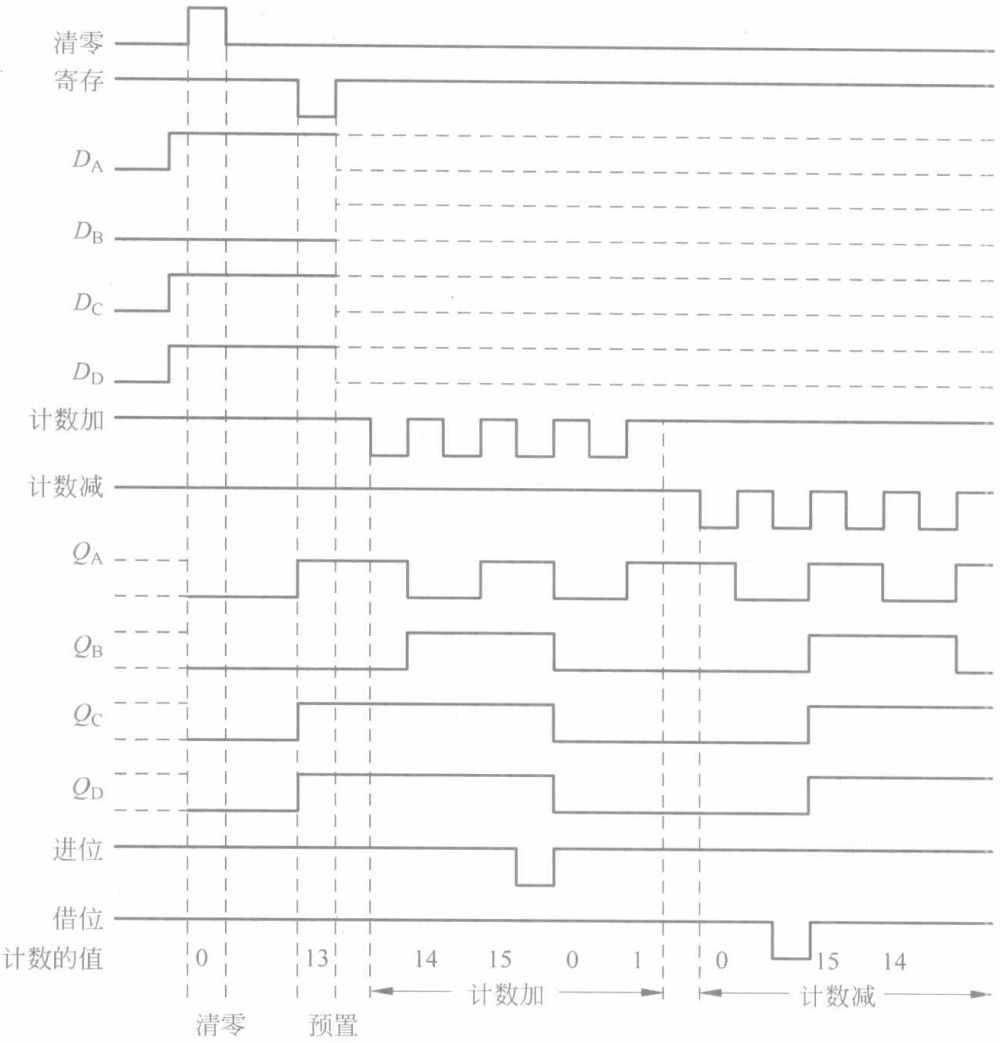


图 19.2　74HC193 时序关系图

19.1.2　芯片解剖过程

芯片解剖的要求是从提供的芯片放大照片中提取电路图中各管子的尺寸，提取设计规则和布局布线，然后分析电路中的时序逻辑关系、输入输出及内部电路的特点。

74HC193 芯片解剖的全部过程如下。

(1) 拼图。一般需要两种芯片照片，一种为有 Al 线的照片，表面黑白分明，由于 Al 线反光，形成白色，所以看不到具体的管子；另一种为无 Al 线照片，可以看到各有源区、栅、多晶电阻等。

在开始拼接时，按序号顺序排好，寻找相邻照片的共同点，将后一张压在前一张上并粘住。要注意，由于照片本身有一些偏差，不可能完全对上，因而取最重要部分能重合即可，不一定要求全部对接得很好。拼图时应从中心部分开始向四周粘，这样可以保证中间部分较好重叠，而外部则可放低要求。

(2) 标注。由引脚图寻找对应的电源 V_{DD} 和 GND 的压焊块，找到后，确定输入输出压焊块，并注明功能、标号。

(3) 分块。从压焊块出发，经输入输出电路向内部走线，找到各输入端在内部的入口及各输出端在内部的出口，并作标记。由此将版图分成若干个功能块，由输入信号确定各功能块的功能。

(4) 对各功能块进行分析。例如，以 A 单元(输入端为 D_A)为例对 T 触发器模块进行分析。从 D_A，Clear，R_g 端向内部一级级深入分析，依次用 P_1，P_2，…，P_N 和 N_1，N_2，…，N_N 进行编号，且一个管子编一个号，编号有利于后面量取管子的宽长比 W/L。

又如把时钟控制电路 CP_A，CP_B，CP_C，CP_D 作为一个运算网络用上面方法编号处理可得到时钟信号网络。

(5) 将各逻辑功能块连在一起，画出总体逻辑图，提取各输出端逻辑表达式，进行时序逻辑分析。

(6) 提取设计规则，量取各管的宽长比标于电路图上，分析电路的特点。

(7) 分析版图上的防止 Latch-up 效应的措施。

(8) 提取版图的布局布线，分析布局布线的整体特点。

(9) 研究 P 阱和衬底接电位的问题。

19.1.3 电路分析

1. 输入电路

输入电路一般是由压焊块、电阻 R、两个二极管和两级(或一级)反向器组成的，如图 19.3 所示。

由于此处两个二极管很近，有寄生 PNPN 效应，所以采用了保护环结构，抑制 Latch-up 效应。

输入的信号是经过 C_1，C_2 两级(或 C_1 一级)反相器而加入到内部的。图 19.1 中数据端 D(图中的 D_A，D_B，D_C，D_D)、清零端 Clear、寄存端 R_g 为两级反相器，而 C_A，C_S 端为一级反相器。

二极管导通电阻 $r \ll R$，这样有利于栅上感应的电荷迅速泄放。

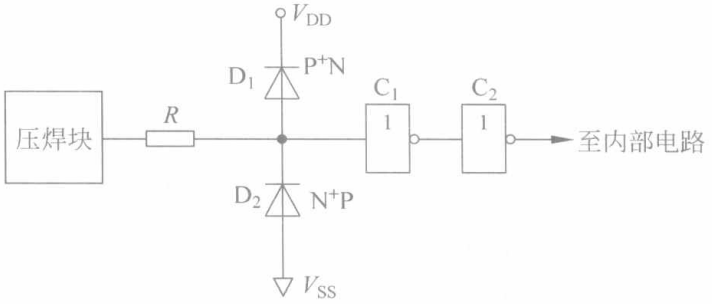


图 19.3　一般的 MOS 输入保护电路

一般两级反相器中的第一级起缓冲级作用，第二级作为驱动级。输入压焊块端的信号可能会不稳定，不是正常的高(V_{CC})低(0)电平，经过 C_1 缓冲作用，使电平匹配，也即对波形进行整型。这样通过 C_1 的波形是确定和稳定的，而后去驱动 C_2。C_2 是直接驱动内部电路的管子，尤其是 Clear，R_g，D，都要给几个门供信号，因此更需要有较强的驱动能力。所以 C_2 的 W/L 大于 C_1 的 W/L，同时 C_2 也可以进一步整形。

对于 C_S，C_A 输入端，由于相对于前几个信号来说，后级门数及管数均少，且对输入电平质量要求不高(因为时钟电路网络中有较好的对称性)，所以只需一级反相器。C_S，C_A 这一级反相器既作整形又作驱动，所以它的 W/L 介于 C_1 和 C_2 之间。

通过量取的尺寸可知，Clear 的 W/L 大约为数据端 D 的 W/L 的四倍，这是因为 Clear 后面给四个模块供信号，D 只给一个模块供信号。而 Clear 的 W/L 比 R_g 的又稍大一些，因为 Clear 属于强制性清零，驱动能力要求更大。

2. 输出电路

输出电路一般由 M_1，M_2 两级反相器构成，如图 19.4 所示。M_1 相对 M_2 来说 W/L 略小，它只驱动 M_2，起到匹配和整形作用。而 M_2 的 W/L 非常大，这主要是由于本电路是与 TTL 电路相兼容的，而 TTL 作为 M_2 的负载，使 M_2 的电容负载和电流负载都是很大的。一般 M_2 的 $(W/L)_N$ 在 1000 左右，而 $(W/L)_P=2000\sim3500$，由于 N，P 各管 W/L 很大，其 $R_{ON,N}$，$R_{ON,P}$ 都可以很小，在输出高低电平时 $V_{OL}=I_{灌}R_{ON,N}$，$V_{OH}=V_{CC}-I_{拉}R_{ON,P}$，则 V_{OL} 可以较低，而 V_{OH} 较高。

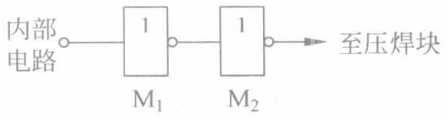


图 19.4　输出电路

为了达到充放电的匹配，一般 $(W/L)_P/(W/L)_N=2\sim3$。

输入输出电路由于 W/L 较大，所以往往采用折线栅和并联管子的方法以减小面积，尤其是输出电路更是如此。

3. T 触发器模块(见图 19.6)

T 触发器中凡是单反相器的情况，为了使电路充放电速度相等，波形对称，一般都取 $(W/L)_P=2(W/L)_N$。

T 触发器中的与非门，依旧以充电放电速度相等为标准，考虑最坏情况，若二输入与非

门 N 管都导通，并联 P 管有一管导通，则要求 N 管的$(W/L)_{\text{N与非门}}=2(W/L)_{\text{N单}}$，而$(W/L)_{\text{P与非门}}=(W/L)_{\text{P单}}$，即对于二输入与非门，单个 N 管、P 管的$(W/L)_{\text{P}}=(W/L)_{\text{N}}$；对于三输入与非门，单个 N 管、P 管的$(W/L)_{\text{P}}=\frac{2}{3}(W/L)_{\text{N}}$。从实际测量参数看是满足此关系的。

T 触发器中的或非门，为了满足充放电速度匹配和对称要求，对于一般 n 输入或非门应有：$(W/L)_{\text{N或非门}}=(W/L)_{\text{N单}}$，$(W/L)_{\text{P或非门}}=n(W/L)_{\text{P单}}$。

一般$(W/L)_{\text{P单}}>(W/L)_{\text{N单}}$，因此或非门面积较大。应该尽量以与非门代替或非门，以减小面积。但有时用与非门代替或非门会增加电路的延时，因此不能仅仅为了减小面积而放弃或非门，应综合进行考虑，在 74HC193 电路版图中就多处用到或非门。

T 触发器中传输部分传输门的 W/L 要大于自保回路的传输门(TG_2，TG_4)的 W/L，这是由于传输部分要求速度快，且有强驱动可以覆盖原来信号。但 74HC193 电路中 TG_1 和 TG_2，TG_3 和 TG_4 是各自相等的。

主触发器 TG_1，TG_2 的(W/L)小于从触发器 TG_3，TG_4 的(W/L)，这是由于主触发器只是驱动从触发器，而从触发器则要驱动外部的许多负载，要求有强大的驱动能力。

一般来讲，传输门的 W/L＜控制网络的 W/L＜输出端的 W/L。这也是驱动能力的要求，输出端驱动能力应该最强。

4. 时钟信号生成网络

本部分有 4 个时钟信号生成网络，各网络内部是很对称的，而各部分的管子对应参数又是完全相同的。

由于 CP 部分许多只是驱动内部门，所以 W/L 都较小，最大不超过 40/3。

在 CP 部分的电路中，有一处采用了双管并联栅交叉连接形式，如图 19.5 所示。这样，使得当输入信号 A，B 无论是哪一个先到，其放电速度都是相等的，保持了放电、充电的均衡，从而保证了对时钟信号沿的比较严格的要求。

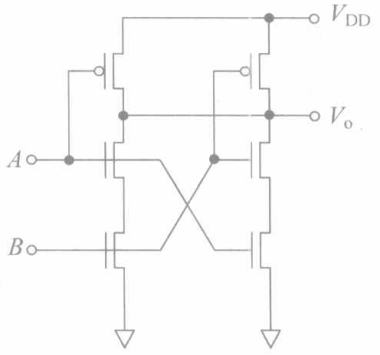


图 19.5　双管并联栅交叉连接形式

5. 进位、借位运算网络

进位、借位部分的电路是完全对称的，只是输入信号不同而已。电路采用了或非门和与非门结构，这部分电路的管子尺寸较小，一般$(W/L)_{\text{N}}=30$，输出级部分稍大一些。

在各级运算中 C_{S}，C_{A} 用的是反信号作为输入。

从总体上看，在输入输出部分，管子驱动能力强，W/L 大；内部功能块部分，管子的 W/L 则较小。时钟部分尤其如此。

一般内部电路 $k_{\text{P}}/k_{\text{N}}=2$，而外部 $k_{\text{P}}/k_{\text{N}}>2$，这样可以保证较强带负载能力。

19.1.4　逻辑功能的分析

本电路的核心部分是主从型的 T 触发器，利用 4 个 T 触发器外加辅助的运算网络，共

同构成了同步计数器。

1. T 触发器

原始的主从 T 触发器，如图 19.6 所示。其结构实际上是 D 触发器加一反馈，将 $\overline{Q}$ 接回 D 端。当 CP 上升沿来时，TG_1，TG_4 传输门打开，TG_2，TG_3 传输门关闭，有 $A=D=\overline{Q}$，$B=\overline{D}=Q$，$E=Q$，$F=\overline{Q}$，$G=\overline{Q}$，输出保持不变，同时输出的反信号 $\overline{Q}$ 进入到主触发器。当 CP 下降沿来时，TG_1，TG_4 关闭，TG_2，TG_3 传输门打开，使主触发器保持 $A=\overline{Q}$，$B=Q$，$C=\overline{Q}$（自保回路形成），从触发器将新值移入：$G=B=Q$，$E=\overline{Q}$，$F=Q$（这时的 Q 是指前一周期时输出的 Q）。

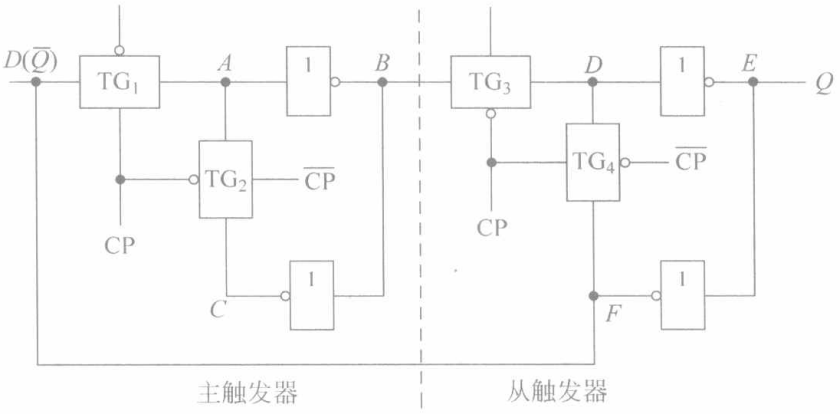


图 19.6　原始的主从 T 触发器

可见一个时钟周期后，新的值打入到从触发器，使得 Q 值翻转。由此看出，CP 下降沿使输出翻转。而由后面的分析可以看出，CP 对应计数加（C_A）或计数减（C_S）的上升沿，所以是上升沿触发。

实际电路中的 T 触发器如图 19.7 所示。由其中逻辑图可以看出，为了能够增加清零和置数功能，将原始的 T 触发器中反相门部分由与非门代替，且增加的输入端 P 和 N 是经过 D_i，R_g，Clear 的运算网络加入的，即有

$$P=\overline{D_i \cdot N \cdot \overline{R_g}}=\overline{D_i}+R_g+\text{Clear}$$

$$N=\overline{\text{Clear}+\overline{D_i+R_g}}=\overline{\text{Clear}}(D_i+R_g)$$

当清零输入端 Clear＝0 时，对内部无影响。当 Clear＝1 时，$P=1$，$N=0$，强制使 $F=B=1$，$C=0$。也就是说，当 Clear＝0 时，其他功能工作；当 Clear＝1 时，无论其他端为何状态，电路清零。

在 Clear＝0 时，又可分为两种情况：

当 Clear＝0，$R_g=1$，$P=1$，$N=1$ 时，显然各与非门都相当于是一个反相器，这即是原来的 T 触发器（见图 19.6）。

当 Clear＝0，$R_g=0$，$P=\overline{D_i}$，$N=D_i$ 时，均有 $Q=D_i=1$。这样，当 $R_g=0$ 时相当于完成了置数的功能。

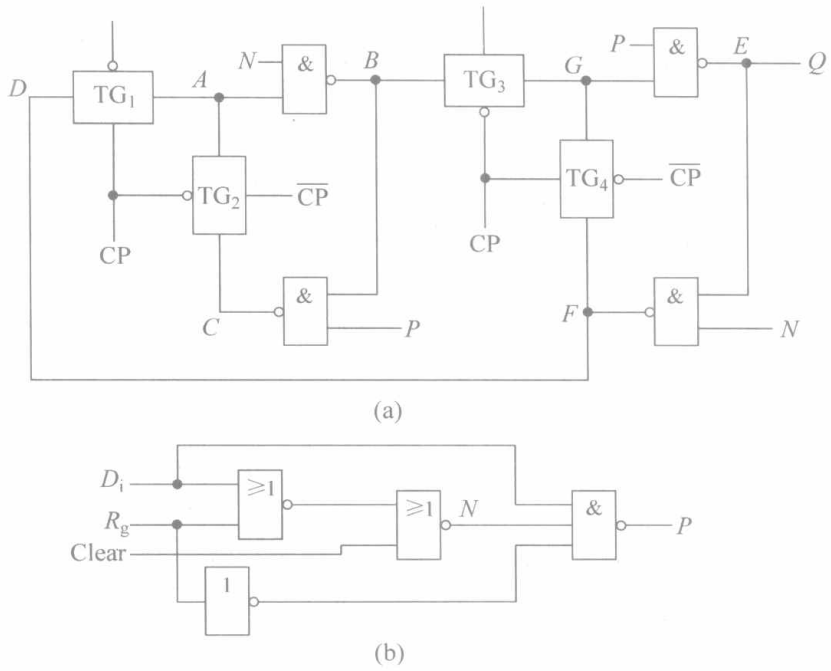


图 19.7　实际电路中的 T 触发器

2. 时钟信号产生网络

74HC193 电路共有四个时钟信号产生网络。

CP_A 时钟信号的产生网络如图 19.8 所示，其逻辑关系为

$$CP_A = \overline{\overline{C_A} \cdot C_S}$$

CP_B 时钟信号的产生网络如图 19.9 所示，其中 A_F 是 A 单元中的输入端，其逻辑关系为

$$A_F = \overline{Q_A} + \overline{D_A + R_g} + \text{Clear}$$

$$CP_B = \overline{C_A} \cdot Q_A + \overline{C_S} \cdot (\overline{Q_A} + \overline{D_A} \cdot \overline{R_g} + \text{Clear})$$

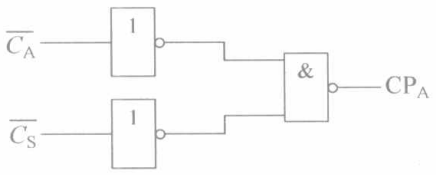


图 19.8　CP_A 时钟信号产生网络

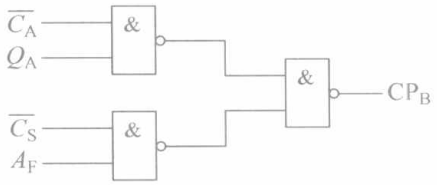


图 19.9　CP_B 时钟信号产生网络

对 CP_B 各种工作状态分析如下：

① 当正常工作(非清零，非置数)时($R_g=1$，Clear=0)，这时有

$$CP_B = \overline{C_A} \cdot Q_A + \overline{C_S} \cdot \overline{Q_A}$$

可见 CP_B 的输出与 Q_A 有关。

② 计数加时($C_S=1$)：

当 $Q_A=1$ 时，低位已加满，这时若有 C_A 上升沿，A 单元翻为 0，同时 B 单元翻转，也即 B

单元在加计数时，翻转发生在 A 单元的下降沿。

当 $Q_A=0$ 时，CP_B 无作用。

③ 计数减时($C_A=1$)：

当 $Q_A=0$ 时，低位已减完，这时若有 C_S 上升沿，A 单元翻为 1，同时 B 单元翻转，也即 B 单元在减计数时，翻转发生在 A 单元的上升沿。

当 $Q_A=1$ 时，CP_B 无作用。

如果只有加计数时，$C_S=1$，则当 Q_A 下降沿时，B 单元才有翻转，否则保持；如果只有减计数时，$C_A=1$，则当 Q_A 上升沿时，B 单元才有翻转，否则保持；所以，B 单元的 CP 信号 CP_B 是 Q_A 与 $C_A(C_S)$共同作用的结果。

CP_C 时钟信号的产生网络如图 19.10 所示，其逻辑关系为

$$CP_C=\overline{C_A}\cdot\overline{\text{Clear}}\cdot Q_AQ_B\cdot(R_g+D_AD_B)+\overline{C_S}\cdot\overline{Q_A+Q_B}$$

其中 D_A、D_B 为输入信号。图中 $B_F=\overline{Q_B}+\overline{D_B+R_g}+\text{Clear}$，$A_F=\overline{Q_A}+\overline{D_A+R_g}+\text{Clear}$。

对 CP_C 各种工作状态分析如下：

① 当正常工作时(Clear=0，$R_g=1$)：这时有

$$CP_C=C_A\cdot Q_AQ_B+\overline{C_S}\cdot\overline{Q_A+Q_B}$$

显然，C 单元时钟信号 CP_C 是 Q_A，Q_B，C_S，C_A 共同作用的结果。

② 计数加时($C_S=1$)：$CP_C=\overline{C_A}\cdot Q_AQ_B$。

当 Q_A，Q_B 有一个为 0 时，无论 C_A 如何，$CP_C=0$，不产生信号。

只有当 $Q_A=Q_B=1$ 时，表示低位加满了，此时 C_A 上升沿来时，CP_C 为下降沿，于是 C 单元翻转，而同时 Q_A，Q_B 也均翻转，亦即 C 单元翻转发生在 Q_A，Q_B 共同的下降沿上。

③ 计数减时($C_A=1$)：

$CP_C=\overline{C_S}\cdot\overline{Q_A+Q_B}$。

当 Q_A，Q_B 有一个为 1 时，$CP_C=0$，不产生脉冲信号。

当 $Q_A=Q_B=0$ 时，表示低位已减完，此时，C_S 为上升沿时，CP_C 为下降沿，C 单元翻转于 Q_A，Q_B 共同的上升沿上。

所以 CP_C 的原理与 CP_B 同，只是要由 Q_A，Q_B 共同决定。

CP_D 时钟信号的产生网络如图 19.11 所示，其逻辑关系为

$$CP_D=\overline{C_A}\cdot\overline{\text{Clear}}\cdot Q_AQ_BQ_C\cdot(R_g+D_AD_BD_C)+\overline{C_S}\cdot(\overline{Q_A+Q_B+Q_C})$$

其中 D_C 为输入信号。图中 $A_F=\overline{Q_A}+\overline{D_A+R_g}+\text{Clear}$；$B_F=\overline{Q_B}+\overline{D_B+R_g}+\text{Clear}$；$C_F=\overline{Q_C}+\overline{D_C+R_g}+\text{Clear}$。

① 当正常工作时(Clear=0，$R_g=1$)：

$$CP_D=\overline{C_A}\cdot Q_AQ_BQ_C+\overline{C_S}\cdot\overline{Q_A+Q_B+Q_C}$$

CP_D 的产生取决于 Q_A，Q_B，Q_C 以及 C_A，C_S 信号，其原理同 CP_B，CP_C，只是在考虑作用时要加入 Q_C 的作用。

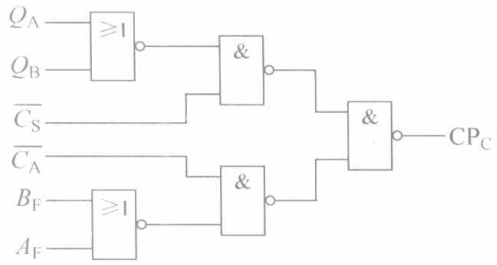


图 19.10　CP_C 时钟信号产生网络

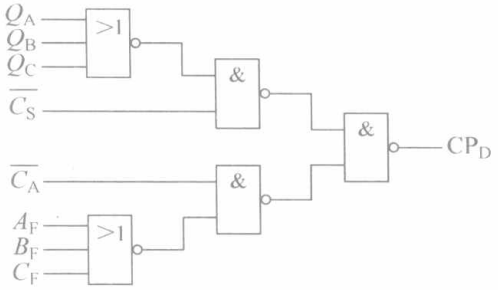


图 19.11　CP_D 时钟信号的产生网络

② 计数加时($C_S=1$)：

只有 Q_A，Q_B，Q_C 均为 1 时，才有 Q_D 翻转。否则无论 C_A 如何变化，均有 $CP_D=0$。

③ 计数减时($C_A=1$)：

只有 Q_A，Q_B，Q_C 均为 0 时，才有 Q_D 翻转。否则无论 C_S 如何变化，均有 $CP_D=0$。

综上所述可见，时钟信号的产生，每一级均与前几级输出有关，这是由计数器的特点决定的，而且具有很明显的对称性。在计数加作用时，只有前级全为 1 时，才有此级翻转，相当于进一位。在计数减时，只有前级全为 0 时，才有本级翻转，相当于借一位。

3. 进位和借位逻辑

进位 Carry 信号的产生网络如图 19.12 所示，其逻辑关系为

$$\text{Carry}=\overline{Q_AQ_BQ_CQ_D}+\overline{R_g}\cdot\overline{D_AD_BD_CD_D}+\text{Clear}+C_A$$

其中 D_A、D_B、D_C、D_D 为输入信号。图中 $A_F=\overline{Q_A}+\overline{D_A+R_g}+\text{Clear}$；$B_F=\overline{Q_B}+\overline{D_B+R_g}+\text{Clear}$；$C_F=\overline{Q_C}+\overline{D_C+R_g}+\text{Clear}$；$D_F=\overline{Q_D}+\overline{D_D+R_g}+\text{Clear}$。

① 正常工作时，Clear=0，$R_g=1$，这时有 $\text{Carry}=\overline{Q_AQ_BQ_CQ_D}+C_A$，由此可见：Carry 信号由 Q_A，Q_B，Q_C，Q_D，C_A 控制。

② 当计数减时，$C_A=1$，Carry 保持为 1，也即进位信号不起作用。

③ 当计数加时，C_A 变化，如果 Q_A，Q_B，Q_C，Q_D 中至少有一个为 0，则 Carry=1，此时进位信号也不起作用。如果 Q_A，Q_B，Q_C，Q_D 全为 1，此时 $\text{Carry}=C_A$。显然 C_A 为下降沿时，Carry 也是下降沿；C_A 为上升沿时，Carry 也为上升沿。图 19.13 为其时序图，Carry 低电平有效。

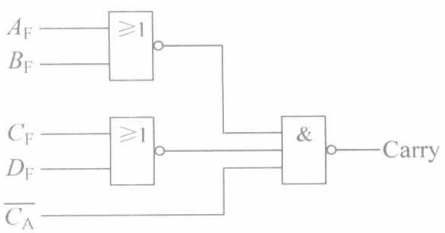


图 19.12　进位 Carry 信号的产生网络

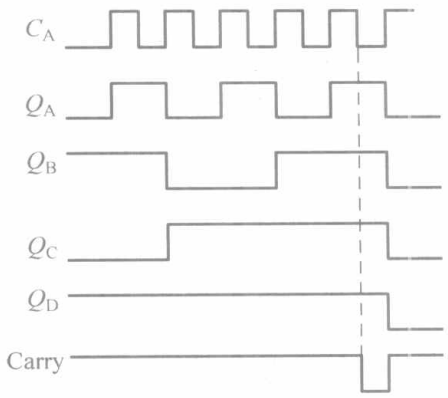


图 19.13　Carry 信号的时序图

借位 Borrow 信号的产生网络如图 19.14 所示，其逻辑关系为

$$\text{Borrow}=Q_A+Q_B+Q_C+Q_D+C_S$$

可见，借位信号与 Q_A，Q_B，Q_C，Q_D，C_S 有关，与计数加无关，分析如下：

当计数加时，$C_S=1$，此时 Borrow＝1，保持常高状态。

当计数减作用时，C_S 变化，此时如果 Q_A，Q_B，Q_C，Q_D，C_S 中至少有一个为 1，则 Borrow＝1；如果 Q_A，Q_B，Q_C，Q_D 全为 0，则 Borrow＝C_S，保持一个 C_S 后，Q_A，Q_B，Q_C，Q_D 翻转，于是 Borrow＝1，所以 Borrow 也是低电平有效，图 19.15 为它们的时序图。

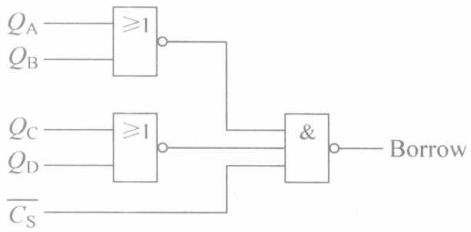


图 19.14　借位 Borrow 信号的产生网络

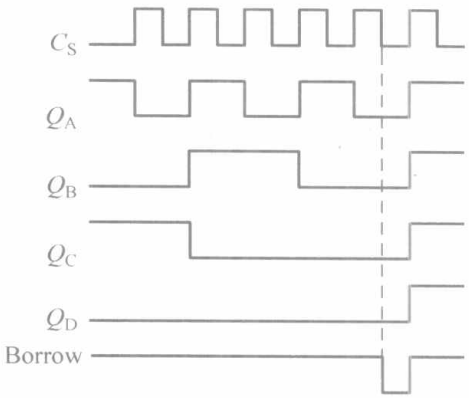


图 19.15　Borrow 的时序图

从进位、借位看，它们各自在低电平有效，且以 C_A（或 C_S）为准，形成一个脉冲，其宽度只有 C_A（或 C_S）的低电平宽度，其沿与 C_A（或 C_S）的沿对齐，其目的就是为了级联时，产生共同的时钟沿信号。

从前面三方面的分析可以看出，其逻辑功能完全与预期的吻合，时序上看也完全一致，所以提取的逻辑图和时序分析是正确的。

总体上看，它是一种同步结构，是同步计数器，且 C_A 为计数加脉冲，C_S 为计数减信号脉冲。Clear 为清零信号，高电平有效。R_g 为置数信号，低电平有效。

19.1.5　版图设计规则的分析

74HC193 电路采用硅栅 CMOS 工艺，由芯片（实际版图）中提取出的版图设计规则（实测尺寸）如表 19.2 所示。

表 19.2　由实际版图中提取出的版图设计规则

版号	标准尺寸	实测尺寸	含　义	作　用
MK_1	4.0Δ	14Δ	阱的最小宽度	保证光刻精度和器件尺寸
MK_1	13Δ	12Δ	阱与阱最小间距	防止不同电位阱间干扰
MK_2	4.0Δ	6Δ	有源区最小宽度	保证器件尺寸减小窄沟效应
MK_2	4.0Δ	5Δ	有源区最小间距	减小寄生效应

续表

版号	标准尺寸	实测尺寸	含　义	作　用
MK_2	3.0Δ	2Δ	阱对其中 N^+ 有源区最小覆盖	保证 P^- 阱区四周场注 P 区环的尺寸
MK_2	10Δ	8Δ	阱外 P^+ 有源区距阱最小间距	有利减弱 Latch-up 效应
MK_2	5Δ	8Δ	阱外 N^+ 有源区距阱最小间距	保证阱和衬底间 PN 结特性
MK_5	2.0Δ	2.0Δ	多晶硅栅最小栅长	保证器件特性
MK_5	2.0Δ	2Δ	最细多晶硅条宽度	保证多晶硅条的必要电导
MK_5	3.0Δ	2Δ	多晶硅条最小间距	防止多晶硅链条
MK_5	2.0Δ	2Δ	硅栅最小出头量	保证栅宽及源漏区截断
MK_5	3.0Δ	3Δ	硅栅与有源区最小内间距	保证电流在整个栅宽范围内均匀流动
MK_5	1.0Δ	2Δ	多晶硅条与有源区最小外间距	保证沟道区尺寸
MK_5	1.0Δ	2Δ	多晶硅条与无关有源区最小间距	防止短路与寄生效应
MK_8	$(3.0\Delta)^2$	$(3\Delta)^2$	上孔接触区最小面积	保证与 Al 线良好接触
MK_8	15Δ	8Δ	最大接触孔边长	有利于刻孔的成品率
MK_8	3.0Δ	2Δ	孔与孔间距	保证良好接触
MK_8	2.0Δ	2Δ	源漏区上孔与栅最小间距	防止源漏区与栅短路
MK_8	1.0Δ	1Δ	源漏区对上孔最小覆盖	防止 PN 结漏电和短路
MK_8	1.0Δ	1Δ	多晶硅对上孔最小覆盖	防止漏电和短路
MK_9	3.0Δ	2Δ	铝条最小宽度	保证铝线的良好电导
MK_9	3.0Δ	5Δ	铝条最小间距	防止铝条链条
MK_9	1.0Δ	1Δ	铝对孔的最小覆盖	保证接触，防止断条
MK_9	4.0Δ	5Δ	宽铝条最小间距	防止铝条链条

下面，对表 19.2 中各实测尺寸进行分析。

74HC193 设计规则中基本单位 $\Delta=1.5\mu m$。由于 74HC193 电路中无法分辨出 P^+ 注入框，因而在标准尺寸有关的 P^+ 部分，在实际测量中是没有的，所以在表 19.2 中没有列出。

从总体上看实测尺寸与标准规则基本一致，有个别地方甚至于有所放大。但有几个方面与标准规则相比明显减小，分别讨论如下：

(1) P 阱对 N^+ 有源区的最小覆盖，标准尺寸为 3Δ，实测为 2Δ。

作为标准规则，要求为 3Δ 是有一定道理的。在场注时是用阱的反版。在光刻对中时，一次对中会有对中误差 1Δ。当阱注和源注在最坏情况时，阱注左偏 1Δ，源注右偏 1Δ，为了使阱中场注还有一定距离，必须再留出 1Δ 间距，所以应为 3Δ。

在此电路中为 2Δ，可能是由于实际水平较高，在 2Δ 时就完全可以保证实现功能。

(2) 孔与孔的间距由 3Δ 变为 2Δ。

打孔本身就是为了形成良好的接触，孔的数目较多可以保证电位相等。这里由 3Δ 变为 2Δ，是由于光刻时曝光不充分，加上横向刻蚀引起图形中孔两端呈圆形突出，使孔间距变

小，否则孔间距能达到 3Δ。

(3) Al 条最小宽度由 3Δ 变为 2Δ。

Al 条要求最小宽度是为保证良好的电导，在实测中由 3Δ 变为 2Δ，是因为 Al 条被刻蚀细了，或解剖时被腐蚀细了。

Al 条变细对电路来说是不利的，尤其是大电流时存在电迁移现象，而且在实际中如果刻 Al 工艺不过关，就很易发生 Al 条断路，造成电路功能失效。

(4) 为了防止 Latch-up 效应，也同时为了 Al 线布线的方便，有源区间距拉大，最小间距由 4Δ 增加到 5Δ。

(5) Al 线为了有更好的电导性能，宽度要增加，同时 Al 线的间距也必须增加。电路中由 3Δ 增加到 5Δ，这样大大加大了 Al 线间距，防止了 Al 条的链条。

(6) 在实际中 Al 条对引线孔必须有一定的覆盖量，规则规定用 1Δ 为标准。如果不要求覆盖 1Δ，当发生套刻误差时，会发生孔有一部分在 Al 条外部，形成图 19.16 形式。从图 19.16 的剖面图看，有一部分 PN 结裸露在外面，没有被 Al 覆盖形成保护，而周围气氛中难免会有杂质，脏物沾污裸露的 PN 结，使 PN 结特性变坏，往往也会造成器件总体失效。

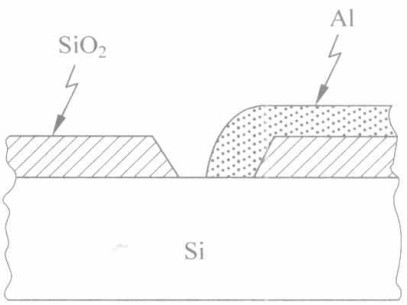


图 19.16　剖面图

19.1.6　抑制 Latch-up 效应的措施

一般在版图上可采用以下的措施来抑制 Latch-up 效应：

(1) 合理布置电源接触孔，减小横向电流和电阻。

① 采用接衬底的环形 V_{DD} 电源线；

② 增加 V_{DD} 和 V_{SS} 的接触孔，增大接触面积；

③ 尽量使 V_{DD} 和 V_{SS} 的接触孔长边相互平行；

④ 接 V_{DD} 的孔尽量离阱近一些(对于 P 阱 CMOS 工艺)；

⑤ 接 V_{SS} 的孔尽量安排在阱的所有边上(对于 P 阱 CMOS 工艺)。

(2) 在阱与 PMOS 的 P^+ 漏区与 P 阱之间安排一个接地的、由 P^- 和 P^+ 组成的伪收集区域，它可收集由 PNP 管发射极注入进来的空穴，阻止向 NPN 管基区注入，减小了 β_{PNP}。

(3) 采用保护环可以有效地降低横向电阻、电流，同时使 PNP 的基区加宽，β_{PNP} 下降。

(4) 阱区与 PMOS 距离尽量拉大。

74HC193 电路防止 Latch-up 效应的措施如下：

(1) 阱区与 PMOS 距离拉大。一般 PMOS 和 NMOS 距离较大，最为突出的就是输出电路，由于要求输出电流较大，因此将 P 管与 N 管分别放在压焊块两侧，以减小 β_{PNP}。

(2) 大大加粗了 V_{DD} 电源线，在最外围有大面积接触孔；地线接触孔也很多，大大减小了串联电阻。同时在外围利用一排废管接 V_{DD}，达到了大面积接衬底的效果。

(3) 在内部，虽然因没有 P^+ 注入框而无法找到接阱接衬底的孔，但是从版图上可以发现，在做 P 管的地方，在 PMOS 的接 V_{DD} 的源区孔上往往隔一个就有一种特殊孔。如图 19.17 所示，有一种孔有一半是黑的，而另一半同别的孔的颜色相同。分析可能是由于以下原因造成的。假设 CMOS 反相器剖面如图 19.18 所示，由于使用的是 N 型衬底材料，在对衬底区进行 N^+ 注入时，其浓度与 P 阱中源漏 N^+ 区浓度不同。同一物质在不同密度下，对光的反射是不同的，因此浓度高的 N^+ 区比低浓度 N^+ 区颜色深，于是出现了在 V_{DD} 经过的孔上有半个孔为黑色的情况。同理，对于 P^+ 区也应有此效应，在阱中接 V_{SS} 的部分也应该有颜色变化。因此可以认为 P 阱中有接阱的对接孔，但没有表现出来。



图 19.17　PMOS 接 V_{DD} 的源区孔

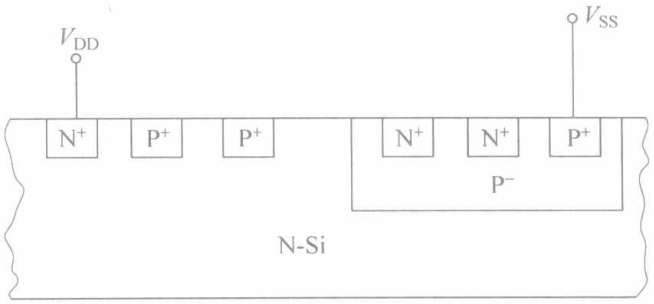


图 19.18　CMOS 反相器剖面图

(4) 在内部看不出有保护环，只是在外部输入保护电路的两个二极管的周围有电源和地的环形保护环。

本来单独的一个二极管只是一个 PN 结，不会形成寄生 PNPN 效应，但 74HC193 电路的输入保护电路中的两个二极管由于其连接效果，可形成寄生 PNPN 效应，如图 19.19 所示。由于二者靠得太近，也同样存在横向 PNP 和纵向 NPN 寄生管，因此也同样有 PNPN 寄生效应。在电路中，加入保护环结构，可使得 Latch-up 效应得以抑制。

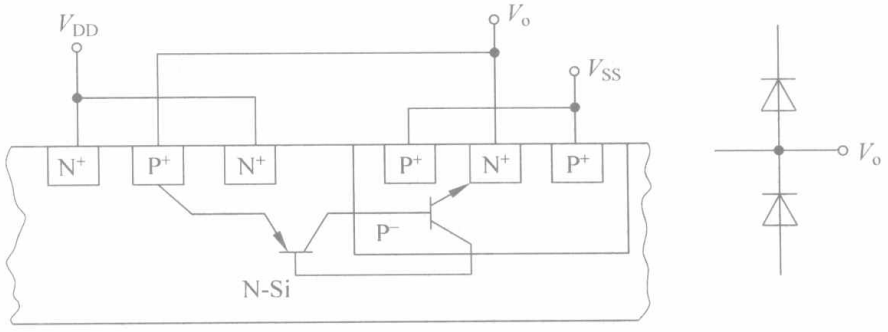


图 19.19　寄生 PNPN 效应

19.1.7 版图的布局布线

总体上看74HC193电路的布局是很有规律的，周围环绕压焊块，中间均匀放置4个T触发器，以及4个时钟CP产生网络，在输入端Carry和Borrow附近各有一个自己的运算网络。中间是走线通道；各压焊块均匀间隔，对称分布于四周；电源和地的压焊块位于两端。在压焊块排布中，一般是输入和输出交替排列。两个输入部分之间并放保护电路，反相门置于各自另一侧。输出部分将N管和P管分置压焊块两侧，内部T触发器和CP网络也是对称放置。

总体上看此电路的布线也极有规律。布线在通道中通过，基本走直线，或直角线。其中主通道横贯上下，另有两个通道分别负责A，B，C，D单元的CP和模块本身，各模块之间的联系也经由通道完成。

此电路的电源布线从总体上看，V_{DD}，V_{SS}均走大环形，包住各部分，且V_{DD}和V_{SS}走线是平行的。在外围电路中，压焊块将V_{DD}和V_{SS}分开，并行于压焊块两边。在内部电路中，V_{DD}和V_{SS}经各自的通道送入内部单元，二者在内部利用了叉指形分布，没有发生交叉的现象。外围V_{DD}较粗，是内部V_{DD}的3倍。在内部单元与压焊块之间，V_{SS}最宽，它要给两边供电，因此电流较大，需要加宽Al线。

此电路布线主要是利用Al线，只在跨接部分用多晶硅连线。多晶硅连线一般要尽量减小其方数，使串联电阻尽可能小。

19.2 双极型集成电路的芯片解剖

双极集成电路的芯片解剖过程与MOS集成电路大致相似，但由于双极集成电路的版图中有晶体管、二极管、电阻、电容等元件，所以版图的识别比较困难。下面主要介绍双极集成电路的版图识别方法。

双极集成电路的版图识别大致可以分为下列几个步骤。

1. 找出各个隔离岛

隔离墙组成了相互连通的许多网格，罩满了整个版图。每个网格就是一个隔离岛，其形状多为长方形和不规则的多边形。

2. 辨认各个隔离岛中的元器件

压焊点、测试陪管和测试电阻都排在版图的四周；其他隔离岛内的元器件，要根据各种元器件的形状及其他特征，来加以辨认，现以第18章中图18.24为例进行介绍。

(1) 晶体管图形的特征：①多发射极晶体管有好几个发射区(如左上角图形T_1)。②一般的管子电极常为条形(或马蹄形)，且有E，B，C三种电极，如图中的T_2～T_5。

(2) 电阻总是条状的，且电阻条的两端点都刻有电极孔(见图中各个R)。多个电阻往往集中在版图的中央部位。其中弯弯曲曲形状的是大电阻，长条状的是中等阻值电阻，短粗

状的是小电阻。沟道电阻是在电阻条上画有比条宽还要宽些的发射区扩散区。在外延层上直接扩磷的是磷桥，一个磷桥单独占据一个隔离岛。

(3) MOS 电容器的特征：在一大块版图面积上没有什么图形，在它的近旁却有一个引线孔，那它就是一个 MOS 电容器，硅是电容器的一个电极，金属铝板是它的另一个电极。

(4) 金属连线(铝条)的特征是，它框在引线孔外。

(5) 引线孔常用带“影线”或带“麻点”的区域表示。接地孔可在加宽了的隔离墙上找；电源正极引线孔，一般开在电阻所在的那个隔离岛的外延层上，且多数情况是与几个电阻的公共端相连(图中为与 R_1，R_2，R_5 相连)。

3. 辨认三极管的电极

首先要分辨清楚版图上哪些部位是外延层区，哪些部位是扩硼区、扩磷区，然后再去辨认各个电极。在隔离岛以内的区域是外延层区，它是 NPN 管的收集区或 PNP 管的基区；在外延层区上的方框内的区域是扩硼区，它是 NPN 管的基区，或是纵向 PNP 管的发射区；也是横向 PNP 管的发射区或集电区。在基区内的方框是扩磷区，它是 NPN 管的发射区。在每个区内的引线孔，当然就是 E，B，C 相应电极的引线孔了。

4. 连线成图

辨清了上述各个部分之后，把金属连线与各元器件的连接情况，一步步地画出来，就得到了具体的电路图，然后再对版图进行复核和分析。其过程如下：

首先根据画成的电路图或者逻辑图进行分析，从而可知各个晶体管、电阻等元器件的作用和应该设计成的形状及尺寸，再与版图上的形状与尺寸进行对照。

其次是检查版图中有哪些可以改进的地方，例如：

① 本单位的光刻水平能否准确地刻出版图上的最窄条宽和最小套刻间距？若满足不了图上的精度，常会出现连铝、断铝的现象。这时就应适当放宽最窄条宽和最小套刻间距。

② 区与区之间的距离(如接最低电位的隔离扩散区和同 V_{CC} 相连的电阻之间的距离)，有没有在最大反偏下因耗尽层展宽，而出现穿通。

③ PN 结水平部位离窗口边缘的距离，不仅要受光刻水平的限制，而且该距离因侧向扩散之故，必须稍大于邻近扩散的扩散深度的总和。隔离扩散是非常深的扩散，故而离其他扩散区的间距要最远。

④ 布局中值得商榷的地方会很多，如连线(包括引出线)是否过长，磷桥是否过多(电源线一般不设磷桥)，延伸电极是否过大(增大电容影响高频参数)，不适宜放在一起的元器件或引出端是否靠得太近，应该放置在对称位置的元件是否按方向安置了；连线是否太乱等。

经检查、对照后，间距该放宽的就要放宽，元器件的位置、连线方向应改变的要重新放置和布线，经调换位置、修正尺寸、变化形状改版后，不少寄生效应会大大减弱，器件性能定会提高。

19.3 版图设计小结

1. 版图设计的重要性

在第18、19章中，我们介绍了集成电路的正向、逆向设计，在整个设计过程中，版图(layout)设计或者称做物理设计(physical design)都是其中重要的一环。

所谓版图，就是根据逻辑与电路功能和性能要求以及工艺水平要求来设计光刻用的掩膜版图，实现集成电路设计的最终输出。版图是一组相互套合的图形，各层版图相应于不同的工艺步骤，每一层版图用不同的图案来表示。版图与所采用的制备工艺紧密相关。

版图设计是按已确定的电路以及与之相应的工艺规则将电路元件连接在一起，并用以提供生产的物理设计过程。版图设计在集成电路设计中具有重要的作用，它是设计从符号表示转化为产品的最后一步，也是产品能否实现电路功能和性能的关键的一步。一个好的版图设计不仅能够提高设计效率，降低集成电路产品的成本，提高产品成品率，而且还可以提高产品的性能指标。随着集成电路工艺水平的不断发展，芯片的特征尺寸越来越小，版图设计的重要性越来越不容忽视。

2. 版图设计的基础知识

版图设计与所使用的工艺条件关系密切，而工艺条件又直接影响整个集成电路的性能，因此，在进行版图设计时必须考虑工艺制造条件的约束。

集成电路的版图设计，原则上有四个主要要求：工作速度、功耗、芯片面积利用率和成品率，而制约这些要求的主要因素是制造工艺水平和半导体本身电学性能上的限制。为此，各个生产厂家均根据自身实际工艺因素，诸如掩膜的对准和非线性、光学分辨率，片子的弯曲、横向钻蚀、横向扩散、氧化生长动边界以及它们与电路的性能、产量的关系等制定一些设计规范，以确保产品的质量要求。这些设计规范也称为设计规则，它是集成电路设计师与工艺师之间的接口，目的是使芯片尺寸在尽可能小的前提下，避免线条宽度的偏差和不同层版套准偏差可能带来的问题，尽可能地提高电路制备的成品率。

设计规则是进行集成电路版图设计时必须遵守的规范，它包括几何规则和电学规则。

① 几何规则是同层次掩模图形几何尺寸(最小尺寸及间距)的限定以及不同层次的掩模图形之间的相互制约关系。后者在半导体光刻工艺上称为套刻精度。

不同的半导体生产厂家因技术水平、设备条件的差异，其设计规则不尽相同，如：线宽和线间距设计规则、与埋孔相关的一些设计规则等(详见第17章)。

② 电学规则，包括金属铝走线通过的最大电流要有一定的限制，如果超过这一限定，铝容易产生电迁移，长时间工作时铝条会熔断，造成器件失效；电路所能承受的最大功耗也要有一定的限定。因此，设计负载器件时，要考虑其器件尺寸，使之在安全功耗之下。

3. 版图通用设计步骤

(1) 版图的总体规划

① 确定总体版图的电源网络和初步的区域划分；

② 确定所有的输入/输出信号，找出特殊信号如时钟信号以及关键信号，计算出其所需宽度，并确定其接口位置；

③ 考虑一些特殊的设计要求，如版图匹配、抗噪声、防闩锁效应以及防 ESD 等方面的要求；

④ 估计各个功能块的尺寸，进而估算出整个芯片的大致尺寸，最终确定布局布线方案。

(2) 设计实现

对于复杂的版图设计，一般把版图设计分成若干个子步骤进行：

① 划分：为了将处理问题的规模缩小，通常把整个电路划分成若干个模块；

② 版图规划和布局：是为每个模块和整个芯片选择一个好的布图方案；

③ 布线：完成模块间的互连，并进一步优化布线结果；

④ 压缩：是布线完成后的优化处理过程，目的是为了进一步减小芯片的面积。

(3) 版图验证

版图验证工作是版图设计中必不可少的重要环节。要从以下几个方面对版图进行验证：

① 设计规则检查(DRC)。设计规则检查用于检查版图和几何设计规则的一致性，主要是检查是否按照芯片制造厂提供的设计规则，如最小宽度、最小间距等进行版图设计，以确保电路能被选定的加工工艺所实现。它包括：检查版图上各层的线宽和线间距以及不同层的间距；检查某层几何图形尺寸和面积；对不同层进行“或”、“与”、“与非”等运算，产生新层，检查新层的尺寸；检查相关层套刻尺寸。

在做 DRC 检查时应先检查单个版图(即每个单元版图)，待全部通过后，将所有的单位版图组合成总版图，最终做一次总版图的 DRC，以确保总版图的正确。

② 电学规则检查(ERC)。电学规则检查用于检查版图中和电学特性相关的一些非法连接，如电源线和地线短接，晶体管源、栅、漏开路等非正常连接关系，阱和衬底是否接到固定电位等。

③ 电路和版图之间一致性检查(LVS)。将版图与电路原理图做对比，对版图器件及其连接关系进行提取，获得电路网表，并和从原设计的电路图中所提取的网表进行比较，检查其一致性。主要是检查版图上的连接关系是否与电路图上的一样，版图中元器件的数目和各器件的尺寸是否与电路图中的相同等。

④ 目检验证。主要是核对一些 CAD 验证工具无法检查的特殊规则，如防闩锁效应和防 ESD 方面的要求等。

(4) 版图参数提取与后仿真

就是从版图数据库中提取电学参数(如 MOS 管的宽度和长度、寄生电阻和寄生电容等)，并以 Hspice 网表的形式来表示电路图，然后对所提取的网表进行仿真，如果仿真结果未达到电路设计的要求，则还要对设计进行一些调整，直至满意为止。

图 19.20 为通用的版图设计流程。

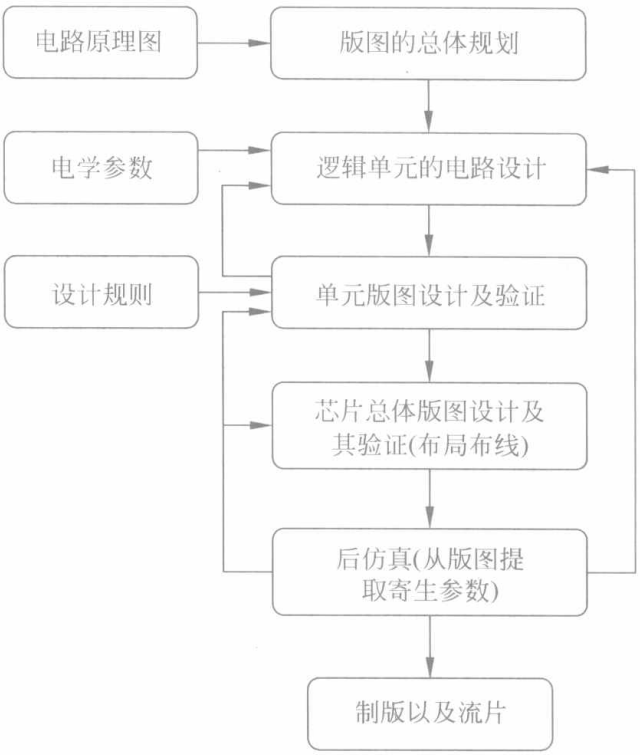


图 19.20　通用的版图设计流程框图

4. 版图设计过程

版图设计过程，是一个先自顶向下规划总体版图的布局布线方案，然后再由底向上实现设计规划的过程，其中最主要的是布局布线过程。布局布线结果的好坏直接关系到芯片的设计质量。

(1) 所谓布局，就是将模块安置在芯片的适当位置，满足一定目标函数。对级别最低的功能块，是指根据连接关系，确定各单元的位置，级别高一些的，是分配较低级别功能块的位置，使芯片面积尽量小。

布局设计是为版图设计提供草图，将组成集成电路的各个功能块按芯片功能以及引脚排列的要求合理地布置在芯片上，目的是要有效地利用芯片面积。

布局时应考虑以下几点：

① 各个引出端的设计应符合管壳引出线的排列要求，其分布应便于使用并应考虑与其他电路兼容的可能性；

② 根据每个功能块的面积，大体估算出整个电路所占的芯片面积；

③ 在保证各功能块之间走线最短并且合理的情况下，尽可能地使布局紧凑；

④ 在芯片上温度分布要均匀；

⑤ 对于有特殊要求的单元(如匹配要求、远离或者靠近要求等)，其位置的布置应合理。

(2) 所谓布线，就是将布局安置好的各单元及相应的输入输出单元，根据电路的连接关系，在满足设计、工艺规则及电学性能要求的条件下，在尽量小的区域内用互连线完成所有

指定的互连。布线的要求是：线网分布均匀，连线总长度尽量短，保证有较高的布通率。

随着集成度的提高，芯片内部的布线日益复杂，版图中布线所占的面积往往是元器件总面积的好几倍，因此布线带来的延迟问题将是芯片工作速度的主要限制因素。

布线时应考虑以下几点：

① 布线要有一定的宽度，分配在同一层上的各条布线不能交叉，同时布线间的距离必须大于一定值。分配在不同层上的布线网络可以通过通孔相互连接，但是通孔要有一定的大小，并且相互之间的距离必须保证大于某定值，另外，只要面积许可，通孔的数量应尽可能地多。

② 由于长距离的布线会引起寄生电容和寄生电阻，从而使电学性能降低，因此应尽可能地缩短布线的长度。

③ 对于那些要防止相互引起串扰的布线，走线时应远离行走，相互之间的距离不能靠得太近。

④ 电源线和地线是两条几乎涉及整个芯片各个位置的全局引线，其电性能的保障和布线结果会对芯片产生直接的影响，为了尽量减少电位的变化，电源线和地线必须尽可能布置在同一金属层上。由于在电源线和地线上要流过整个芯片的电流，而金属线上电流密度过高会因发热而造成断线，故在设计电源线和地线时，应注意布线线条要足够宽。一般来说，电源线和地线的宽度远大于信号线的宽度；在布线处理时，考虑最多的就是电源线和地线的布线，一般是首先设计它们，然后再确定信号线路径。

⑤ 应规划好数据总线的布局。一组数据总线通常包括数十条并行的传输线，若事先对其走线的方向和区域规划得不好，则常会使布线面积较大并且使各功能块之间的布线通道不顺畅，或造成要求对称的传输线长度不一致，导致延迟不等，严重时会引发逻辑错误。

5. 版图设计技术

(1) 为了预防制造偏差带来的问题，N^+ 和 P^+ 注入区在环绕晶体管时应留有足够的余量。

(2) 为了电路性能的一致性，相同的晶体管或者相同功能的电路，应该用同一个版图图形。

(3) 同一个版图中栅的走向应尽量一致，不要有横有竖。

(4) 应尽可能地多打金属接触孔。

(5) 为了使所设计的版图布局紧凑，应使图形排列尽可能规整。对于宽长比比较大的晶体管，可以根据晶体管等效拆分的原理，将一个宽长比为(W/L)的管子拆分成 n 个宽长比为 $1/n(W/L)$的管子的并联形式。

(6) 为了减小版图面积，应尽可能地将各个元件的公共区域合并在一起。如不同元件的接地部分和接电源的部分是一个公共部分，可以将不同元件的这部分合在一起以减少芯片尺寸。例如在图 19.21 中，图 19.21(b)就是将图 19.21(a)中的两个接电源的区域合并。

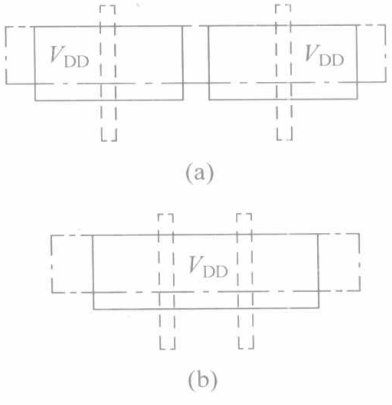


图 19.21　公共区合并

(a) 两元件分离的图形；(b) 合并后的图形

(7) 布线层选择。在版图设计中，最常用的布线有金属、多晶硅、扩散区等。但是，这些布线层电性能大不相同，见表 19.3 所示。一般来说，晶体管等效电阻应大大地高于走线电阻，以避免因为分压效应而产生的种种严重后果。电容的影响也必须认真考虑，特别是高速电路，电荷分配效应也会引起许多问题。多晶硅走线有较大的电阻，扩散区走线电阻和电容都较大。因此，应尽可能地避免它们的影响。随着器件尺寸的减小，线宽和线间距也在减小，多层布线层之间的介质层也在变薄，这将大大地增加走线电阻和分布电容。特别是发展到深亚微米级后，和门延迟相比，布线延迟变得越来越不可忽视。在表 19.4 中列出了几种布线层的性能和规则。

表 19.3　布线层电学性质

布线层	电阻/($\Omega/\mu m^2$)	电容/($pF/\mu m^3$)
金属 Ⅱ	0.03	0.2×10^{-4}
金属 Ⅰ	0.03	0.3×10^{-4}
扩散区	10～50	1×10^{-4}
硅化物	2～4	0.4×10^{-4}
多晶硅	15～100	0.4×10^{-4}

表 19.4　布线层选择和规则

布线层	电阻	电容	评　　价	最大走线长度
金属铝	低	低	好的导电能力，小的电压降，用于电容非线和金属布线	20 000λ
硅化物	低	中等	较好的 *RC* 乘积，可走长线	2000λ
多晶硅	高	中等	*RC* 乘积中等，高的 *LR* 压降	200λ
扩散区	中等	高	中等 *IR* 压等，但 C 值高，驱动困难	20λ

(8) 为了减小延迟，布线层走线的距离不能太长。

(9) 对于大数值的电阻，通常将其分成较短的电阻单位，平行放置且串联在一起。从匹配和可重复性的角度讲，这种结构比“蛇行”结构更优越，因为后者在拐角处的电阻较大。

(10) 由于全差动电路中的不对称性会产生较大的输入失调电压，故在画版图时，一定要注意器件的对称性设计。与此同时，还应注意我们所关心的器件及其周围环境也都必须进行对称性设计。例如在第 5 章 ECL 版图设计的例子中，尽管在输入管和定偏管隔离岛内的管子数目不一样，但为了使“或”端和“或非” 端的延迟对称，在进行版图设计时，它们两者的隔离岛的面积设计成一样大小。

(11) 为了减小失配误差和提高比值的精确度，电容通常由相同的单位电容阵列构成，将它们并联起来以得到给定的电容值。对于精度要求高的电路，如果需要一排匹配很好的电容，则在这排电容的周围也必须放置虚拟电容(即陪衬电容)。这样做，是为了使各单位电

容周围的环境相同。例如，某电容型DAC的版图如图19.22所示。两组电容不仅由相同的单位电容阵列构成，同时该电容型DAC的电容用的是双层多晶硅电容，这进一步提高了DAC的精度。

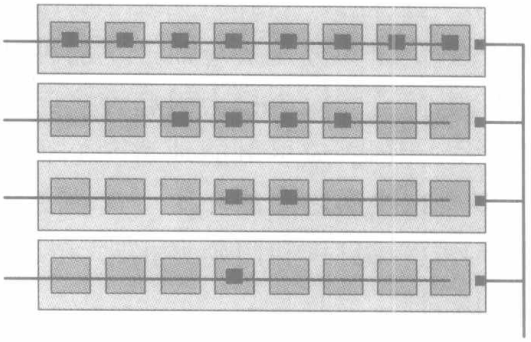


图19.22　电容型DAC中电容的版图实现

(12) 把信号线与信号线之间的距离拉大，可以减小信号之间的相互串扰。

(13) 尽可能避免在一条长信号线下平行走过另一条长信号线。因为长距离平行走线的两条信号线之间存在着较大的分布电容，一条信号线会在另一条上产生较大的噪声，使电路不能正常工作。

(14) 在大多数的混合信号电路中，至少要有一个“模拟地”和“数字地”，以避免数字模块产生的大的瞬态噪声干扰模拟模块的正常工作。

(15) 由于现在大多数的ADC芯片属于数模混合电路，故应注意减小数字电路对模拟电路的干扰，提高整个ADC芯片的抗噪声性能。解决方法是将两种电路尽量远离，以及在敏感的模拟电路周围加上保护环。在模拟电路版图的绘制时，更要仔细考虑元件在电路中的作用，以及元件间的匹配性问题，在走线的时候也要减少信号线之间的串扰。对于匹配性要求高的元件，应采用共中心的版图画法，尽量减少器件失调。

(16) I/O端口设计要特别重视电路的可靠性问题，其中电路的抗静电击穿能力、抗Latch-up能力和驱动能力、电平兼容问题都和端口设计有关。设计中应注意以下两点：即采用的方法和技术是经过实践验证过的；还有应考虑各种因素，具有合适的保险系数。

(17) 为了减少设计错误、缩短设计周期，可以根据电路特点和需要，事先设计好若干个版图单元，存入库中。在以后的设计过程中，只要从单元库中将设计好的并已经通过版图验证的单元调出来，利用CAD系统的图形编辑功能，通过重复、翻转、平移等方式即可组成各种新的电路单元。

6. 版图设计举例

本例是针对图19.24所示的一个两级CMOS运算放大器进行版图设计。

这是个加入了增益为1的缓冲器的两级CMOS运放电路，其中M_1～M_4构成有源负载的差分输入级；M_5提供该级的工作电流；M_8，M_9构成共源放大电路，作为输出级；M_7为源跟随器，作为增益为1的缓冲器，以克服补偿电容的前馈效应，并消除零点；M_6提供M_7的工作电流；M_{10}，M_{11}组成运放的偏置电路。下面仅从版图设计规划、器件设计、防ESD及抑制Latchup效应等方面进行介绍。

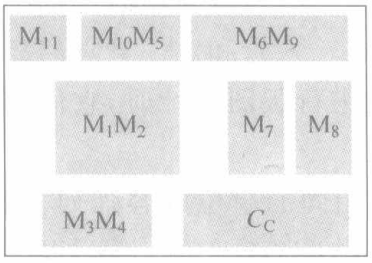


图19.23　总体布局规划

(1) 设计规划

整体版图的布局如图19.23所示，图中空白之处为各模块之间的布线区。其中，将P型的差分输入对管M_1，M_2组成

一个小模块，输入差分对管要求有比较高的匹配性以减小输入失调，为了减小由于工艺偏差而造成的晶体管失配，在画版图的时候应采取对称的设计方法。将 M_1，M_2 输入对管的有源负载 M_3，M_4 组成一个小模块，同样，要求 M_3，M_4 有比较好的匹配，因此在画版图的时候也应采用对称的设计方法。P 管 M_{10}，M_5，M_6，M_9 组成比例电流源，用来为电路提供稳定的偏置电流。M_{10}，M_5，M_6，M_9 这四个管子也应作好匹配，并保证各比例电流源的电流比符合电路设计的要求。为了布局方便，可以将 M_{10}，M_5 组成一个小模块，而把 M_6，M_9 放在另一个小模块中。M_7，M_8 没有匹配性要求，但要注意做好信号的隔离。同时由于 M_7，M_8 是大尺寸的管子，因此在画版图时应采用多栅并联结构，以减小版图面积。在画版图时 M_7，M_8 和 M_{11} 自成一个小模块。电容 C_C 采用多晶硅 1 和多晶硅 2 作上下极板。由于 C_C 值非常小，只有 10 皮法，因此电容所占的版图面积比较大。暂且按图 19.24 规划的那样将电容的位置放在右下角，如果整个版图画好之后预流给电容的地方不够大，则可以根据实际情况把电容分成几块填在版图的空隙中。

另外在布局时，应该将在功能上互相有关或相连的模块尽可能地靠近，从而减少传输延时，提高电路速度。

(2) 晶体管的设计

从电路图上可以看出，大部分的晶体管都很细长，如图 19.24 所示。

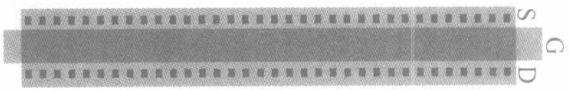


图 19.24　沟道宽长比很大的细长的晶体管

细长的晶体管不仅寄生电阻和寄生电容大，而且也会增加版图布局布线时的难度，为了减小寄生效应，使版图布局紧凑，我们可以根据晶体管等效拆分的原理，将上面这个沟道宽长比为(W/L)的管子，拆成 4 个宽长比为 $1/4(W/L)$的管子。如图 19.25(a)所示。

为了使版图布局更紧凑，进一步减小芯片面积，我们可以先将上面第二和第四个晶体管左右翻转，然后再将拆分后的管子的源极或者漏极重叠在一起，合并共用的源漏区，如图 19.25 中(b)和(c)所示。其中 S 表示源极，D 表示漏极。

(3) 有源负载的设计

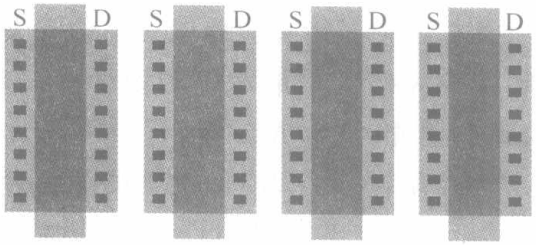
为保证输入级两臂对称，在版图设计中，有源负载应该采用中心对称的设计。由于负载管是大尺寸的管子，故在设计时最好采用多栅并联结构，以减小版图面积和源、漏的结面积，且各分段的栅用铝线连接，以减小延迟，如图 19.26 所示。

(4) 电流源的设计

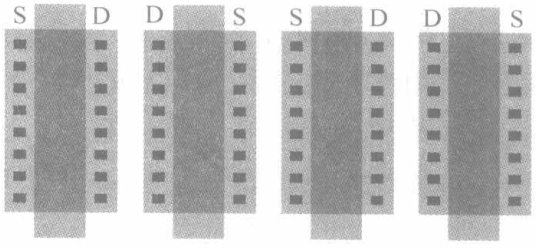
对于比例电流源，为保证其比例，在版图设计时，不仅保证电路设计中各管子的尺寸要求；且在布图时，比例电流源各管子的排列方向都一致，以减小工艺误差带来的影响。同上面有源负载管一样，电流源也采用一维中心对称的设计方法。

(5) 差分输入对管的设计

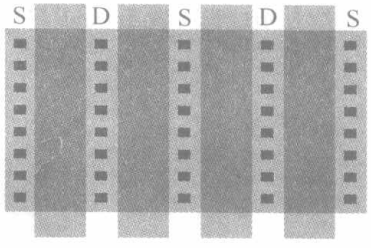
差分输入对管要求有比较高的匹配性，以增强输入灵敏度，为了保证输入级两臂对称，以减小输入失调，在版图设计时，应采用二维的质心对称(交叉对称)法，如图 19.27 所示。



(a)



(b)



(c)

图 19.25

(a) 将一个大管子拆分成 4 个小管子；(b) 将第二和第四个晶体管左右翻转；(c) 合并共用的源漏区

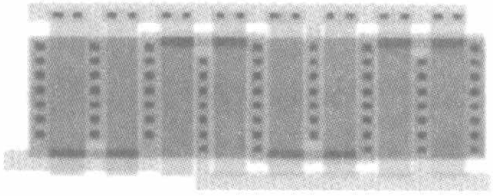


图 19.26 有源负载的版图设计

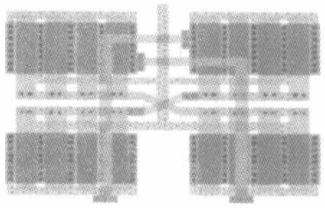


图 19.27 差分输入对管的版图设计

(6) 预防 Latch-up 所采取的措施

为防止 Latch-up 对电路产生破坏作用，在电路的内部还采用了保护环结构。所有管子均要用保护环相隔离，具体的做法是：电流源 M_{10}，M_5 放在一起，用一个保护环围起来；电流源 M_6，M_9 放在一起，用一个保护环围起来；差分输入对管 M_1，M_2 圈在一起，为了严防信号干扰，应该用双层保护环将其同其他管子隔离开来，并且避免其他金属线从这两个管子的上面走过；有源负载 M_3，M_4 画在一起，并打上一个保护环，同时也应像差分输入对管一样避免其他金属线从其上通过。管子 M_{11}，M_7，M_8 和电容 C_C 只需要用保护环圈上即可。

(7) 输入/输出保护

如果将上面这个两级 CMOS 运算放大器作为芯片来画版图的话，则为防止 ESD 对电

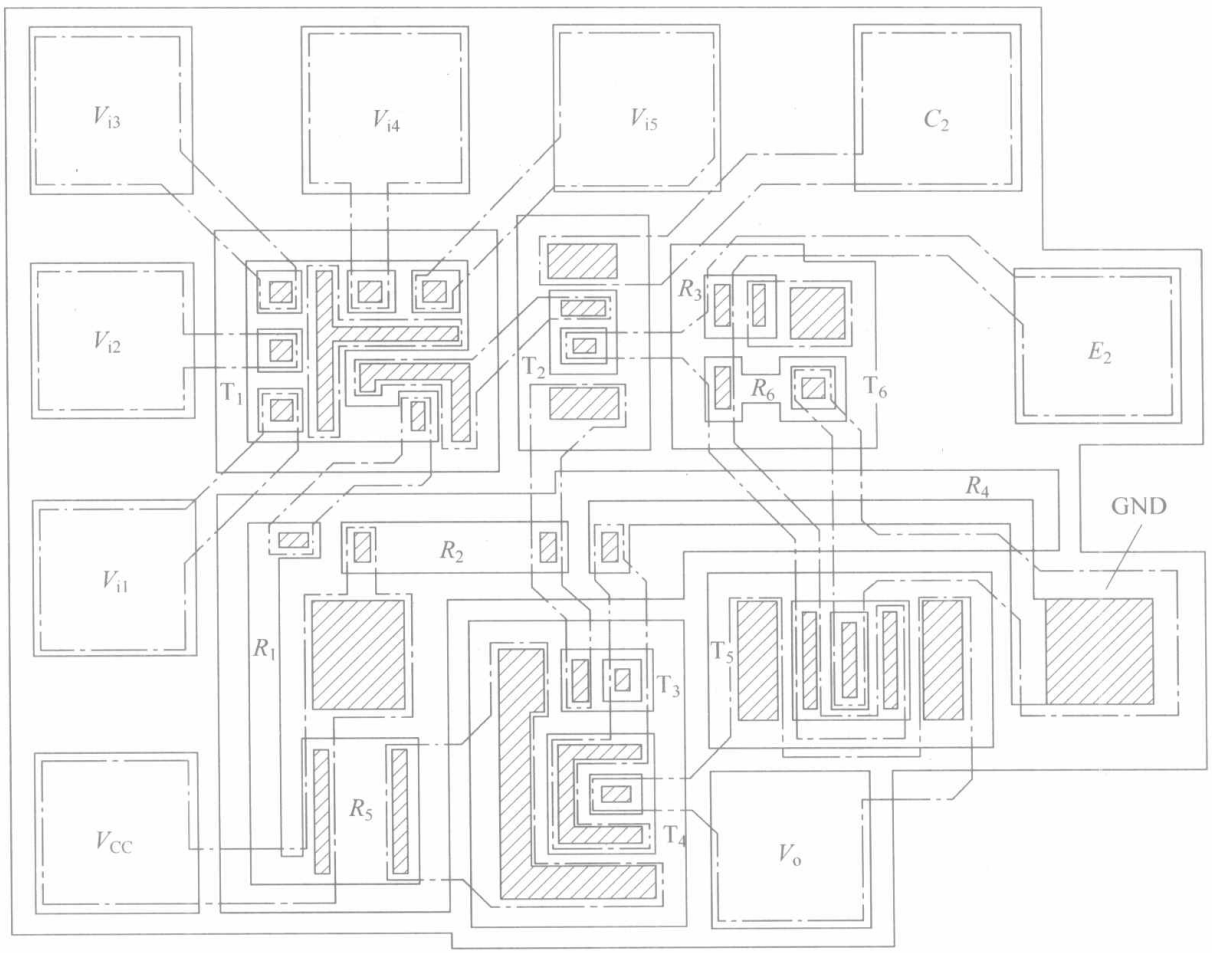
路的破坏，整个芯片在输入端和输出端还应该加上二极管-电阻保护电路(详见 21.1.2 小节和 21.1.3 小节中的有关论述)，在此就不再赘述。

7. 总结

从这个小电路的例子就可以看出，版图设计对缩小芯片面积，提高电路性能和电路可靠性方面的重要作用。

复习思考题

19.1　如图题 19.1 所示的实际版图，要求：



图题 19.1

(1) 把版图恢复成具体电路图，并说明这是什么电路，完成什么逻辑功能；

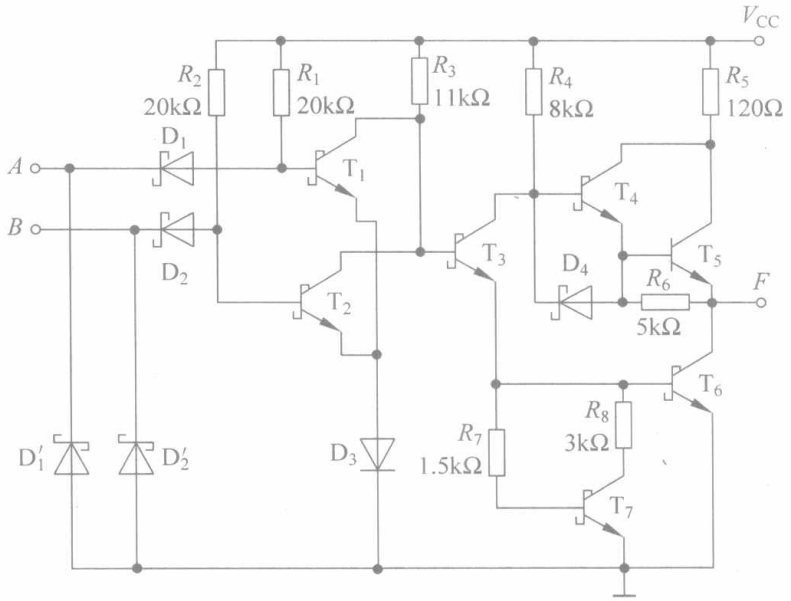
(2) 估算出版图上各电阻的阻值 $R_{SB}=200\Omega/\square$；

(3) 就版图上各个元器件的图形形状、尺寸以及布线等方面进行讨论和分析，提出你的意见。

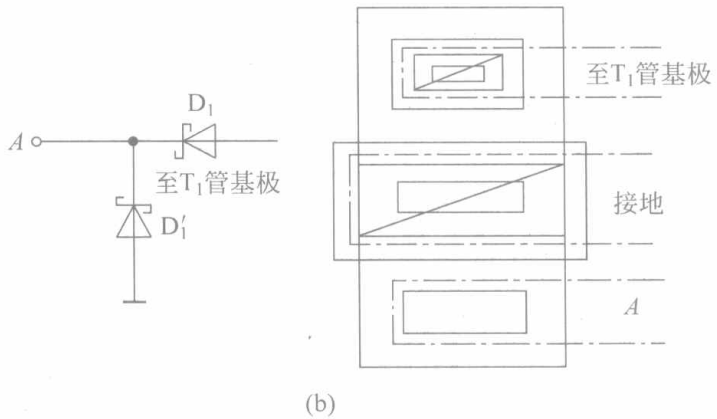
19.2　读图练习：对照图题 19.2(a)的电路图和(b)，(c)，(d)中的元件图，看懂(e)中的实际版图，了解双极数字电路的版图设计。

LSTTL 二输入端四或门(SN74LS32)电路(1/4)如图题 19.2(a)所示。根据隔离区划分原则,将四个或门的电阻集中在一个隔离区内。D_1 和 D_1';D_2 和 D_2';T_1 和 T_2;T_3 和 D_4;T_4,T_5 和 R_6;R_7,R_8 和 T_7;D_3;T_6 均各占一个隔离区。

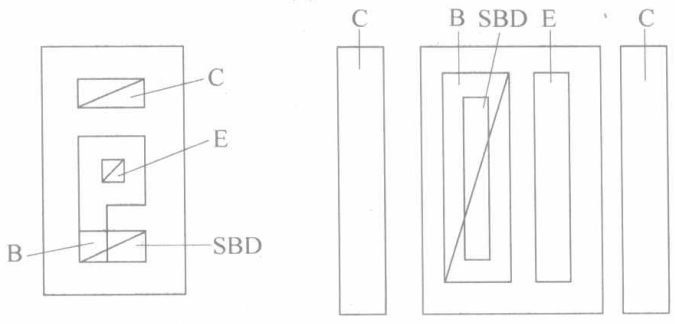
该电路采用对通隔离、深磷扩散、泡发射极工艺,共需 10 块掩模版:隐埋层版、下隔离



(a)

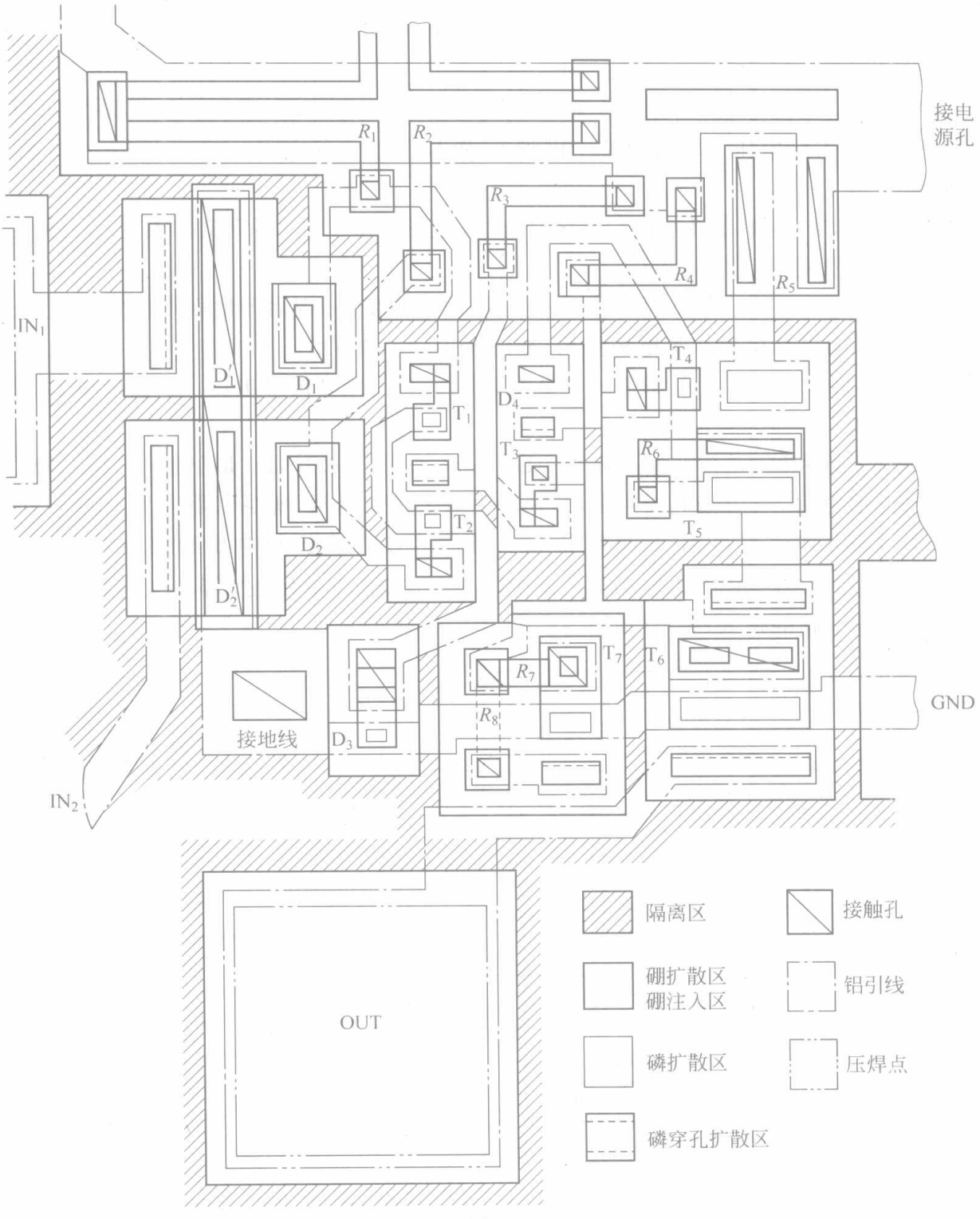


(b)



(c) (d)

图题 19.2



(e)

图题 19.2(续)

版、深磷版、注入电阻版、基区带槽版、发射区版(泡发射区)、接触孔版、肖特基孔版、反刻铝版、压焊点版。可见,该工艺比典型 PN 结隔离工艺复杂得多。

该电路版图(1/4)如图题 19.2(e)所示。LSTTL 电路中元件图形设计有它自身的特点，现就图题 19.2(e)中的元件分述如下：

输入肖特基二极管 D_1 和 D_1'，D_2 和 D_2'都采用带 P 型保护环的结构，如图题 19.2(b)所示，以提高反向击穿电压。输入钳位二极管 D_1'和 D_2'要求串联电阻 r_d 小，因而采用了较大的 SBD 面积。

T_1，T_2，T_3，T_4 均采用最小面积晶体管，因是泡发射极工艺，不需刻出发射极引线孔，所以面积很小，如图题 19.2(c)所示。

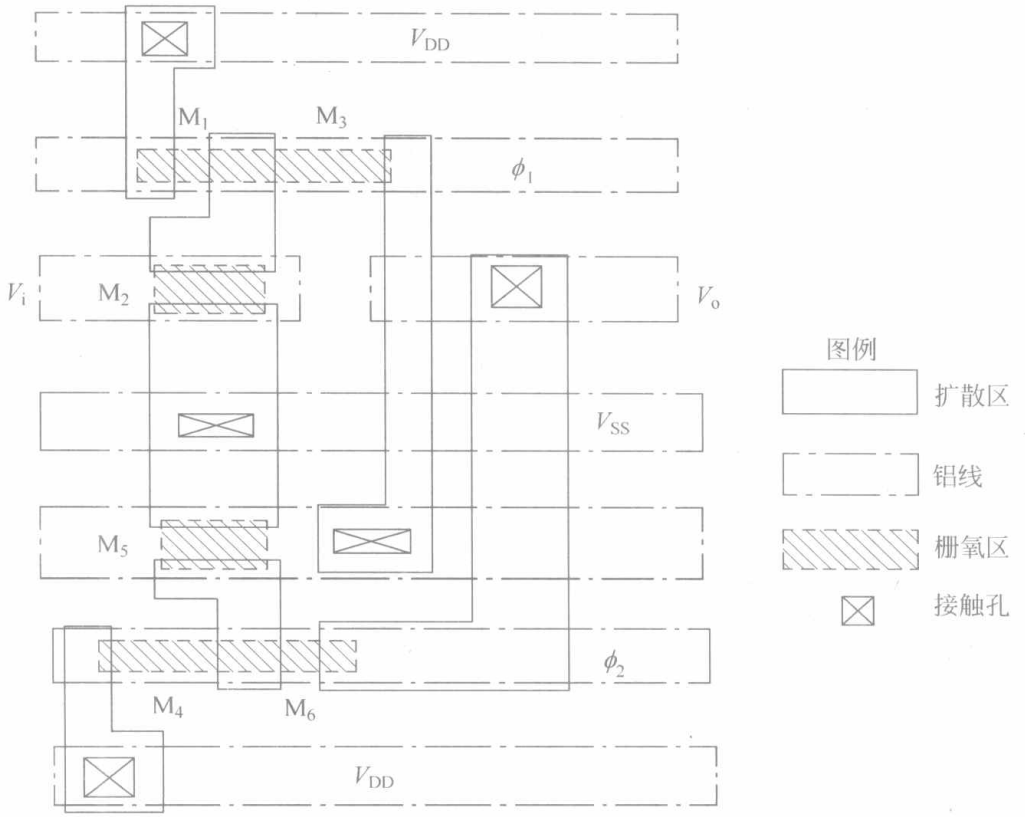
T_6 是输出管，要带一定数量负载，集电极串联电阻要小，因而图形面积较大。这里采用带 P 型保护环的单基单射双集电极结构，如图题 19.2(d)所示。

为了缩小面积，T_7，R_7，R_8 放在一个隔离岛内。为了提高击穿电压，T_7 也采用了带 P 型保护环的结构。

T_5 不进入饱和区，是个普通晶体管。D_3 是 BC 短接二极管，D_4 是单独 BC 结二极管。

R_5 是低值电阻，采用硼扩散电阻，其余均为离子注入电阻，薄层电阻为 1.5kΩ/□。

19.3　图题 19.3 是某铝栅 MOS 集成电路版图的一部分，试画出相应的电路图，并注明各器件的尺寸 W/L(W/L 取整数)。图中 V_{DD}为电源线，V_{SS}为地线，ϕ_1，ϕ_2 为时钟控制线，V_i 是这一部分电路的输入，V_o 是输出。



图题 19.3

第20章 集成电路设计方法

根据不同的要求(如电路性能、设计周期、设计成本等)可有不同的版图设计方法,本章将介绍几种主要的方法。

20.1 全定制设计方法

全定制设计方法(full-custom design approach)是利用人机交互图形系统,由版图设计人员从每个半导体器件的图形、尺寸开始设计,直至整个版图的布局和布线。如18.2节中介绍的双极型集成电路的设计例子就是全定制设计。

全定制设计的特点是针对每个元件进行电路参数和版图参数的优化,它往往采用自由格式的版图设计规则进行设计,并由设计者不断完善版图设计,以使每个元件及内连接安排得最紧凑、最合适。这样,可以得到最佳的性能(包括速度和功耗)以及最小的芯片尺寸,有利于提高集成度和降低生产成本。它适用于要求最高速度、最低功耗和最省面积的设计,随机逻辑网络经常用这种设计方法。

利用这种方法设计时,除了要求有人机交互的图形系统支持外,还要求有完整的检查和验证的CAD工具,这些工具包括设计规则检查(DRC)、电学规则检查(ERC)、版图参数提取、版图和电路图一致性检查等。这种设计方法要求设计者有相当深入的微电子技术和生产工艺方面的专业知识和一定的设计经验。这种设计的缺点是设计周期很长、查错困难较大,且设计费用很高。

20.2 符号法版图设计

符号法版图设计是利用一组预先定义好的符号来表示版图中的晶体管、接触孔、多晶硅和铝引线等,典型的符号定义如图20.1所示。

设计人员根据网络要求画出一相应的符号图,自动转换程序再将这些符号自动地转换成版图图形。这时人们不需考虑版图规则的细节,也不存在违反设计规则的问题,所以效率会大大提高。

目前有三种符号法,即固定栅格式、梗图式、虚网格式。

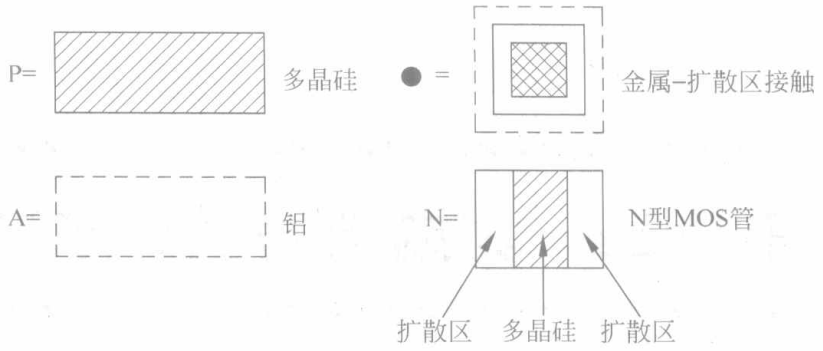


图 20.1　典型的符号定义

固定栅格式是把芯片表面划分成均匀间隔的栅格，栅格大小表示最小的特征尺寸或布局上的容差。设计人员根据要求将这些符号画在栅格图上(见图 20.2(a))，经自动转换得到版图形式(见图 20.2(b))。

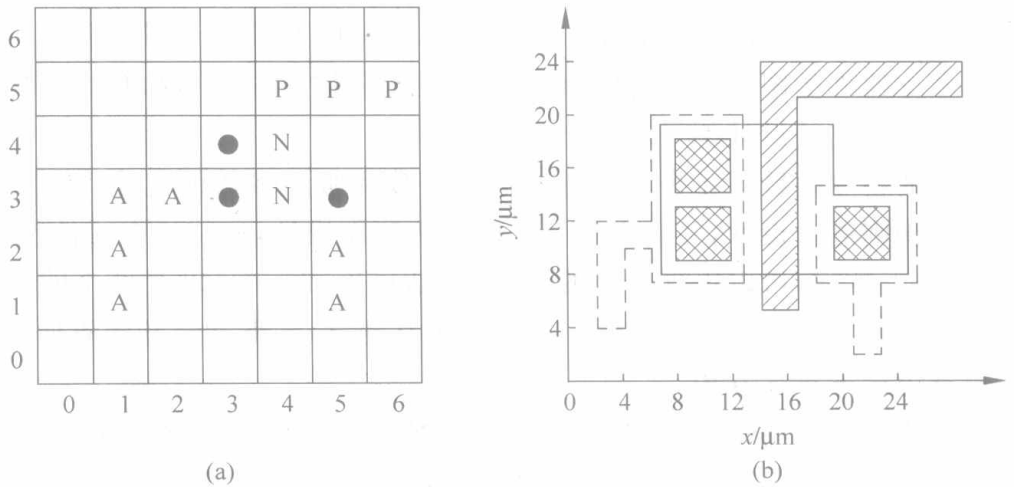


图 20.2　固定栅格式符号法示意图

梗图式是设计人员根据网络图画出一对应的梗形草图，符号法设计系统将其整理成规则的梗形图，再进一步转换成版图形式。

由于梗形草图是自由画制，符号之间的间距并不固定，因而转换得来的版图可能有空余的空间，这时，符号法设计系统利用一种自动压缩程序在 x 和 y 方向分别将版图压缩到设计规则所允许的最小间距，整个过程如图 20.3 所示，其中，图(a)为梗形草图，图(b)为规则的梗形图，图(c)为转换成的版图。

虚网格符号法是在吸取了其他符号法的经验基础上发展起来的。

“虚”网格是指网格之间的最终间距取决于相邻网格上电路元件密度和相互关系，不再是固定的，如图 20.4 所示。

图 20.4(a)中有 4 个图形，并分别对中于各个网格线。如果采用 10 个单位的固定栅

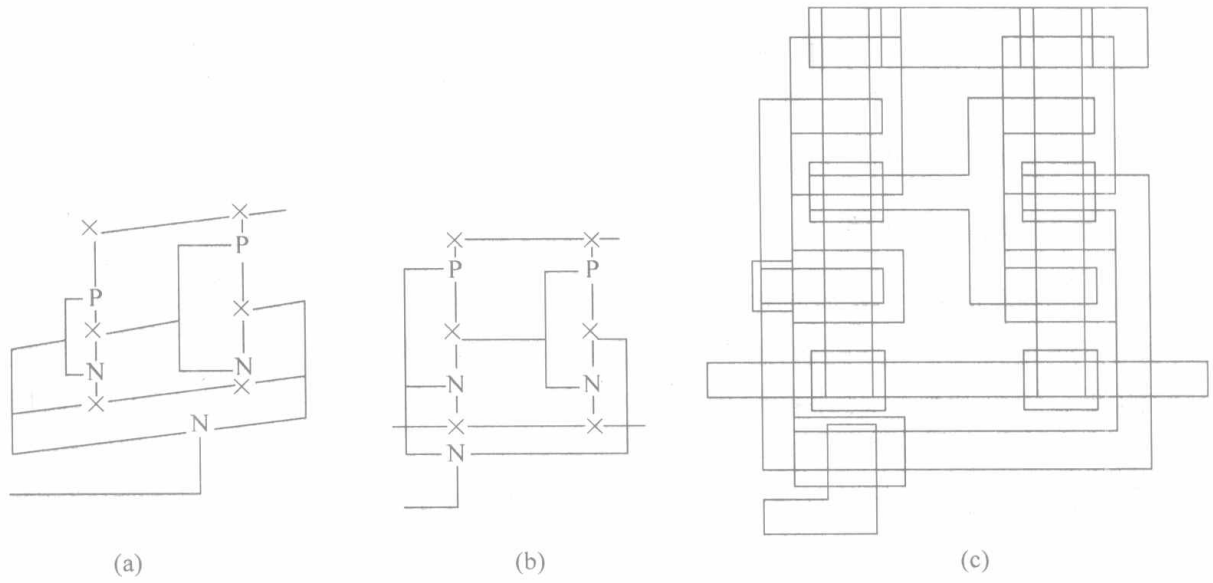


图 20.3　梗图式符号法示意图

格，线宽取 10 个单位，间距也取 10 个单位，则得到图 20.4(b)的掩模图。如果采用虚网格方式，网格线间距将按拓扑关系而变，就可得到图 20.4(c)所示的掩膜图。对某些虚网格压缩器来讲，还可得到如图 20.4(c)虚线(指小方格)的掩膜图。

这样，对于设计人员来讲，在网格上进行布局时，可不必考虑任何设计规则的要求。与人工全定制版图设计相比，符号法有明显的优点。它的设计工作量明显下降，版图错误可显著减少，但仍保持很高的灵活性。另一个突出的优点是“工艺可更新”。因为设计描述是采用符号形式，基本的掩模信息是从符号格式“译码”而来的，所以只要修改相应的工艺文件，同一符号就可以得到不同尺寸的掩模形式，这就大大有利于同一种电路的工艺更新。

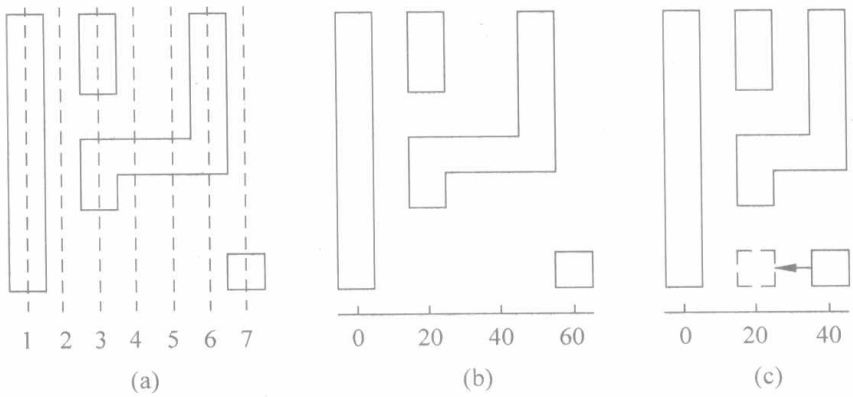


图 20.4　虚网格符号法示意图

符号法要求 CAD 系统能产生和编辑版图符号，辨认各种符号并进行转换，能进行自动的版图压缩，但不需要设计规则检查工具。

20.3 半定制设计方法

半定制设计方法(semi-custom design approach)适合于专用集成电路 ASIC。

20.3.1 标准单元设计法

在标准单元设计法中,基本的电路单元(如 D 触发器、"与非"门、全加器等)的版图是预先设计好的,放在 CAD 工具的版图库中,而且具有统一的高度。这部分版图不必由设计者自行设计,所以叫半定制。设计者利用 CAD 工具绘制电路方框图,然后 CAD 工具能够利用方框图中单元逻辑电路符号与单元电路版图的对应关系,自动布局布线,生成版图。设计者也可利用标准单元的版图人工布局布线。一般说来,人工布局布线的硅片面积利用率高,但费时较多,易出错误。标准单元法不要求设计者必须具有专门的半导体工艺知识。图 20.5 示出了铝连线前用标准单元法设计的芯片示意图,不同的标准单元有相同的高度,而宽度则根据单元的复杂程度可宽可窄。电源线 V_{DD} 和地线 GND 在不同的单元中也位于相同的高度。每一排中的各标准单元的电源线和地线可以自动对齐,相互连接。信号线则可以由每个标准单元的上下边引出,在各排标准单元之间留有布线通道。

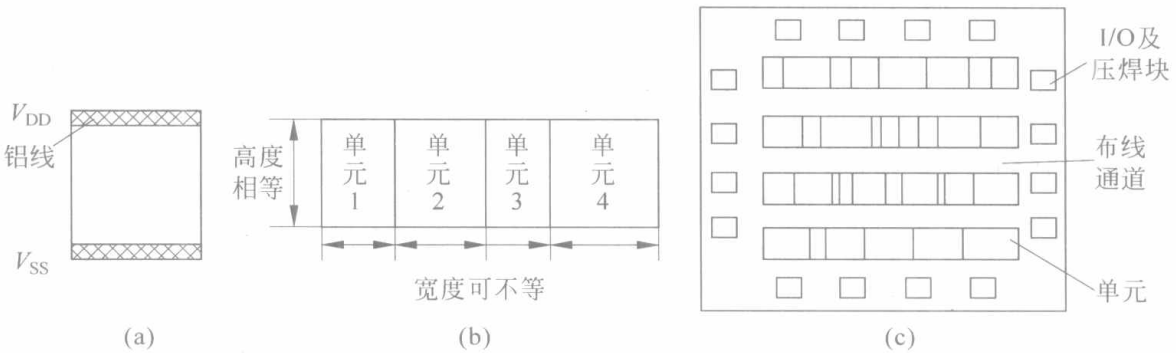


图 20.5 标准单元法设计的芯片示意图

(a) V_{DD}、V_{SS}在两端;(b) 标准单元示意图;(c) 标准单元法的版图布置

设计步骤如下:

首先,设计者利用电路方框图调用电路符号库中的单元电路(如 D 触发器、与非门)符号,绘制逻辑方框图或利用一种硬件描述语言(HDL)编写系统设计的程序,这步称为设计输入。

接着设计输入文件经过编译给出一种中间设计语言 IDL(intermediate design language)编写的文件,它可以称为网表(netlist)。这种网表可能与生产工艺有关,也可能只描述电路原理,与生产工厂的工艺和实际电参数无关。在决定生产工厂和工艺之后,需要结合该厂的工艺参数将此表编译,得出另一种网表(和工艺参数有关的网表),然后进行功能模拟。若模拟结果符合设计要求,就可以将网表文件送交工厂生产;或者将网表经过版图绘制软件,变成掩模版图送交工厂生产。此掩模的绘制是由该软件调用单元版图库中的单元

版图自动布局布线完成的。

在版图设计之前进行功能模拟时，连线分布电容量的值是按公式算出的，不符合实际。版图设计好后，分布电容的值就进一步确定了。所以可对原设计进行修正，并进行测试模拟（后模拟）。

20.3.2 门阵列设计方法

门阵列是在一个芯片上把逻辑门排列成阵列形式，每个门具有相同的版图形状，门与门之间暂不相连，因此构成一个未完成的逻辑阵列。严格地讲，门阵列是把单元（若干器件）排列成阵列形式，每个单元内含有若干器件，通过连接单元内器件使每个单元实现某种类型门的功能，并通过各单元之间的连接实现电路的要求。

由于芯片内的单元是相同的，所以可以采用统一的掩模，而且可完成连线以外的所有芯片的加工步骤（即金属化前的所有工序），这样的芯片可以大量制造并存储起来，在需要时，可以从中取出一部分加以“单独处理”。所以生产周期缩短约 1/2，成本大大下降。掩模版的代价为通常情况下的 1/4～1/8。适用于要求设计周期短而生产批量小的产品的设计，但芯片面积的利用率较低，较小的门阵，其门的利用率为 80%～90%，对于大的门阵，其门的利用率为 40%～60%。

门阵列的两种典型版图布图如图 20.6(a)、(b)所示，它有三个区域：四周是压焊块及 I/O 电路，芯片中间为单元区和连线通道区，连线通道处于单元之间，连线为一系列垂直方向和水平方向的线段。如果门阵允许有双层金属连线，金属层之间通过“通孔”（via）连接，一般第一层金属是水平的，第二层是垂直的；如只允许单层金属，则水平线段为金属，垂直线段就必须采用多晶硅。现在已开发出无通道门阵（又称门海）技术，其版图的中心部位全部为门阵单元，自动布线时直接经过未使用的单元进行布线，所以单元电路可大可小，且连线通道的自由度也增加了。

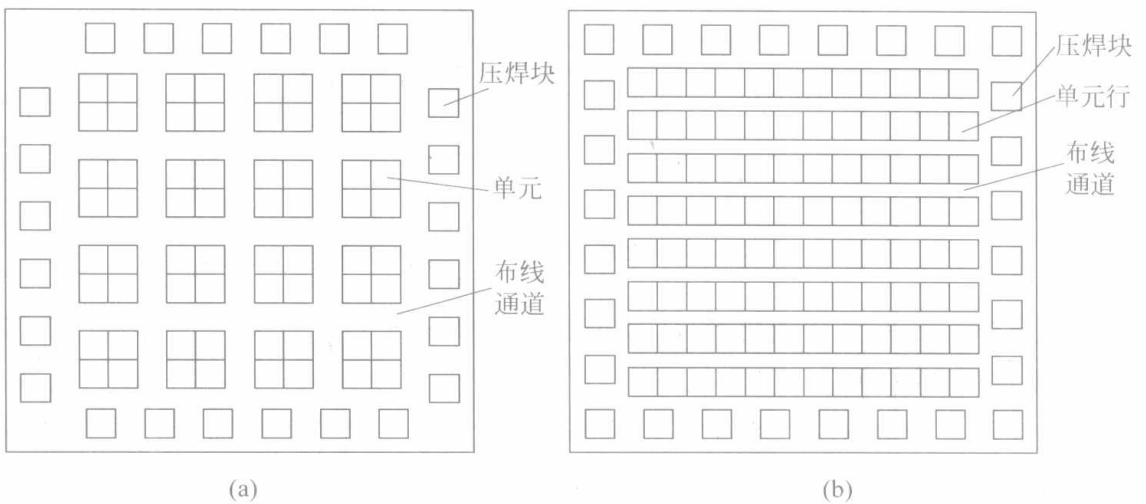


图 20.6 门阵列的典型版图布图

CMOS门阵列单元版图(四管单元)如图 20.7 所示,利用该单元可以构成二输入与非门,其铝连线及布线后的复合版图如图 20.8 所示。

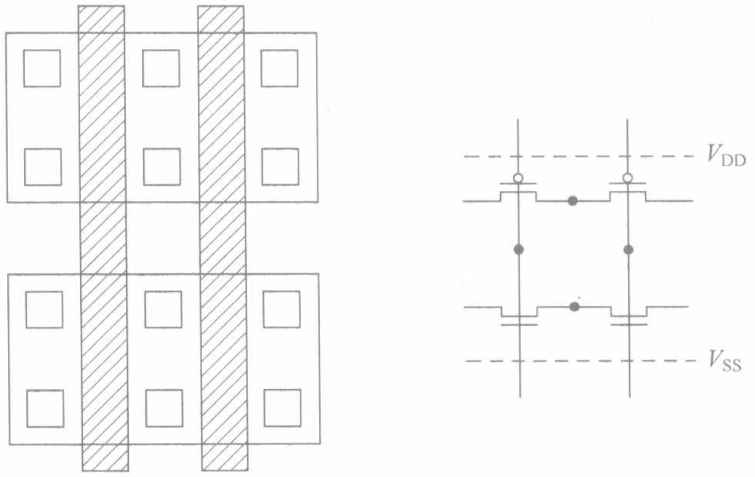


图 20.7　CMOS门阵列单元版图(四管单元)之一

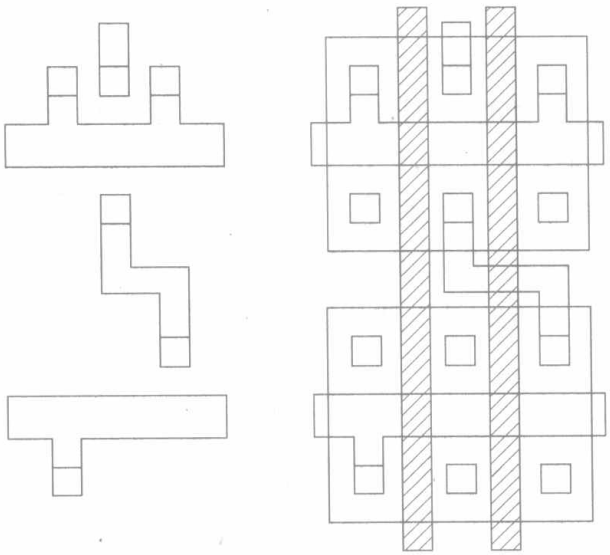


图 20.8　铝连线及布线后的合成版图

图 20.9 是另一种形式的四管单元,这种单元很容易实现锁存器中的传输门和反相器。门阵列中最简单的四管单元,是针对二输入与非门而优化设计的,但对于三输入与非门则要求二个单元,浪费了一对管子。似乎二管单元最好,但由于每个单元需要一个隔离环,因此面积并不节省。

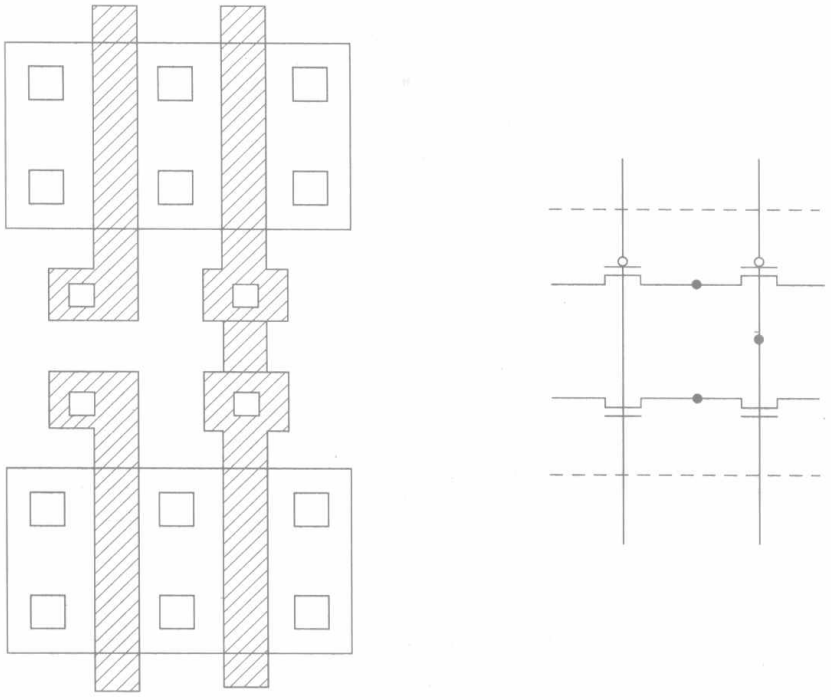


图 20.9　CMOS 门阵列单元版图(四管单元)之二

双极型电路门阵列单元版图如图 20.10 所示，它是一个四输入端的单元，由三个晶体管(其中有一个为多发射极晶体管)和五个电阻组成，通过不同的布线，可构成不同要求的门，如图 20.11 和图 20.12 所示。

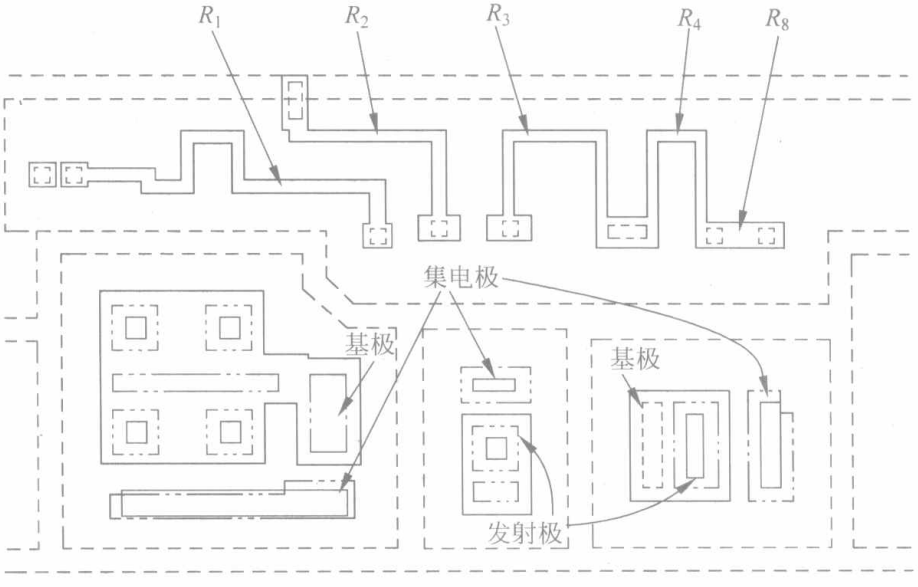
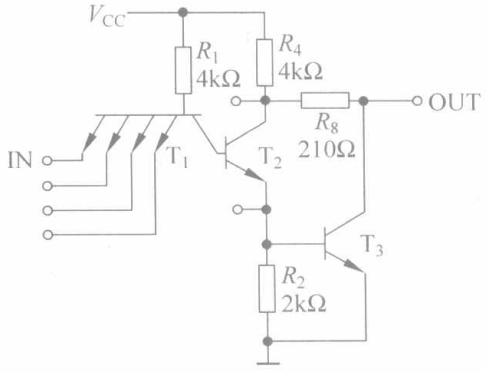
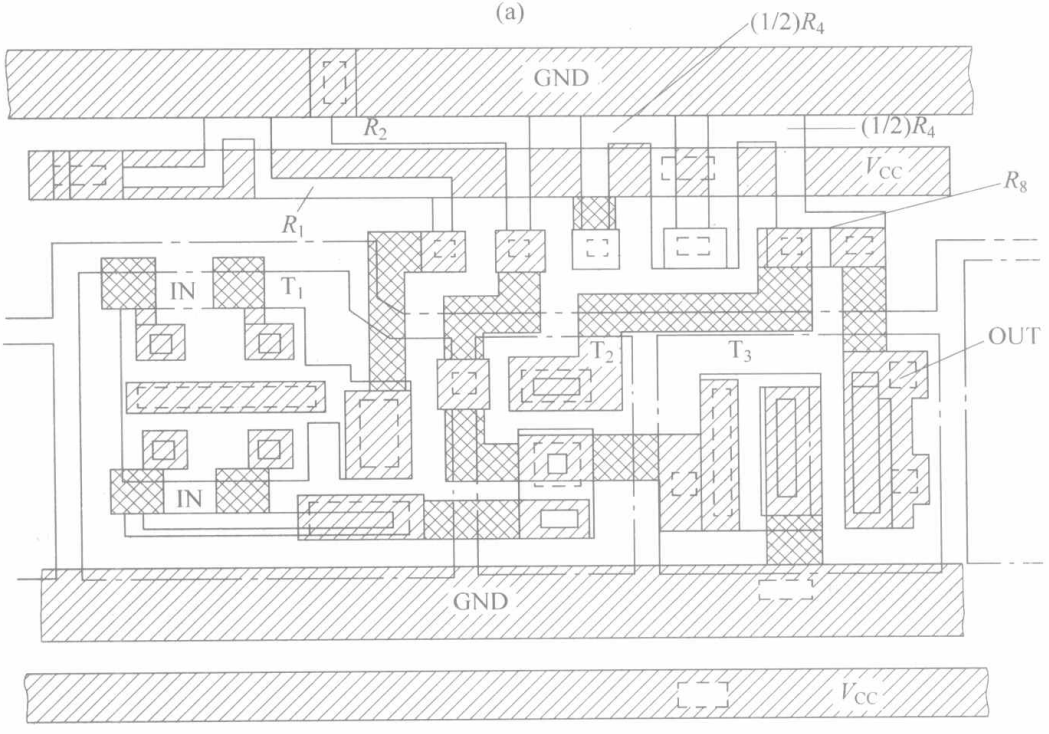


图 20.10　双极型电路门阵列单元版图

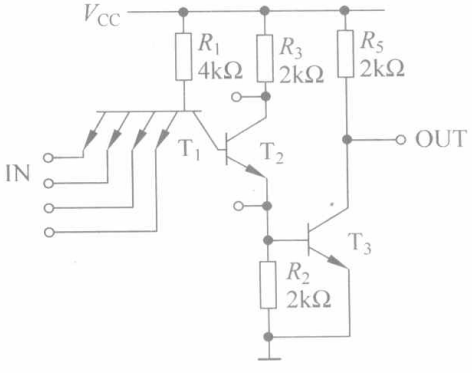


(a)



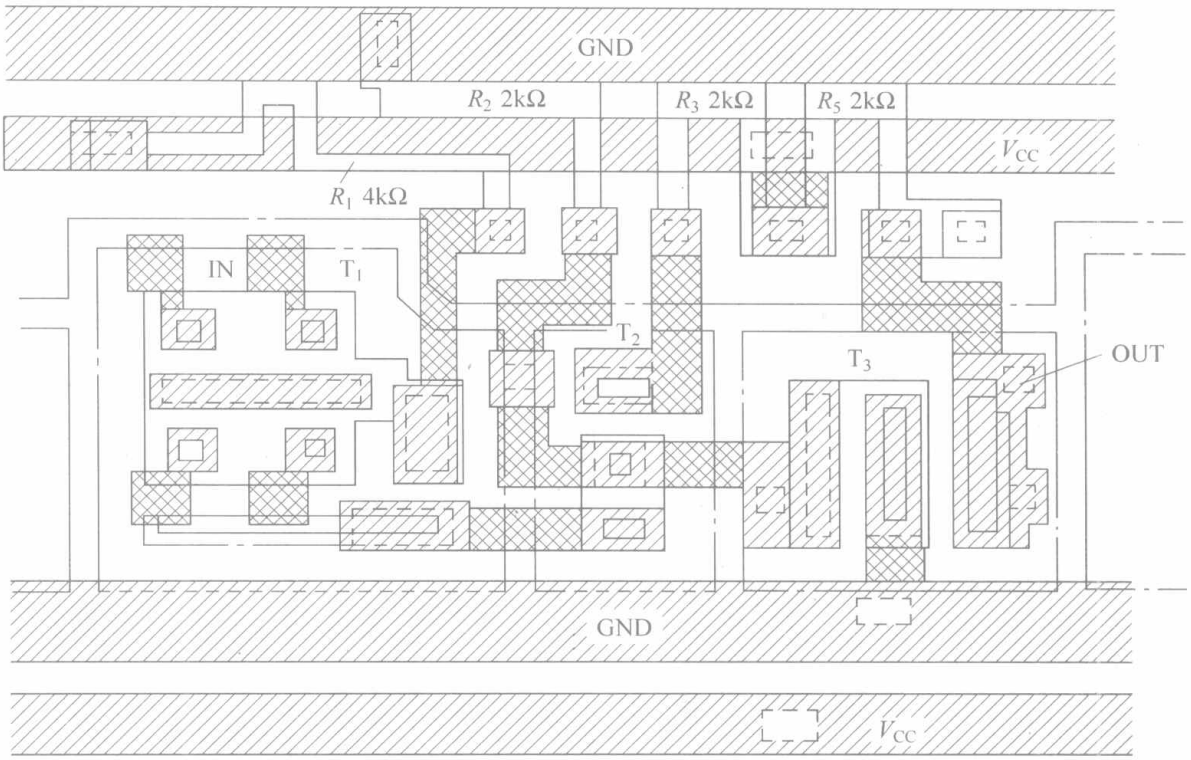
(b)

图 20.11　低功耗门的电路图与版图



(a)

图 20.12　高功耗门的电路图与版图



(b)

图 20.12 （续）

20.4 可编程逻辑器件(PLD)设计法

根据布尔理论，任何组合逻辑都可由“与”和“或”来实现。所以可设计出一种由输入变量构成的“与”矩阵，再将其输出(乘积项)馈入“或”矩阵的结构，如能对这两矩阵进行适当编程，即可得所需的各种逻辑功能。下面介绍三种用得较多的可编程逻辑器件 PLD (programmable logic device)。

1. 可编程逻辑阵列(PLA)

PLA(programmable logic array)的基本结构如图 20.13 所示，它由一个“与”矩阵和一个“或”矩阵组成，两个矩阵都可编程，其编程是通过组成矩阵的 MOSFET 的栅是否连接到输入信号来实现的。“与”矩阵的输入为 n 个，输出为 p 个(称乘积项)。“或”矩阵的输入为 p 个(是“与”矩阵的输出)，输出为 m 个。

根据图中栅的连接(编程)，可以得到如下的功能：

$$p_1 = \overline{n_1 + \overline{n_2} + \overline{n_3}} = \overline{n_1} \cdot n_2 \cdot n_3$$

$$p_2 = \overline{\overline{n_1} + n_3} = n_1 \cdot \overline{n_3}$$

$$p_3 = \overline{n_1 + n_2 + n_3} = \overline{n_1} \cdot \overline{n_2} \cdot \overline{n_3}$$

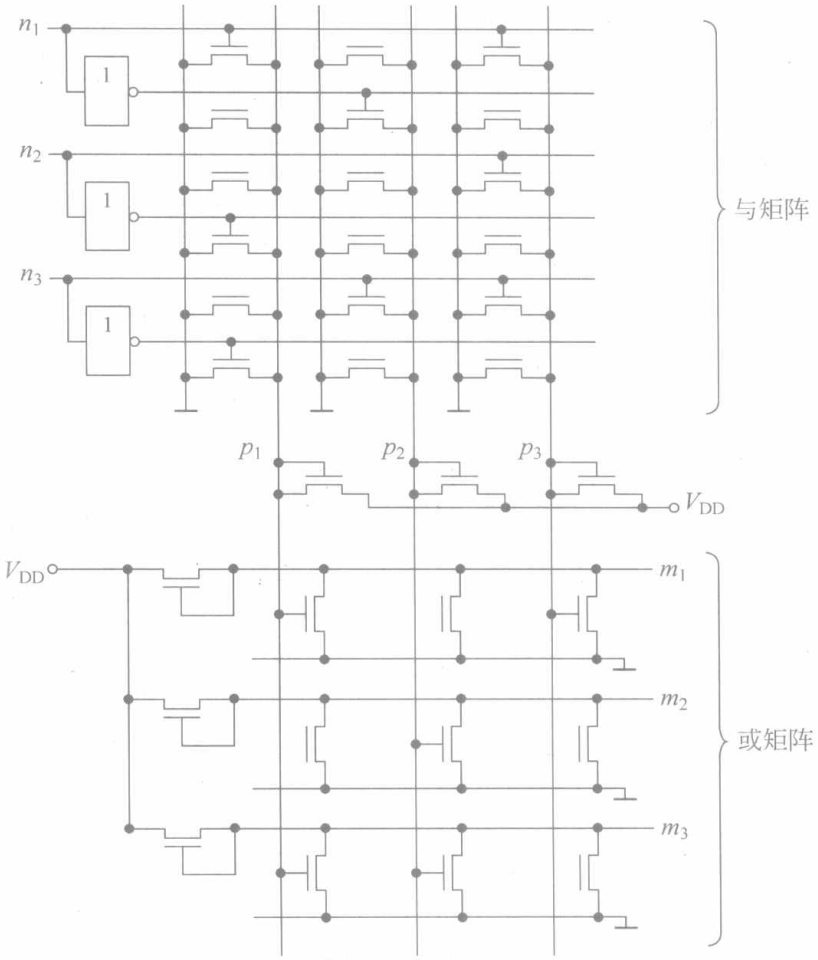


图 20.13　PLA 基本结构

因而此 PLA 电路的输出为

$$\overline{m_1} = p_1 + p_3 = \overline{n_1} \cdot n_2 \cdot n_3 + \overline{n_1} \cdot \overline{n_2} \cdot \overline{n_3}$$

$$\overline{m_2} = p_2 = n_1 \cdot \overline{n_3}$$

$$\overline{m_3} = p_1 + p_2 = \overline{n_1} \cdot n_2 \cdot n_3 + n_1 \cdot \overline{n_3}$$

从这个例子可以看出，在逻辑上，可以把 PLA 看成“与-或”两级结构的可编程多输入输出的组合逻辑电路，因而可以实现任意的逻辑函数。当把 PLA 的某些输出向输入反馈，则可构成 PLA 的时序逻辑电路。图 20.14 是用 PLA 实现五进制计数器的示意图，它是直接用内部带有触发器和反馈线的 PLA 来实现的。“或”矩阵的某些输出连到主从触发器，而触发器的输出再反馈到“与”矩阵的输入端。图中 Y_1, Y_2, Y_3 表示当前状态的编码，X 表示输入，Z 表示输出，Y_1', Y_2', Y_3' 表示转换后的状态，由 Y_1, Y_2, Y_3 和 X 的组合决定下一个状态及输出。

PLA 的主要缺点如下：

① 速度慢。因为采用矩阵形式，所以有较长的连线，特别是乘积项较多时更是如此。

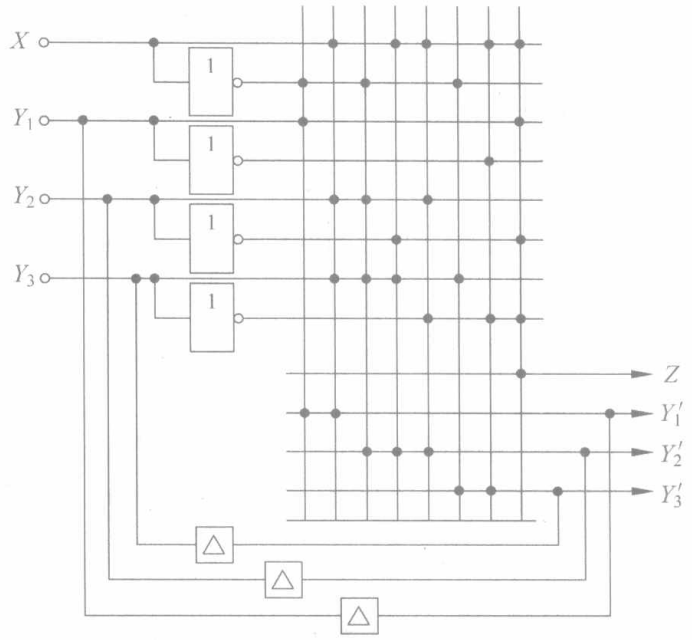


图 20.14　用 PLA 实现五进制计数器

② 占用面积较大。

③ 器件的利用率低。

为解决面积大和器件利用率低的问题，发展了多种折叠方案，如图 20.15 所示。图中所示的行折叠和列折叠可以通过分析 PLA 的“特征矩阵”来得到，图中虚线表示连线的切割。

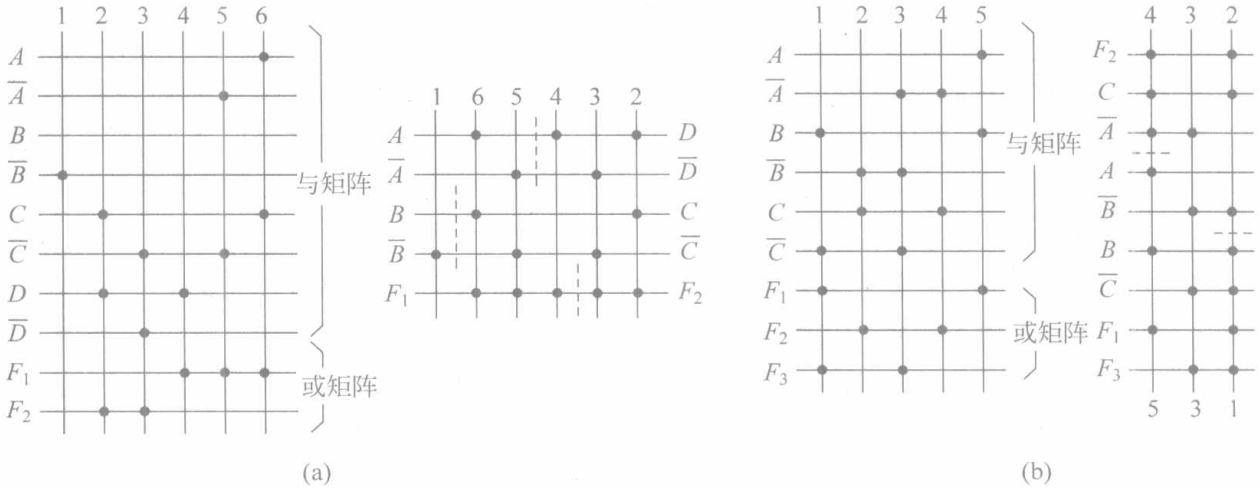


图 20.15　折叠方案示意图

(a) 行折叠；(b) 列折叠

2. 可编程阵列逻辑(PAL)

PAL(programmable array logic)与 PLA 同是采用“与”矩阵和“或”矩阵组合完成不同

的逻辑功能，它们的不同之处是，PLA 是在母片上进行最后的金属化和布线，而 PAL 是利用熔丝实现连线的断通。

设计方法是采用 PAL 程序进行逻辑综合与设计，在任何特定的编程器上自动完成熔丝的通断，实现用户所需的逻辑功能。

3. 通用可编阵列逻辑(GAL)

GAL(generic array logic)与 PAL 一样采用“与”矩阵及“或”矩阵结构。与 PAL 不同之处为：①采用 CMOS 的浮栅工艺制造晶体管，所以可电擦电写、可重复(100 次以上)编程；②采用可编程输出逻辑宏单元 OLMC(output logic macro cell)，并可以通过 4 个变量变换输出结构。

GAL 的编程首先是通过软件编译，把布尔表达式(或编程语言的逻辑描述)编译成可写入 GAL 的编辑文件，即统一标准格式的 JEDEC 文件，再送入硬件编程器完成 GAL 的物理编程。

20.5 现场可编程门阵列(FPGA)设计法

现场可编程门阵列(field programmable gate array)简称为 FPGA。它利用计算机辅助设计，绘制出实现用户逻辑的电路图或编辑布尔方程，通过一系列编译程序，自动布局布线，模拟仿真等，最后生成二进制文件，装入 EPROM，对 FPGA 器件初始化，实现满足用户要求的专用集成块，真正达到由用户自行设计、自行研制和自行生产集成电路的目的。目前已开发出多种 FPGA 产品，每种 FPGA 具有专用 LSIC 的功能特征。它们具有不同的规格，即有不同的大小、速度、工作温度范围及封装形式，全部是用户可编程及反复可编程的。在结构上，不同于传统的逻辑电路(PAL 或门阵列)，所有 FPGA 器件用查表存储器方式实现组合逻辑；每个存储器既可反馈到触发器的 D 输入，也可驱动其他逻辑或I/O。每个器件包含相同的逻辑块矩阵，在逻辑块之间有长短不一的纵横金属线，它们可被编程为互连，也可连接逻辑块和 I/O 模块。

FPGA 器件中包含丰富的寄存器及函数发生器，如 XC4000 系列产品的每个可配置逻辑块(CLB)，可实现多达 9 个变量的任意复杂函数，并具有相同的延时。

FPGA 器件中除了电源和地以外，几乎所有的器件引脚可作为用户定义的双向 I/O。所有 FPGA 器件有一个全局异步复位输入，它可作用于整个器件的触发器。在 XC4000 系列的产品中，任一引脚可配置成复位输入。

所有 FPGA 器件使用 CMOS SRAM 技术，因此它们的静态功耗是很低的。

FPGA 器件的内部结构为逻辑单元阵列 LCA(logic cell array)，如图 20.16 所示。LCA 结构由三类可配置单元组成：周边是输入/输出模块 I/OB(input/output blocks)，核心阵列是可配置逻辑模块 CLB(configurable logic blocks)。此外，还有互连资源。I/OB 为内部逻辑与器件封装引脚之间提供可编程接口，CLB 阵列实现用户指定逻辑功能，互连资源在模

块间传递信号。存储在内部静态存储单元的配置程序，确定逻辑功能和互连状态。在加电或得到指令时，配置数据自动装入器件。

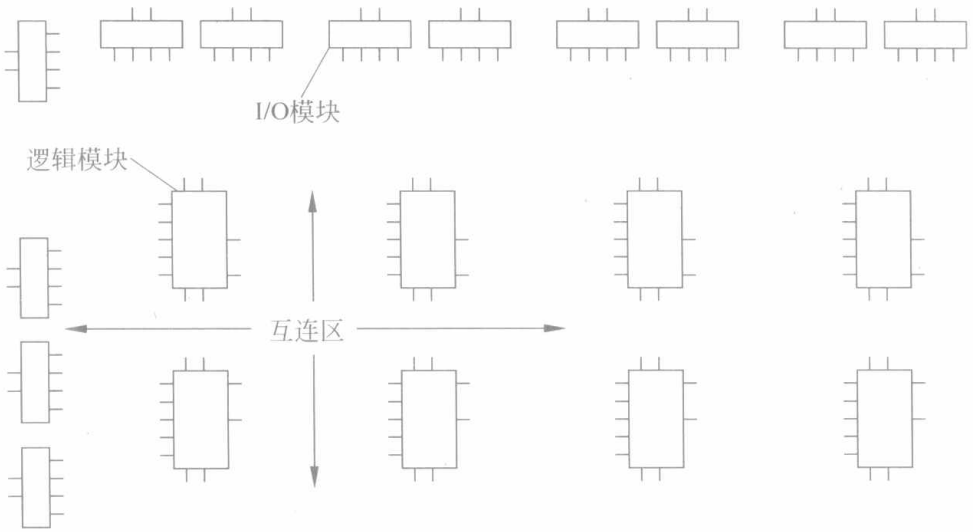


图 20.16　FPGA 内部等效功能块

FPGA 的优点是：小型化(相对于整机)、低功耗、多功能、多次编程、保密性好。它可现场模拟调试验证，真正达到用户自行设计、自行研制和自行生产集成电路的目的。使用 FPGA 器件用户可以在桌面上用数小时(或数天)时间生产一个逻辑设计样机。另外，FPGA 器件是用户可编程的，用户可以反复使用 FPGA 器件，可随时更新 LCA 设计，重复编程对器件没有任何损伤，从而以最短的时间跟上市场需求。

FPGA 的设计过程如下：利用计算机指令设计绘出实现用户逻辑的原理图，通过一系列编译程序、自动布局布线程序及模拟仿真过程，在确保满足设计的功能要求及定时关系后，生成二进制文件，用通用编程器写入 EPROM，作为 FPGA 工作的数据存储器，然后将此 EPROM 和目标 FPGA 适当连接，加上 5V 电源即可作为 VLSI 用了。表 20.1 给出不同设计方法的综合比较。

表 20.1　不同设计方法的综合比较

设计方法	设计效率	功能/面积	电路速度	设计出错率	可测性	重新设计的可能性
全定制	×	√	√	√	△	×
符号法	△	○	○	—	△	—
通用单元	×	○	○	○	—	—
标准单元	—	—	○	△	—	○
门阵列	○	△	—	△	—	○
PLA(ROM)	√	×	×	×	√	√
FPGA	√	△	×	×	√	√

注：√ 最高(最大)，○ 高(大)，— 中等，△ 低(小)，× 最低(最小)。

复习思考题

20.1　试比较各种版图设计方法的优缺点。

20.2　对本章中图 20.7 所示的 CMOS 门阵列四管单元，进行布线以形成一个三输入与非门电路，并画出 Al 连线版图及布线后的复合版图。

第21章　集成电路的可靠性设计和可测性设计简介

21.1　可靠性设计

21.1.1　集成电路的固有可靠性

可靠性问题的提出是与电子工业迅速发展的以下三个特点分不开的：

(1) 电子产品(设备)的复杂程度在不断增长

电子产品复杂程度的重要标志是所需元件的数量越来越多。例如美国轰炸机上的无线电设备的情况是：1921年前飞机上还没有无线电设备，1940年飞机上的电子设备只有一千多个，1950年B-47飞机上的电子设备发展到2万多个，1955年B-52飞机上电子设备达5万多个，1960年B-58飞机上电子设备发展到9万多个。

目前，一般制导系统上仅计算机部分就有10万多个元件；一般反导弹系统仅雷达部分就有几十万个元件，整个系统元器件达几百万个。

一般说来，电子设备所用的元器件数量越多，其可靠性问题就越严重，对于串联系统来说，其设备可靠度为所用元器件可靠度的乘积。

设元件的可靠度为0.9，则2个串联为0.81，3个串联为0.729；设元件的可靠度为99.5%，则40个串联为83%，100个串联为60%。

若30万个元件组成系统，为确保系统可靠度为95%，要求每个元件的可靠度为99.9999%以上。现代化的复杂系统的电子元器件数量一般在上百万、上千万，对元器件可靠性要求更高。

(2) 电子设备的使用环境日益严酷

电子设备的使用地域从实验室到野外，从陆地到深海，从高空到宇宙空间，还有使用在热带、寒带、赤道、南北极(南极站)等地的。

各种不同地方的电子设备经受不同的环境条件。在坑道内，地温为－5～35℃；用于坦克中，要经受高温和振动；用于海上舰艇，要经受海水、盐雾、浪潮冲击等；用于宇宙空间，会受到宇宙粒子的辐射和振动加速度。

一般说来，使用条件越严酷，产品失效的可能性就越大，所以对可靠性要求就越高。

(3) 电子产品的装置密度在不断增长

集成电路由 SSI 经 MSI 发展到 LSI，VLSI，ULSI，装置密度不断增高，因而集成电路内部的环境温度上升，所以对可靠性的要求也不断提高。为此各国都建立了许多机构，研究提高器件的可靠性问题。

所谓可靠性是指半导体集成电路在一定的工作条件下(指一定的温度、湿度、机械振动、电压等)在一定的时间内能完成规定作用的几率。集成电路的可靠性通常用失效率来量度。

瞬时失效率 $\lambda(t)$ 定义为某个相当短的时间间隔 Δt 内失效的器件数 N_f 与这段时间内工作的器件总数 $N(t)$ 和时间间隔 Δt 的乘积之比，即

$$\lambda(t) = \frac{N_f}{N(t) \cdot \Delta t}$$

$\lambda(t)$ 用%/1000 小时(即在 1000 小时内发生故障的百分比)或是用非特(1 非特 = 0.0001%/1000 小时 $=10^{-9}$/小时)来度量。瞬时失效率 $\lambda(t)$ 简称失效率，用来描述在各个时刻仍在正常工作的器件失效的可能性。

1 非特表示 10 亿个产品在 1 小时内只允许有一个产品失效，或者说在 1 千小时内只允许有百万分之一的失效率。

一般要求器件失效率为：家用电视机 500～1000 非特；工业通信设备 100～500 非特；地下通信设备 20～200 非特；短，中，长工作卫星系统 100，10，1 非特。可见，对上天的器件的可靠性要求很高，因为如导弹、卫星等耗费太大，搞不好还可能出危险。

大量的实践发现，集成电路在不同的工作条件下失效发生的时间不一样。一般讲，在严酷的条件下失效较早。集成电路在不同工作条件下的失效过程大致相同，可以划分为三个阶段，如图 21.1 中 A，B，C 段所示。

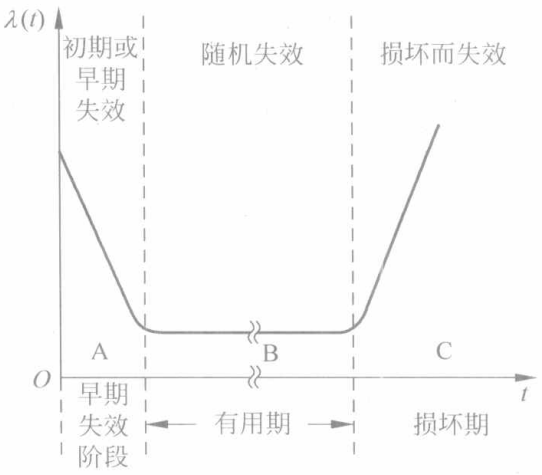


图 21.1　集成电路的失效过程

A 段称为早期失效阶段，失效率 $\lambda(t)$ 较高，随着工作时间增加，失效率很快下降。失效原因主要是材料上的缺陷(如硅片表面的划痕、沾污等)和工艺上的缺陷(如手工操作的疏忽——铝条划伤、划片应力、光刻缺陷等)。

B 段称为偶然失效阶段(或有用期)。这种失效属于偶然的，失效率为一常数，在这个区域，器件特性基本是恒定的，但一旦发生故障，则常常是致命的失效。

C 段称为磨损失效阶段(或损坏期)，失效率随时间增加而增加。在这段时间内，晶体管由于表面缓慢的化学变化产生沟道，使反向漏电电流变大；压焊点逐渐氧化使饱和压降增大，以致内引线断开；或由于材料因高温、电场的作用以及缓慢的化学反应，造成材料退化

而引起失效。

一般集成电路的损坏期都在几百万小时以上。随着集成电路设计水平和工艺水平的提高，集成电路的可靠性不断得到改善，在偶然失效阶段的失效率有减小的趋势，从而提高了半导体集成电路的平均寿命。

通过对集成电路失效过程的分析，了解到早期失效阶段对集成电路的平均寿命影响很大，而早期失效主要是半导体集成电路有缺陷。如果通过短时间的筛选试验把有缺陷的集成电路淘汰掉，那么筛选后的集成电路就有更高的可靠性，所以筛选是提高集成电路可靠性的一个有效措施。

实际上，这个说法不十分确切，因为筛选只是去掉早期失效的电路，并不能从根本上提高这批电路的可靠性水平，实际上可靠性是产品所固有的，即这批电路的可靠性水平在电路制造出来时已决定了。只有用最佳的电路版图设计，最好的工艺质量控制，才能制造出最可靠的电路来。其中设计奠定了可靠性的基础，而工艺则是保证。因此，应从设计和工艺两方面着手来提高电路的固有可靠性。下面着重介绍设计中提高可靠性的一些考虑（包括电路设计、版图设计和工艺设计三方面），而保证工艺质量控制的最有效的办法，是采用微电子测试图形技术。

21.1.2 电路设计中提高可靠性的措施

电路设计中提高可靠性的基本原则是把对器件的要求与具体工艺情况结合起来，因此熟悉工艺特点是搞好设计的基础。在电路设计中可以采取以下一些措施来提高器件的可靠性。

① 明确电路技术指标和使用环境。

② 减小面积和复杂性。在满足功能要求的基础上简化电路以尽量减少总面积和复杂性，减少接点数目（如减少 IC 隔离岛数目等）。面积减小能使缺陷减少，从而使可靠性提高。

③ 对于电路器件给予一定的容差，即按最坏情况进行设计，这也叫容差设计。

④ 在同样参数指标情况下，尽量降低电路的功耗（例如工作电流要选择恰当等），以降低电路工作时的结温，提高可靠性；当最大电流 $I_{max} \leqslant 2 \times 10^5 \text{A/cm}^2$ 时，还有利于防电迁移。

⑤ 必要时要考虑元件的冗余设计，即增加并联或串联元件以确保可靠性，这一点常在部件或整机设计中考虑。

⑥ 在某些电路中加设保护电路，如集成稳压器中加过压保护、过流保护，集成运放输出级加过流保护电路，在高温度稳定的电路中加温度补偿电路，输入端加输入保护电路等。下面重点介绍 MOS 集成电路中输入端防静电击穿（ESD）的输入保护网络。

目前，在 CMOS 电路中，输入端多采用二极管击穿保护方式，最近又有人提出 NPN 抗 ESD 结构，下面分析这些保护电路的工作原理。

（1）单二极管保护电路

可以有两种不同结构，如图 21.2 和图 21.3 所示，这类保护电路比较简单。在图 21.2

中，通过二极管 D 可以对 PMOS 管的栅进行良好地保护，但对于 NMOS 管的栅，只能通过由二极管 D 和阱 P-N 结的反相串联所形成的 P-N-P 结加以保护。这就提高了击穿电压，所以对于栅保护是不利的。在图 21.3 中，情况类似，不同的只是图 21.3 所示电路对 NMOS 管保护效果较好，而对 PMOS 管的保护稍差。此外，在这两种结构中，都没有限流电阻，所以在击穿时可能出现较大的瞬间电流。

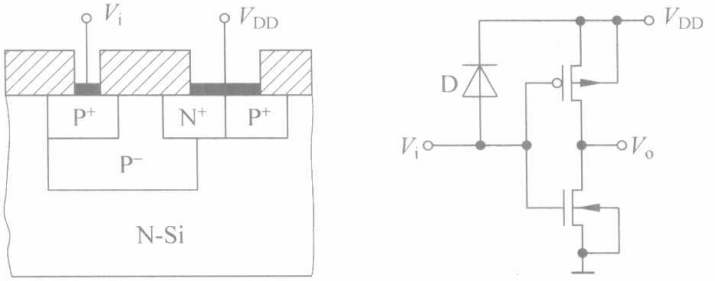


图 21.2　单二极管输入保护(之一)

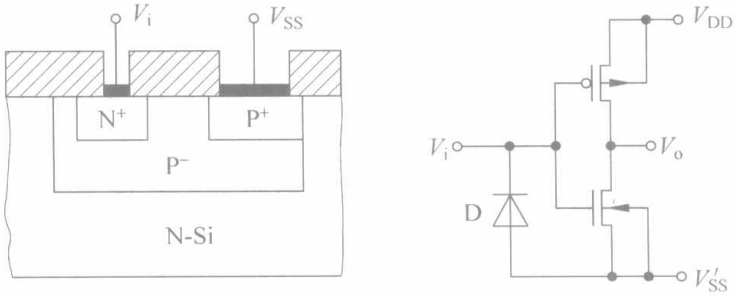


图 21.3　单二极管输入保护(之二)

(2) 电阻二极管保护电路

其版图、剖面示意图和等效电路图分别如图 21.4 至图 21.6 所示。此保护电路效果比较好，其输入正电位被钳位在 $V_{DD}+V_F$，负电位被钳位在 $V_{SS}-V_F$(V_F 为 PN 结正向压降)。保护电路中的电阻，可以起良好的限流作用。这种电路多用于高速 CMOS 电路，是一种比较好的保护电路，只是结构稍微复杂一些。

(3) 电阻-二极管-电弧隙输入保护电路

电阻-二极管-电弧隙抗 ESD 保护网络的电路形式如图 21.7 虚线左边所示，其中的 R 为电阻，D_1，D_2 为钳位二极管，C 为电弧隙。

当节点 A 的电压高于 V_{DD}或低于 V_{SS}一个结电压时，二极管 D_1 或 D_2 将导通，从而形成静电泄放通路。R 的作用是在 A 点出现异常电压偏移时用来限制流过钳位二极管的尖峰电流。电弧隙 C 的功能是使得静电在 C 处放电，从而释放静电的大部分能量，使得静电在内部电路及 R，D_1，D_2 处释放的能量大大减小，从而保护内部电路及 R，D_1，D_2。

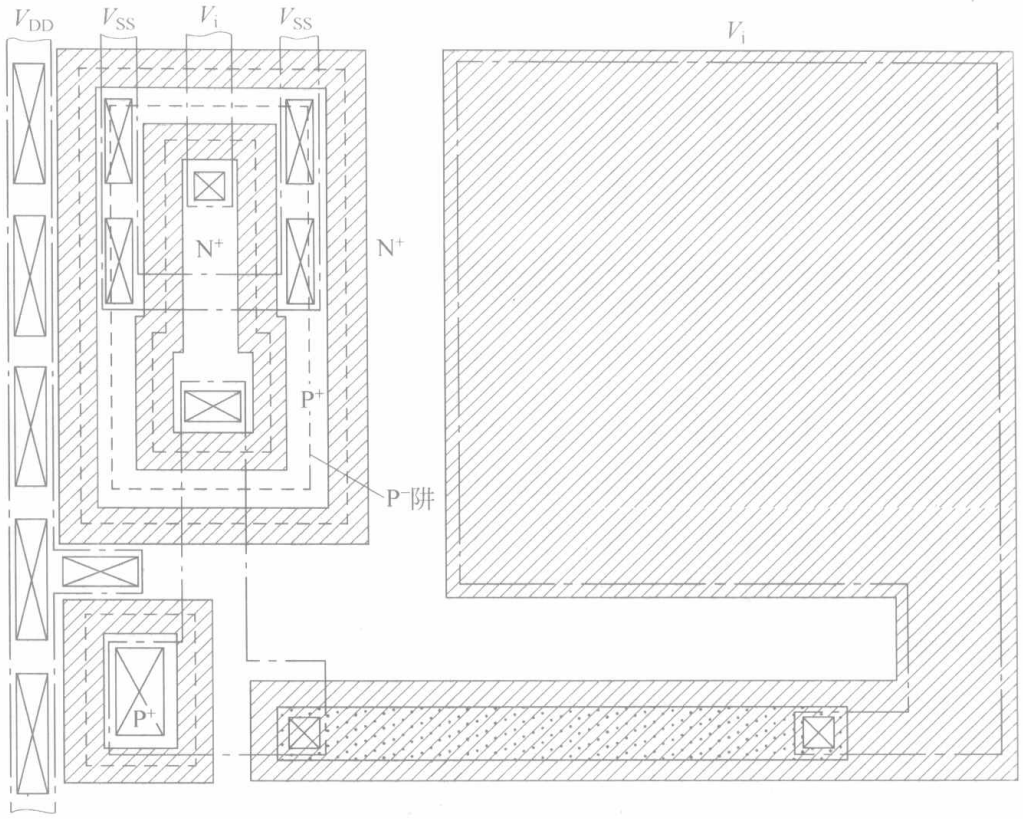


图 21.4　电阻二极管输入保护电路版图

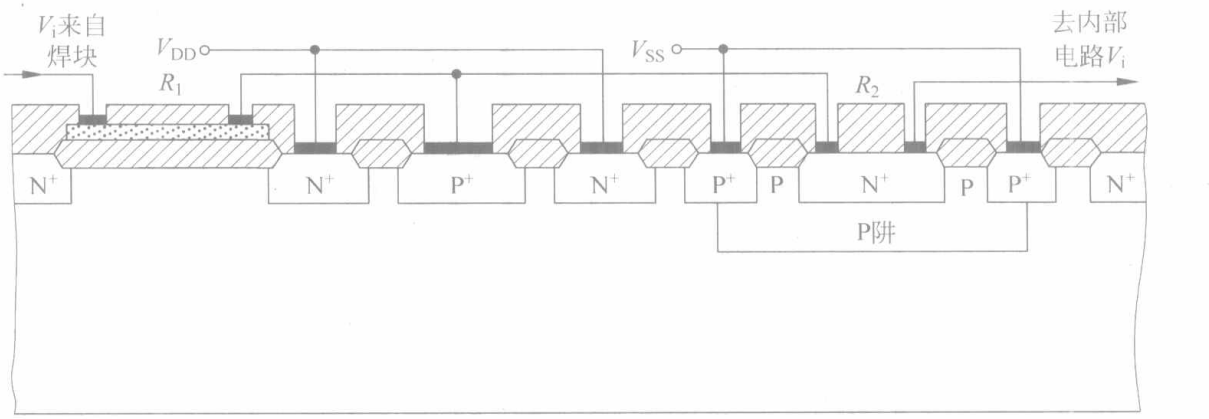


图 21.5　电阻二极管输入保护电路剖面示意图

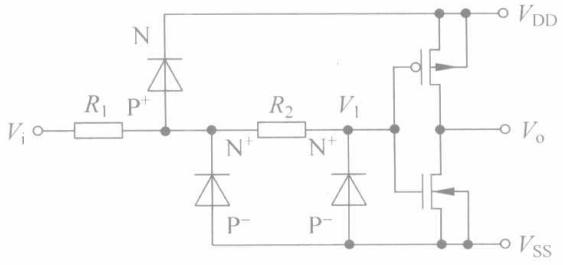


图 21.6　电阻二极管输入保护等效电路

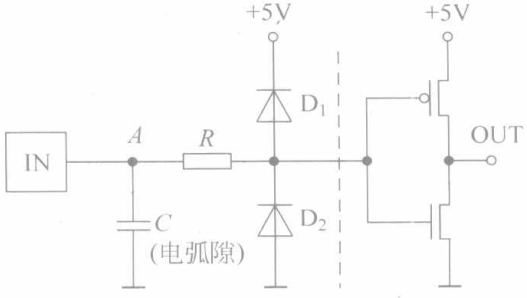


图 21.7　电阻-二极管-电弧隙抗 ESD 保护电路

电弧隙的版图形式如图 21.8 所示，若采用锯齿形电弧隙结构，则保护效果更好。

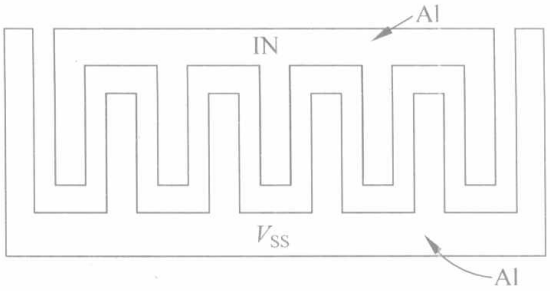
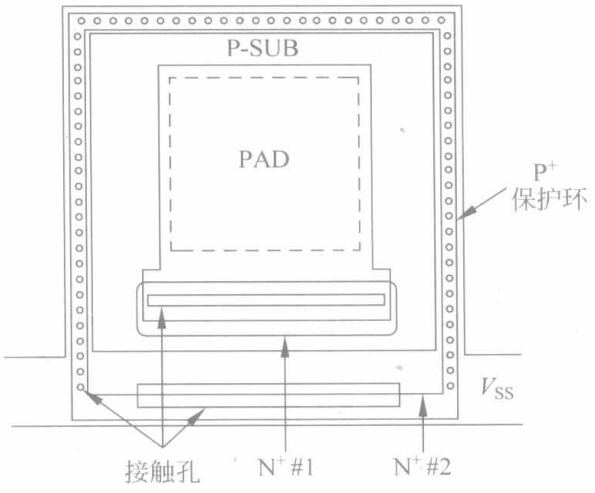


图 21.8　电弧隙的版图

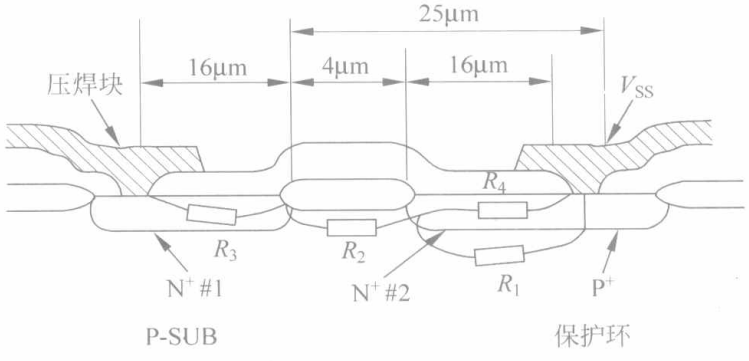
(4) NPN 抗 ESD 保护结构

NPN 结构用于输入电路抗 ESD 保护已被证明是有效的。根据我们的实际工艺水平，设计了一种抗 ESD 的 NPN 结构，下面介绍该结构的版图设计、工作原理及抗 ESD 的性能。

NPN 测试结构的版图如图 21.9 所示。该 NPN 结构的基区长度为 4μm，宽度为 100μm；N^+ 扩散区 #1 的边缘和 V_{SS} 保护环的最近距离为 25μm；N^+ 扩散区 #1 的边缘与压焊块接触孔的间距为 16μm；N^+ 扩散区 #2 的边缘与 V_{SS} 接触孔的间距为 16μm。R_1 是基区/N^+ 扩散区 #2 结和 V_{SS} 之间的等效分布电阻；R_2 是两个基区/N^+ 扩散区结之间的等效分布电阻；R_3 是压焊块接触孔与 N^+ 扩散区 #1 边缘之间的等效分布电阻；R_4 是 V_{SS} 接触孔与 N^+ 扩散区 #2 边缘之间的等效分布电阻。



(a)



(b)

图 21.9　NPN 测试结构的版图

(a) 俯视图；(b) 剖面图

以下介绍 NPN 结构的抗 ESD 原理。

当正向静电放电时，N^+ 扩散区 #1 是收集极，N^+ 扩散区 #2 是发射极，基区通过 R_1 连到 V_{SS}，此时 NPN 结构的等效电路图如图 21.10 所示。

首先导通的是收集极/基极结(D_1)，在约 15V 时 D_1 反向击穿，多数载流子从雪崩击穿的收集极/基极结流向 V_{SS} 保护环，流过 R_1 的电流在 R_1 造成的压降使发射极/基极结正偏，致使 NPN 管导通，形成压焊块到地的泄放回路，从而防止 ESD 对内部电路造成损伤。

当反向静电放电时，N^+ 扩散区 #2 是收集极，N^+ 扩散区 #1 是发射极，此时 NPN 结构的等效电路图如图 21.11 所示。

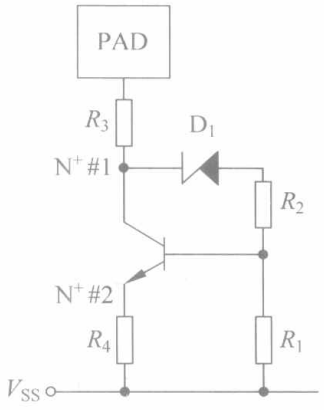


图 21.10　正向静电放电时的等效电路图

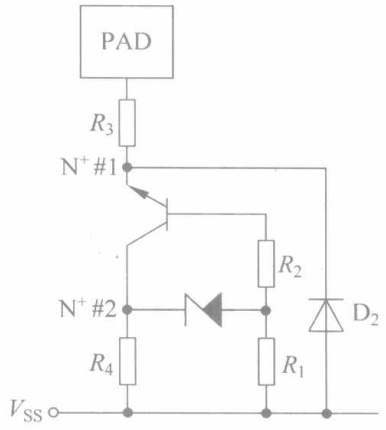


图 21.11　反向静电放电时的等效电路图

此时电流有两条流通途径：一条流经 NPN 横向晶体管，另一条流经发射结-衬底的 V_{SS} 保护环二极管 D_2，形成压焊块到地的泄放回路，从而防止 ESD 对内部电路造成损伤。

实验表明，该 NPN 结构的 ESD 失效阈值电压可达到 2500V，达到了抗 ESD 二类产品的标准。而且此结构占有较小的版图面积，且没有在输入压焊块与内部电路之间使用电阻，对电路功能影响小，所以是一种实用的抗 ESD 保护结构。

21.1.3　版图设计中提高可靠性的措施

版图设计的好坏直接影响电路生产的成品率及可靠性。好的设计不但本身很少带来不可靠因素，而且对于工艺上难以避免的问题，也可预防或减弱其影响。

根据使用的温度范围(军用－55～125℃，民用－25～85℃)及其他可靠性要求，版图设计需要考虑电性能和热性能。由电参数要求及工艺水平来确定元件的结构、尺寸，再考虑寄生效应、散热等问题，从而最后确定整个电路的布局和走线。可靠性设计的内容很多，下面介绍一些主要措施。

1. 关于金属化层布线

大量的失效分析表明，因金属化层(目前一般是 Al 层)通过针孔和衬底短路，且 Al 膜布线开路造成的失效不可忽视，所以必须在设计布线时采取预防措施。例如尽量减少 Al

条覆盖面积，采用最短 Al 条，并尽量将 Al 条布在厚氧化层（厚氧化层寄生电容也小）上以减少针孔短路的可能。

防止 Al 条开路的主要方法是尽少通过氧化层台阶。如果必须跨过台阶，则采取减少台阶高度和坡度的办法。例如对于厚氧化层上的引线孔做尺寸大小不同的两次光刻（先刻大孔，再刻小孔），以减小台阶坡度，如图 21.12 所示。

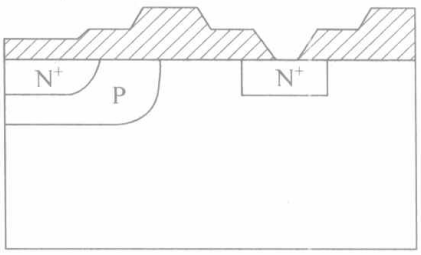


图 21.12　两次光刻示意图

为防止 Al 条电流密度过大造成的电迁移失效，要求设计时通过 Al 条的电流密度 $J<2\times10^5\ A/cm^2$（即 $2mA/\mu m^2$），Al 条要有一定的宽度和厚度。

对多层金属布线，版图设计中布线层数及层与层之间通道应尽可能少。

2. 版图设计中的热分布问题

据推测，IC 的芯片温度每提高 25℃失效率约增加一倍，所以要尽量降低芯片温度以降低失效率。

为防止结温过高，功率较大的管子面积要设计得足够大，而发射区有效边长仍由最大电流确定。

在整个芯片上发热元件的布局分布要均匀，不使热量过分集中在一角。在元件的布局上，还应将容易受温度影响的元件远离发热元件布置。在必须匹配的电路中，可把对应的元件并排配置或轴对称配置，以避免光刻错位和扩散不匀。要注意电源线和地线的位置，这些布线不能太长。

3. 加强工艺监控

版图设计时专门设计一组微电子测试图形以利工艺监控，及时淘汰不合格产品，调整参数至最佳值。

4. 其他措施

元件尺寸的选择要适当，应考虑功率密度、寄生效应、制版光刻误差、横向扩散及扩散容差等因素，Al 条应覆盖欧姆接触孔并留一定余量。

保证电路参数的要求：①多发射极晶体管的长脖子区不宜太长，因为太长会导致 f_T 下降；②避免在输出线上做扩散“地”道；③外延层电阻岛上接电源的欧姆接触孔要扩 N^+。

此外，对于 CMOS 集成电路，为提高其抗自锁能力，可在版图设计上采取以下措施：

(1) 合理布置电源接触孔，减小横向电流密度和横向电阻。

① 采用接衬底的环形 V_{DD} 电源线（P 阱），并尽可能将衬底背面接 V_{DD}。

② 加多电源 V_{DD} 和 V_{SS} 接触孔，并加大接触面积。

③ 对每一个接 V_{DD} 的孔都要在相邻的阱中配以对应的 V_{SS} 接触孔，以便加多并行的电流通路。

④ 尽量使 V_{DD} 和 V_{SS} 的接触孔的长边相互平行。

⑤ 接 V_{DD} 的孔尽可能安排得离阱远一些。

⑥ 按 V_{SS} 的孔要尽可能安排在 P 阱的所有边上。

(2) 采用伪收集极。图 21.13 是采用伪收集极的反相器剖面图。伪收集极收集由横向 PNP 发射极注入的空穴,阻止了纵向 NPN 的基极注入,从而有效地减少了 β_{PNP}。

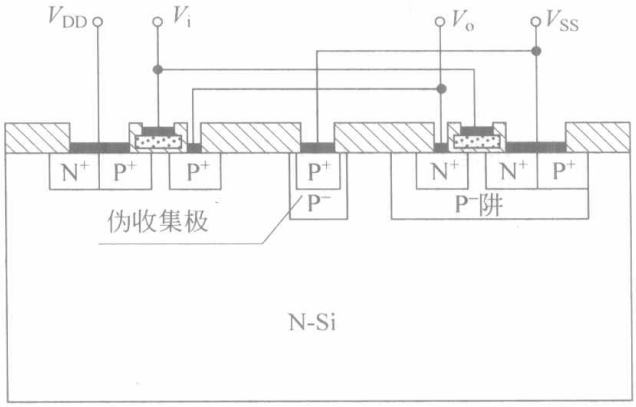


图 21.13 采用伪收集极的反相器剖面图

(3) 采用保护环。图 21.14 是采用保护环的反相器剖面图。保护环降低了 R_S,R_W,增加了 PNP 的 W_{BL},从而使 β_{PNP} 下降,但增加了面积。

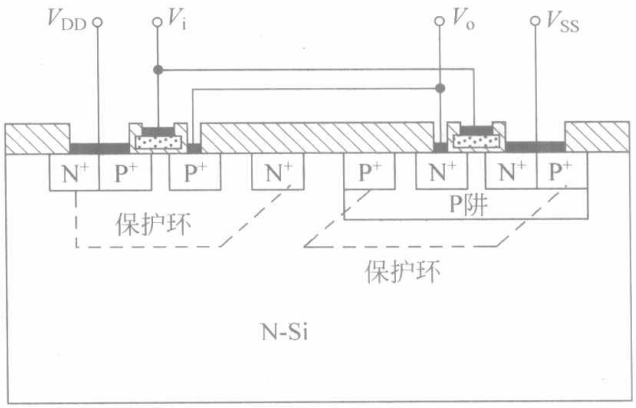


图 21.14 采用保护环的反相器剖面图

(4) 尽可能使 P^- 阱和 PMOS 管的 P^+ 区离得远一些。例如输出级的 NMOS,PMOS 放在压焊块两侧,可大大减小 β_{PNP}。

21.1.4 工艺设计中提高可靠性的措施

工艺设计中可采取以下措施提高可靠性:

① 改进氧化工艺,用 HCl 氧化,减少 Na^+ 的沾污。

② 加表面钝化工艺,防止 Na^+ 沾污和划伤。

③ 用金属硅化物取代 Al 条作为布线以减少电迁移、熔硅等现象。

④ 用电子束蒸 Al 取代一般的真空蒸发法，以减少自掩蔽效应(断 Al)和 Na^+ 沾污。

⑤ 衬底材料选用少位错、无损伤的单晶，因为晶格缺陷处可能变成重金属淀积点，而引起电流的局部化。

⑥ 采用磷硅玻璃(PSG)回流工艺减小台阶坡度，以增加 Al 线及接触孔处的可靠性。

⑦ 为防止 Al 的电迁移，应选用电迁移倾向低的金属(如用 Cu 或二元、三元合金连线)，还应控制晶粒大小及均匀等。

⑧ 为防止 Latch-up 效应，应加大阱深，以增大纵向寄生晶体管的基区宽度，还可采用外延衬底材料(见图 21.15)等。外延衬底下仅大大降低了衬底电阻 R_S，而且使原来可能通过伪收集极底部的那部分载流子也都折向伪收集极，因而电路的防 Latch-up 效应能力有显著提高。

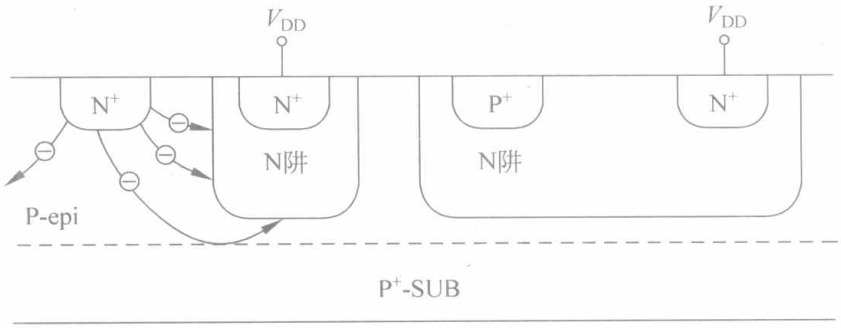


图 21.15　外延衬底材料的剖面图

⑨ 采用等平面工艺，以减小氧化层台阶的高度。

⑩ 为了提高器件的抗辐照能力(核加固)，可采用 SOS，SOI 结构，也可用 Ni-Cr 电阻取代扩散电阻等。

21.1.5　CMOS 电路低功耗设计概述

1. 问题的提出

由于集成技术的发展，器件的最小线宽已达纳米级，集成电路的集成度和速度都大幅度提高，应用范围越来越广泛，可靠性问题也越来越引人注意。CMOS 电路低功耗设计问题的提出，主要由以下几个原因：

(1) 集成电路的集成度提高，使功耗上升，可靠性下降；

(2) 集成电路工作频率提高，使功耗上升；

(3) 便携式电子装置要求低功耗电路。

2. CMOS 电路功耗分析

为了使电路能正常、可靠地工作，必须考虑低功耗设计问题。为了进行低功耗设计，首先分析 CMOS 电路的功耗。由 7.3.4 分析知，CMOS 电路的功耗由两部分组成(以下以 CMOS 反相器为例)：

(1) 静态功耗

① CMOS 反相器由于没有从 V_{DD} 到 V_{SS} 的直流通路，理论上的 $P_D=0$。但实际上 CMOS 的衬底和 P 阱(或 N 阱) 之间以及源漏扩散区和衬底(或阱) 之间的反向漏电流将产生静态功耗。

在室温情况下，合理的估计值是允许每个门的反向漏电流为 0.1～0.5nA，所以 CMOS 反相器的静态功耗为

$$P_D = \sum \text{反向漏电流} \times \text{电源电压}$$

② 亚阈值电流引起的功耗。

(2) 动态功耗 P_s

它又由两部分组成。

① 瞬态功耗 P_T。

为对负载电容充放电形成的功耗

$$P_T = C_L V_{DD}^2 f_P$$

f_P 为输入方波的重复频率。(或跃阶输入时其输入的上升和下降时间比其重复周期 $t_P=\dfrac{1}{f_P}$小得多)

② 交流功耗(或称短路功耗)P_A。

当输入由 0 变 1 或由 1 变 0 的瞬变过程中的一个很短的时间间隙内，NMOS 管和 PMOS 管同时导通，导致一个窄的从 V_{DD} 到 V_{SS} 的电流脉冲，引起交流功耗(或称短路功耗) P_A。如图 7.16 所示的计算交流功耗的波形图。所以

$$P_A \approx \frac{1}{2} f_P V_{DD} I_{max} (t_r + t_f) \equiv C_{PD} V_{DD}^2 f_P$$

式中，f_P 为输入波形的频率；

I_{max}为短路峰值电流；

C_{PD}为非负载功耗等效电容。

在实际电路中还存在多种内部固有电容(为寄生电容如节点电容、连线电容等)C_I，也会消耗能量，产生功耗。如果把静态功耗 P_D 以外的功耗统称为动态功耗 P_S，则

$$P_S \approx (C_L + C_{PD} + C_I) V_{DD}^2 f_P$$

在 CMOS 电路中并不是每个门每个节点在每个时刻都有动作，设 K_m 为开关活动的几率因子，则电路的动态功耗为

$$P_S = \sum_m K_m (C_{Lm} + C_{Im} + C_{PDm}) V_{DD}^2 f_P$$

式中，K_m 为电路开关活动的几率因子。

3. CMOS 电路低功耗设计的措施

(1) 降低 V_{DD}。

因为 $P_S \propto V_{DD}^2$，所以降低 V_{DD} 可以使功耗下降。例如若其他条件不变，则当 V_{DD} 由 5V

降为 3.3V，功耗降低 60%；V_{DD}由 5V 降为 2V，功耗降低 80%以上；但 V_{DD}下降，电路速度下降。为保持电路性能，V_T 得相应下降。但 V_T 下降受噪声容限及亚阈值电流的影响。

(2) 降低工作频率 f_P。可采用以下办法：

① 提供多种频率的时钟。根据不同需要给不同的功能模块提供不同频率的时钟。

② 适当采用并行系统结构，减少因串行等待造成的功率损耗。其基本思想是将功能模块划分为多个子模块，对子模块进行平行处理，多路选择对应输出，如图 21.16、图 21.17 所示。

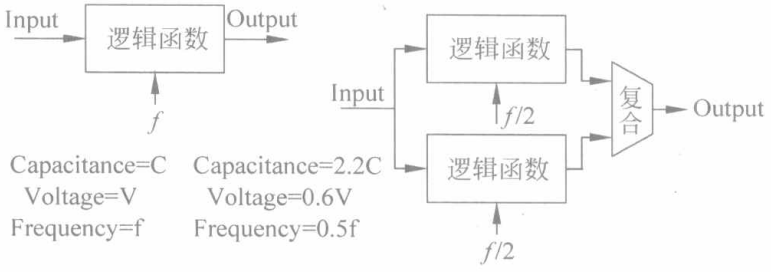


图 21.16　并行处理结构示意图

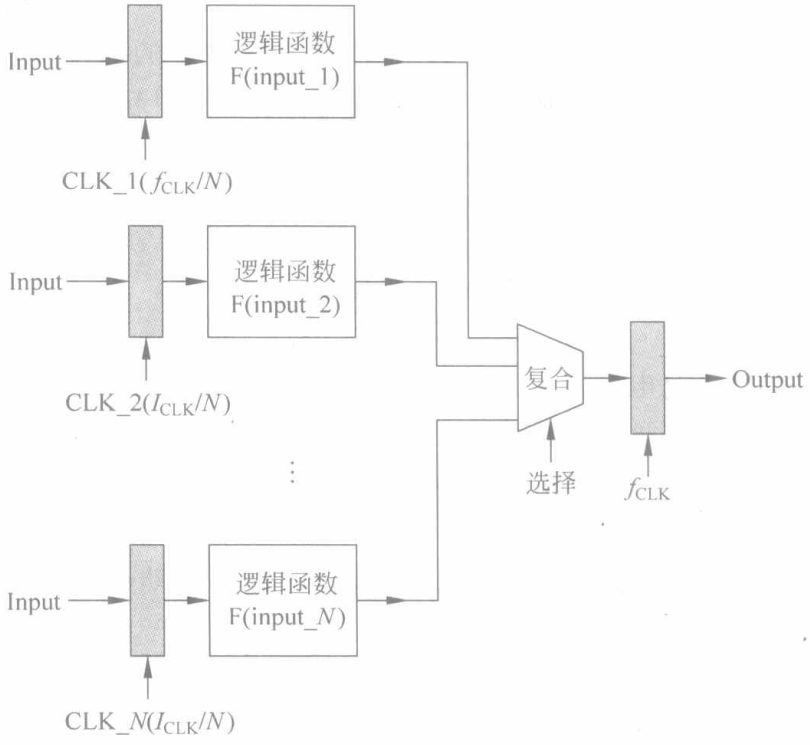


图 21.17　实现和图 21.16 具有相同逻辑功能的 N 模块并行结构图

注意，输入寄存器以低的频率(f_{CLK}/N)定时

虽然这么做会增加芯片的面积，使电路总电容增加，引起功耗增加，但相比之下，因为子模块的工作频率 f_P 下降，因而电路总的动态功耗 P_S 下降。但这时要注意各模块的时序安排，如图 21.18 所示。

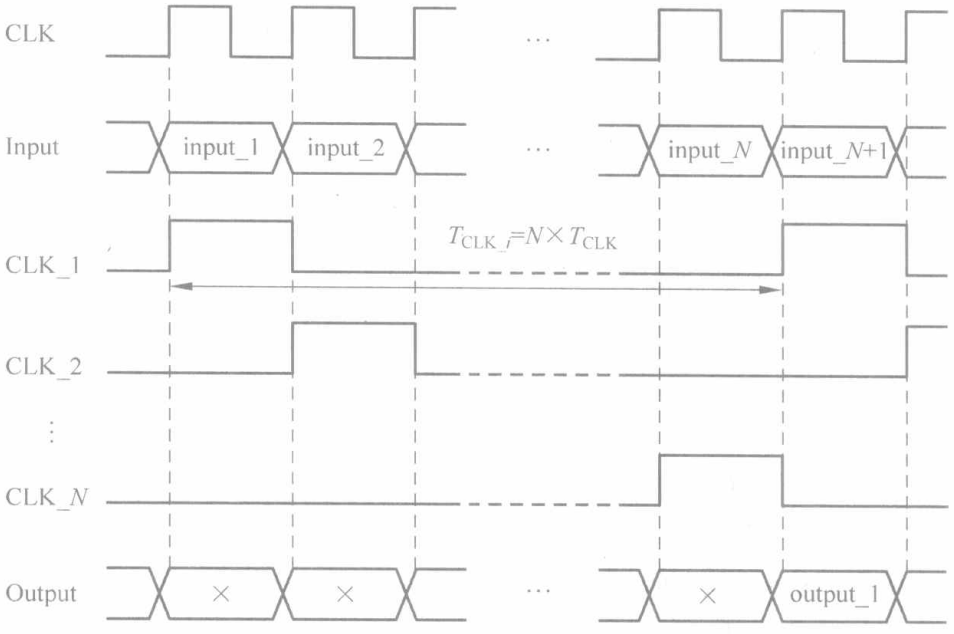


图 21.18　N-模块并行结构的简化时序图

(3) 减小电容 C_L，C_1。例如：

① 优化器件尺寸。器件尺寸减小，功耗和速度都下降；器件尺寸增大，功耗增大但速度改进不明显，所以有一个合理选取的问题。又如可以适当减小源漏区的尺寸，使节点电容减小。

② 选用节省器件数目的电路形式，使电路电容减小。图 21.19 的 CMOS 四选一电路共用了 12 个管子，如果采用图 21.20 传输门电路实现，只需要 8 个管子，使电路的电容下降很多。

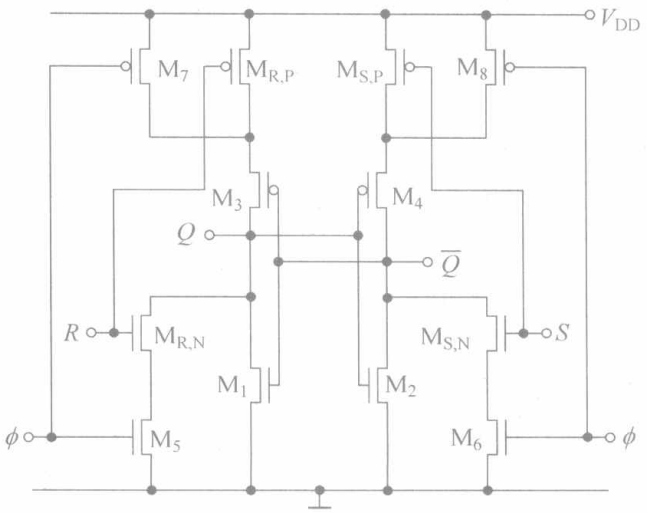


图 21.19　钟脉冲 CMOS RS 触发器

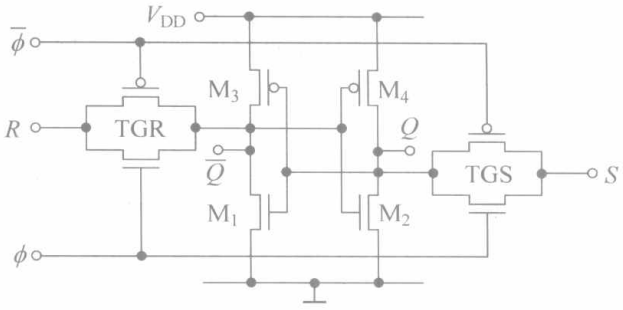


图 21.20　传输门反相器结构 RS 触发器

③ 系统级设计中减少母线电容。

如采用全局总线结构，在一条总线上连接许多模块，使总线电容大大增加；如果采用局部总线结构，此时总线电容下降，使电路功耗下降，但芯片面积增加了。

(4) 休眠模式。

整个系统的动作处于被监控的状态，如果某个子系统或子电路在某个预设的时间段内不工作，此时该子系统或子电路将自动关闭，但其输入端还处于响应状态。一旦有输入触发信号，整个子系统或子电路回到正常工作状态。如图 21.21 所示。

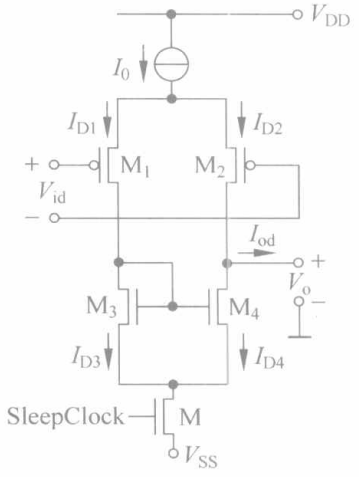


图 21.21　CMOS 差分输入级

(5) 采用小电流偏置。

(6) 多电源电路结构。

当 V_T、V_{DD} 一起减小时，电路功耗下降，但当 V_T 减小到一定程度时，电路功耗又会增加，这是因为此时亚阈值电流增加之故。为了提高电路速度，要求提高电源电压；而为了降低电路功耗，又希望降低电源电压，所以需要折中。在一个芯片内采用多种电压，对影响速度的关键电路选择较高的电压，对大部分非关键电路则选用较低的电压。可以减小电路功耗。

但片内需要多电源产生电路。

(7) 减小亚阈值电流引起的功耗。

在深亚微米器件中，存在多种泄漏电流，其中影响最大的是亚阈值电流 I_{DSW}，当沟道长度 L 到亚 0.1μm 时，电源电压将下降到 1V 左右。为了保持电路性能不退化，开启电压 V_T 也必须随之减小。但随着 V_T 的下降，亚阈值电流 I_{DSW} 随之上升。因此减小亚阈值电流 W_{DSW}，是深亚微米电路设计的一个重要问题。可采用以下办法：

① 采用有可开关源阻抗的电路，如图 21.22 所示。当 NMOS 管导通时，开关 S 接通，电路正常工作；当 NMOS 管截止时，开关 S 断开，I_{DSW} 在源电阻 R 上产生压降 V_{SL} 使 NMOS 管负衬偏，因此 NMOS 管的开启电压 V_T 上升，使亚阈值电流 I_{DSW} 下降。

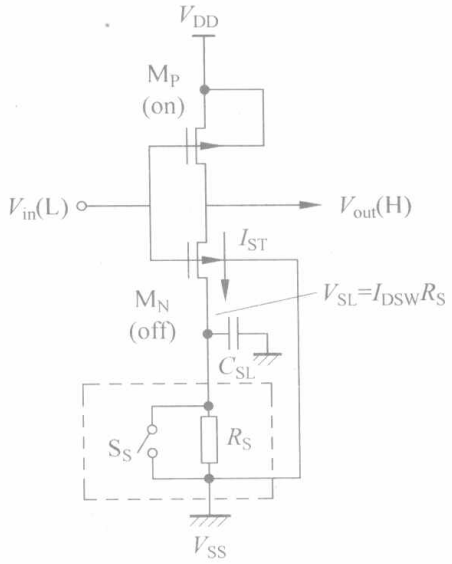


图 21.22　有可开关源阻抗的电路

② 采用多阈值技术，如图 21.23 所示。在激活模式下，高阈值 MOS 管导通，电路正常工作，因电路中间部分为带有低阈值的 CMOS 逻辑门，所以电路工作时的开关功耗低、传播延迟小。当电路处于待机模式时，高阈值 MOS 管截止，此时低阈值部分的亚阈值电流无通路，于是功耗下降。但此电路需要一个复杂的衬偏电路。

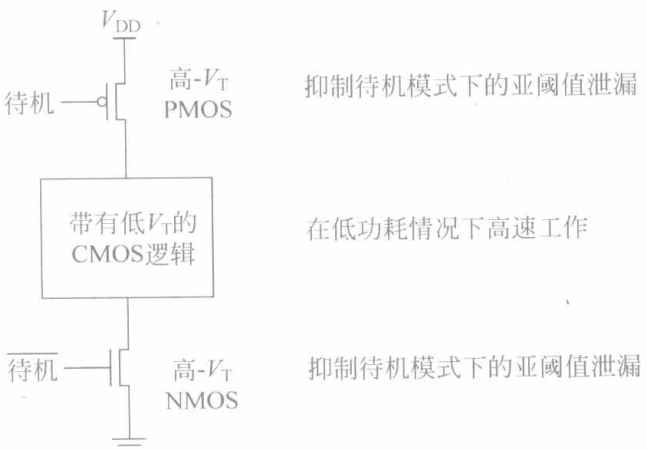


图 21.23　多路阈值 CMOS(MTCMOS)逻辑门的一般结构

4. 其他方法

① 版图设计中的布局与布线要使版面紧凑，连线最短，以减小寄生电容。

② 电路设计中有效安排管子的次序，如图 21.24 所示的二输入与非门。将翻转率低的信号输入端 a 安排靠近输出端，可减少内部充放电引起的附加功耗。

③ 减少跃变次数(即降低开关活动率),如利用特定的编码来减少信号的变化数,以减少跃变次数(即降低开关活动率)。如用格雷码比用二进制码在访问相邻的两个地址内容时,其跃变次数较少,因而消耗的功耗少。

④ 工艺上的措施,如提高加工精度;或用 SOI 衬底,使寄生电容和体效应下降,图 21.25 为 SOI 衬底和体硅 CMOS 的性能比较,由图可见,在相同的每级延迟情况下,SOI 衬底 CMOS 的有效功耗比体硅 CMOS 的小很多;或使用低介电常数的布线介质,以降低连线的寄生电容及栅电容。因为电容为

$$C_{ox} = \frac{\xi_0 k}{t_{ox}} A$$

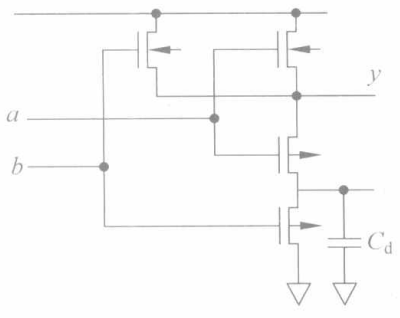


图 21.24　二输入与非门

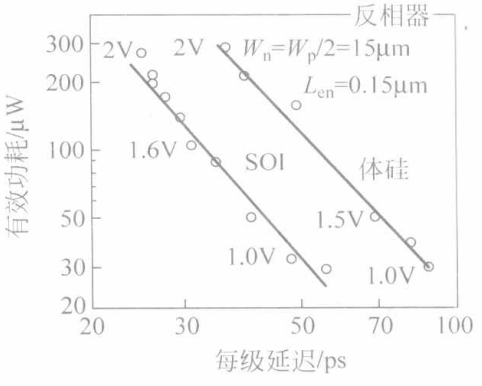


图 21.25　SOI 衬底与体硅 CMOS 性能比较

21.2　可测性设计

21.2.1　可测性设计的重要性

在设计 LSI 和 VLSI 时,从一开始就必须考虑测试问题,因为集成电路的可测试性往往与电路的复杂性成反比。随着 LSI/VLSI 的发展,电路日趋复杂,测试问题就更突出了。对于 MSI 电路(如 100 门左右),利用人工测试与自动测试仪可以较容易地完成其各种功能测试,但对 LSI/VLSI 电路来讲,要进行全功能测试是不大可能的。这是因为测试时间太长,且成本太高。

例如,一个有 n 输入的组合逻辑电路,为了详尽彻底地测试该电路,需要外加 2^n 次输入或测试矢量,进行 2^n 次观察。若此组合电路再加上 m 个存储用的锁存器而成为时序电路,则电路的状态取决于当前的输入和前一时刻各单元电路的状态。要彻底测试这个电路需要外加 2^{n+m} 个测试矢量。如果 $n=25$,$m=50$,那么,对这样一个网络就需要 $2^{n+m}=2^{75}$ 个测试图案($\approx 3.8\times10^{22}$)。假设以每个测试图案 1μs 的速度加到这个网络上,那么对所有测试图案都测试一遍所需的时间将超过十亿年,这显然是无法实现的。因此必须减少测试次数,同时又要保证测试质量。

在进行集成电路总体设计时，不仅要使电路具有正确的功能，而且在生产过程中也要具有较高的可测试性。这就需要进行可测性设计，可测性设计包括三个方面：第一，测试矢量生成设计，即在允许的时间内产生故障测试矢量或序列；第二，对测试进行评估和计算；第三，实施测试的设计，即解决电路和自动测试设备的连接问题。为此要把进行测试所必需的辅助电路也集成到整体电路中去。

如图 21.26 所示，测试成本随着电路的复杂性呈指数增长，所以 VLSI 的测试费用太高。

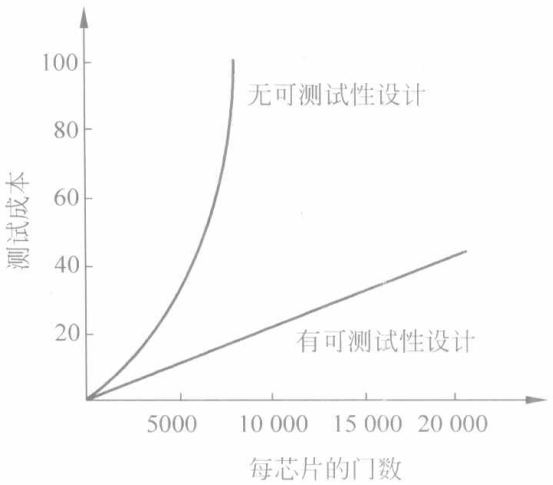


图 21.26　芯片测试成本

除测试时间、成本等因素外，还有复杂性等问题。例如更小的特征尺寸有可能获得更高的工作速度(因为连线短，寄生电容小)，而更高的工作速度又使测试问题更加复杂，比如把时钟频率为 100MHz 的数字电路同外部测试设备连接起来，就是一个大问题(因为有引线分布电容等的影响)。目前的常规测试，是依靠给予的信号直接经过测试接口进入电路来进行测试的，这样就带来三个问题：

① 测试的参数不很可靠(因存在引线及接口界面的影响)；

② 存在测试者的技巧和测试方法上的局限性；

③ 测试信号进入界面时，时间同步是不可靠的(因为有附加延迟)。

可测试性设计是指在测试对象(电路)内部增加附加电路，使电路易于测试，在很大程度上可解决以上三个问题。

21.2.2　可测性设计简介

早期的可测试性设计是在设计电路时，从利于测试的目的出发，将 LSI/VLSI 芯片按功能划分为若干块，每个功能块给出一个测试点。对测试的要求而言，这种分割的结果，将功能复杂的测试降低到与中规模 IC 测试水平相当的程度，所以对所有功能块测试所用的总测试时间，将远远低于整体测试所需的时间，且测试成本大大下降。例如，设一个芯片有 n 个量输入到组合逻辑，同时，它有 m 个量从输出存储元件反馈到组合逻辑的输入端。如果要对这个芯片的所有可能的输入和内部状态进行测试，则需要 2^{m+n} 个测试序列，若 $m=25$，$n=50$，那么就有 2^{25+50} 种测试码，这需要一个具有 10MHz 频率的测试仪器测试 10^8 年。若该芯片按组合逻辑及存储元件分别测试，则测试时间减少为 2^n+2^m。

这种按功能分割设计的另一个优点是：一个 LSI/VLSI 电路可按不同功能块由不同设计者完成，以缩短整体设计时间；而且如果一旦某一功能块的设计有所改变，只需改变相应的功能块的测试即可。但它还是常规测试的方法。

可测试性设计的目标是使系统内部部分能够测试，就是说不仅能在测试设备上对系统

进行测试，而且尽管系统的被测试部分与系统其他部分有互连，也能在系统内部对其进行测试。这种方法叫内建自测试方法。亦即，在设计一个 LSI/VLSI 电路或系统时，就设计一些附加的自动测试电路(称内建自测试电路)，同功能电路集成在同一芯片上，完成芯片加工后，就可以用附加的内建自测试电路对芯片本身进行测试。这种电路要有两种工作模式：一种是自测试模式，另一种是正常工作模式。在正常工作模式时，自测试电路不起作用。

因此，在设计中必须解决三个问题：隔离、控制和监视。即在测试时，这部分内建自测试电路必须和系统中其他部分隔离开来，它的输入必须能被控制，输出可被监视。

这样的电路如图 21.27 所示。该电路有两种工作方式：测试方式和正常工作方式。工作方式的转换由信号 T 控制。在测试方式时，内测试信号发生器及内输出响应分析器(见图 21.28)协调地工作，对原电路进行测试，并由 go/no go 指示测试结果；在正常工作方式时，内测试信号发生器及内输出响应分析器与原电路断开。原电路在加于原输入端的信号 PI 的作用下，完成预定的逻辑功能，并由原输出端输出信号 PO。

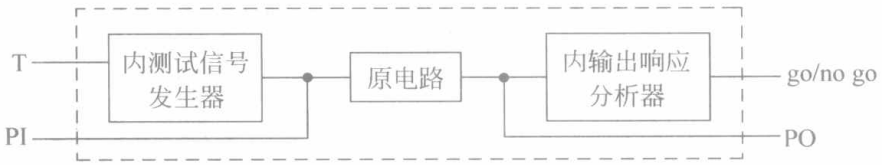


图 21.27　内建自测试电路图

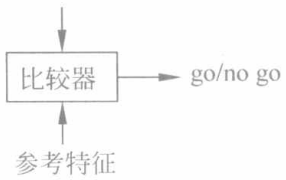


图 21.28　内输出响应分析器的原理图

此电路在结构上的特点是：内测试信号发生器、内输出响应分析器与原电路集成在同一个芯片上，能与原电路在同样的环境下工作。因此它具有以下三方面的优点：

(1) 简化了外部测试设备。在测试具有内建自测试功能的数字电路时，相应的外部测试设备的作用只是初始化内部测试工具(内测试信号发生器和内输出响应分析器)，转换电路工作方式以及检查 go/no go 信号以确定待测电路有无故障。

(2) 提高了测试效率。由于内测试工具与被测电路能在相同的环境下工作，所以可以在被测电路的正常工作速度下对它进行测试，这样既提高了测试速度，同时也检查了电路的动态特性。

(3) 便于电子系统的调试和维护。外部电路可以方便地控制电路的工作方式，确定内建自测试电路是否发生了故障。因此这样的集成电路具有良好的自测试功能和故障定位

功能。

这种电路在设计时要注意以下几个问题：

① 占用 Si 片的面积。附加电路应设计得尽量简单，以减少所占 Si 片面积。

② 附加的引线脚。为实现内建自测试电路，增加了两根外引脚下 go/no go，当然也可以考虑一脚多用，但会增加延时。

③ 附加电路的可测试性。应先测试附加电路逻辑功能的正确性。

这种内建自测试技术的优点是可以方便经济地解决 VLSI 的测试问题，从而降低测试费用。缺点是要增加额外的测试电路设计和增加额外的芯片面积。当电路正常工作时，因附加的测试电路要增加额外的功耗(漏电)和延迟时间(几个门的延迟时间，视内建自测试电路情况而定)。但随着 IC 规模的增加，额外设计和多用面积的比例会减小。

另一种可测性设计方法是采用扫描通道的内设测试方案，它是一种常用的可测性设计方案。

前面已介绍，可测性设计的主要目标是增加内部状态的可控性和可观测性。扫描通道允许在测试模式期间将选定的电路节点接到一个长位数的移位寄存器上，这样，测试节点能在测试开始时被预置(可控性)，然后这些状态在测试序列的末尾被观测(可观测性)。通过扫描通道移位寄存器，在初始化操作期间进行串并转换，而在观测操作期间进行并串转换。数据的输入和输出以串行方式出现。

最简单的扫描通道设计方式是在片上安置一个长位数的并入/串出移位寄存器，与片上各节点相连接。这种做法显然会增加电路测试操作。

另一种扫描通道方案是用多路控制信号将现有的触发器和寄存器电路变换成移位寄存器。通过引入一些多路转换器，可以把电路改成包括有扫描通道的电路。多路转换器能直接地把触发器再构成移位寄存器，并能按规定路线把测试信号送到门的输入。这样，从扫描通道既能控制，又能观测电路状态。

采用扫描通道的电路测试方法如下：首先对扫描通道本身进行测试，办法是在输入端输入一个序列，并对在输出端得到的序列进行监测，以便校正。其次，可对扫描通道间的逻辑隔离进行测试，即在测试模式期间沿着扫描通道移入一测试序列以将各节点预置。这样电路就能在一个或几个时钟周期内正常工作。与此同时，把一组测试字加到芯片的主要输入端上，这时可以校核芯片主要输出端的输出情况。最后，内部状态能在测试模式期间沿扫描通道移出，与此同时馈入一个新的测试序列。测试时间主要由扫描通道中的级数决定，而级数本身又是由被测逻辑功能块数目确定的。最佳测试要求包括一完备的扫描通道，该通道在测试模式期间不会舍弃任何时序逻辑连接。但是，速度和密度的限制将迫使采用不完备的扫描通道。

复习思考题

21.1 什么是集成电路的固有可靠性？它是由什么决定的？

21.2 在电路设计阶段，有哪些提高可靠性的措施？举例说明。

21.3 在版图设计阶段，有哪些提高可靠性的措施？举例说明。

21.4 在工艺设计阶段，有哪些提高可靠性的措施？举例说明。

21.5 简述集成电路的可测性设计的重要性。通常有哪些可测性设计方法？

第 22 章　集成电路的计算机辅助设计简介

22.1　概　　述

随着集成电路的集成度和复杂性的日益增长，传统的手工设计方法在解决 LSI 和 VLSI 的设计时遇到的困难越来越多，而且设计的可靠性也往往难于保证。例如 1500 门的随机逻辑电路，约有 1 万个晶体管，掩模图形中的矩形数量大约为 20 万，功能测试图大约为 5000。随着集成规模的增大，这些数据的量还将急剧增加，而采用 CAD 技术可把处理大量数据的任务交由计算机来承担，不仅缩短了设计周期，而且可提高设计质量。这是因为随着数据量的增大，人工作业中将混入差错，为排除差错就需要计算机处理。此外，为了进行高性能 LSI 中的精密设计，选择适当的参数以提高合格率等，还需要利用计算机进行大量的高精度分析。所以，采用 CAD 技术，用计算机进行模拟、检验、布图，不但能大大减轻人工劳动，缩短设计周期，提高设计的可靠性，而且可以在产品生产之前进行各种设计方案的比较、参数的优选，从而提高了设计的质量。下面以数字系统设计为例来说明 CAD 的作用。

标准单元法的集成电路 CAD 设计流程如图 22.1 所示。首先根据用户提出的系统的功能（或系统的指标）要求，将该系统划分成若干个子系统，称为功能设计（或系统划分），它规定了各子系统之间的功能关系。然后对构成子系统的网络进行逻辑设计。逻辑设计的任务是用已有的基本单元来确定满足逻辑功能的逻辑电路结构，这些逻辑单元可以是逻辑门，也可以是具有一定逻辑功能的功能块。功能设计和逻辑设计在整个设计过程中是最为复杂的。在逻辑设计完成后，逻辑模拟是很重要的，因为任何逻辑设计上的错误如果一直到芯片做出来之后才能发现（有时往往很难分清是否是逻辑设计上的错误），就要花费很多的时间和费用去纠正，而且每纠正一次都需重新进行电路设计、版图设计和工艺流水。

如果逻辑模拟验证了所设计的系统或网络实现了预期的要求，就可直接进行电路设计，将逻辑网络变换成电子电路。电路设计的要求是根据已验证的逻辑网络，确定能满足电路性能（如直流特性、开关特性和频率响应等）的电路结构和元件参数，并考虑由于工作环境变化（如温度变化、电压拉偏等）和制造工艺偏差所引起的性能变化。再用电路模拟程序（如 SPICE2）进行电路模拟，在模拟的基础上修正电路。当电路设计基本满足要求后，可着手进行版图设计。

版图设计是根据设计规则把经过验证的电路设计成制造芯版所用的掩模版图。在标准

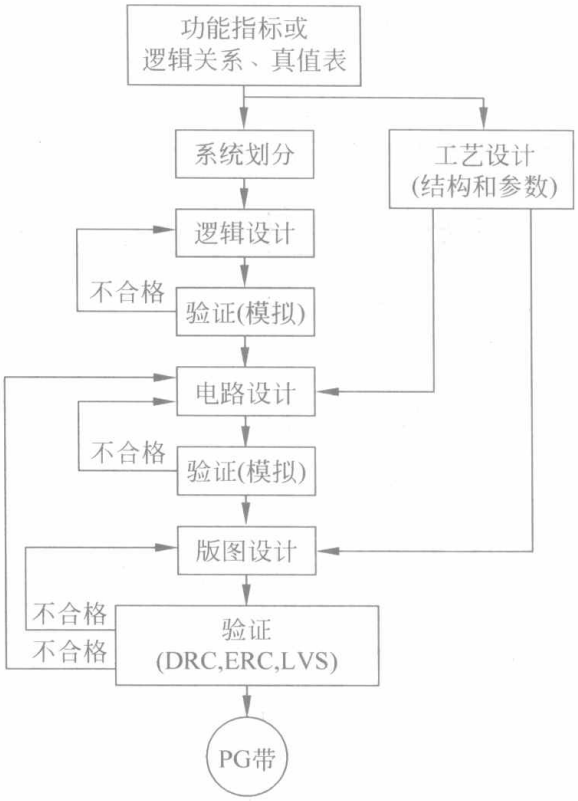


图 22.1　集成电路 CAD 设计流程示例

单元的器件设计、电路设计、逻辑设计以及布局布线设计中，每一步都要用计算机进行验证。下面用图 22.2 说明在设计工作的各个阶段中是如何利用 CAD 技术的。

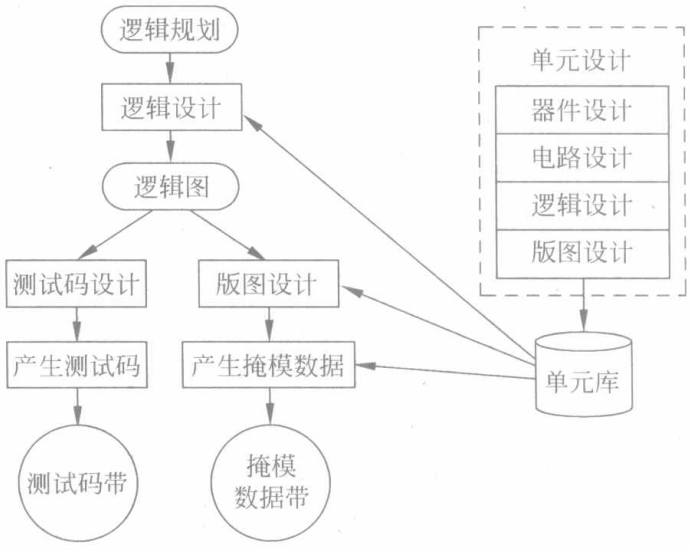


图 22.2　VLSI CAD 设计流程(标准单元法)

1. 器件设计

器件设计的目的是根据现实的工艺水平和电学性能要求确定晶体管、电阻等各器件的结构和尺寸，如发射极宽度、发射区面积、基极尺寸、发射结深度、基区宽度、MOSFET 的 W/L 等。

通常采取的方法是，以基本特性已被确认的制造工艺和器件结构为前提，依据直接将器件结构和电特性联系起来的器件模型，通过近似计算来确定设计参数。当引进新的制造工艺或器件结构，或想求得精密的电特性时，则着眼于确定半导体器件电特性的基本偏微分方程组（连续方程、电流方程、泊松方程），利用计算机进行模拟确定器件特性。

2. 电路设计

电路设计的目的是确定可以满足所期望的电学参数的电路结构（元件的连接关系）和元件特性（电阻阻值、晶体管模型的参数等）。通常是用电路分析程序进行模拟，对人工设计的结果进行性能评价，并根据这种评价来改进电路构成和元件特性。

3. 逻辑设计

逻辑设计的目的是最终通过门电路级（由与、或、非等基本门构成）来确定可以满足所期望的逻辑规格的那种逻辑构成。这时，逻辑信号作为数值 1，0 来处理，设计结果用逻辑电路图、布尔公式或特定的语言来表示。

通常，以设计者为主体进行逻辑设计，并通过逻辑模拟程序对设计好的逻辑电路图进行逻辑模拟，以确定逻辑功能，改进设计，通常就是这样反复进行设计。

4. 布局布线设计和原图处理

布局布线设计（亦称版图设计）是根据电路图来决定 LSI 芯片内的元件如何配置，并确定这些元件之间的布线路径。这时，需要尽量缩小功能块面积或集成电路芯片面积。

整个系统的电路设计和总版图的设计过程及 CAD 技术的利用，与设计标准单元时相似，但在总版图设计完成后，应对其进行验证和后模拟，以确定所设计版图的正确性（详见 22.2 节的介绍）。

22.2 集成电路 CAD 中常用的工具简介

在 22.1 节中已介绍了在集成电路设计的过程中 CAD 技术的作用，关于 CAD 中用到的各种程序的详细介绍（包括建模、算法等），将在后续的“计算机辅助设计”课程中进行，这里只是简单介绍在集成电路 CAD 中常用的一些工具。

22.2.1 器件模拟

器件模拟是在给定半导体器件的物理结构和杂质分布的条件下，通过软件直接求解在适当的边界条件下半导体器件的基本方程，从而求得器件的电学特性，如伏安特性和一些电学参数。器件模拟在按照新的器件结构或制造工艺确定器件特性的情况下是很有用的。

现在有很多种器件模拟程序，表 22.1 中列出一些常用的器件模拟程序。

表 22.1　器件模拟程序示例

程序名称	概　要
DTRAN	针对结型器件直接解一元偏微分方程式，进行直流、交流、瞬态分析
MODMAG	针对双极和 MOS 晶体管解扩散方程式求杂质分布，继而通过解偏微分方程式，求电特性
TRANS2D	针对双极晶体管解二元偏微分方程式，求直流特性
SEDAN Ⅲ	可分析的器件类型有硅二极管、晶体管、肖特基二极管、多晶硅发射极晶体管及一些化合物半导体器件
CADDET	可同时求解泊松方程和一种载流子的电流连续方程
PISCES	能进行 MOSFET 和双极型器件的稳态解和瞬态解，甚至可进行交流小信号分析。如果把几个器件连在一起进行模拟，还可研究 Latch-up 效应

1. 双极型晶体管大信号模型

(1) Ebers-Moll 模型，简称 EM 模型。

(2) Gummel-Poon 模型，简称 GP 模型。此模型即使是高注入水平时，也与实际测定非常一致。

EM1 模型对于直流分析非常有用；EM2 模型对于大多数用途(特别对数字电路)而言，由于它在精确度、建模的简易性、速度以及结果的可理解性方面具有良好的综合性能，所以是最常用的模型。只有在要求非常高的精度时，才使用 EM3 和 GP 模型。

2. MOS 晶体管模型

MOS 晶体管模型有 MOS1 模型、MOS2 模型、MOS3 模型(详见参考文献[9])。在进行器件模拟时，应当在满足分析的要求下，选用最简单的模型，这样既易于建立模型，也节省计算时间，所得的结果也易于理解。

22.2.2　电路模拟

电路模拟的基本内容有两部分，一是根据电路元件之间的连接关系和元件特性，系统地导出电路方程(电路方程式由克希霍夫电流定律、电压定律和元件特性组成)；另一是以导出的电路方程式为基础，通过数值运算来求电路特性。目前已开发出许多种电路模拟程序，如表 22.2 所示，表中○表示有该性能。

电路模拟程序大体上由 5 部分组成：输入处理、器件模型处理、列方程、数值解和输出处理。

(1) 输入处理

电路模拟程序有一个供用户直观地描述电路结构和元件参数的输入语言，此输入语言也叫做电路描述语言。在电路描述语言中规定了各种电路元件模型、器件模型、电路的连接关系、电路运行环境、分析类型、输出要求等书写方式。用户用此语言将要分析的电路写成源程序，输入计算机，由输入处理程序(电路描述语言的编译程序)进行加工处理。

表 22.2　电路模拟程序示例

程序名称	制作单位	制作时间	分析的种类				定型化	晶体管模型	连接关系的处理
			直流	交流	瞬态	其他			
NET1	加利福尼亚大学	1964 年	○		○		状态变数分析	编入	表格控制
ECAP	IBM	1965 年	○	○	○	灵敏度分析	节点分析	分段近似	表格控制
SCEPTRE	IBM	1967 年	○		○		状态变数分析	函数描述	代码产生
ASTAP	IBM	1973 年	○	○	○	统计分析	变形表格矩阵法	函数描述	代码产生
SPICE	加利福尼亚大学	1973 年	○	○	○	噪声、失真分析	节点分析	编入	表格控制
ISPICE	National CSS	1973 年	○	○	○	温度分析	节点分析	编入函数描述	表格控制
ECSS	电电公社	1973 年	○	○	○	灵敏度分析	节点分析	分段近似	表格控制
FANP	富士通	1973 年	○	○	○	统计分析	混合分析	函数描述	
NECTAR	日本电气	1975 年	○		○	统计分析	变形表格矩阵法	函数描述	代码产生

(2) 器件模型处理

通常，电路模拟程序内有一些常用元件的模型，如二极管、双极型晶体管、MOS 晶体管、结型场效应管等常用器件的模型，用户只要给出必要的模型参数即可直接调用。用户也可根据程序中事先的约定，自行定义新的模型。构成模型的方法大致有两种：一种是以器件的物理原理为基础，从方程式出发去组成模型；另一种是把器件看成“黑盒”，以其端子的工作特性为着眼点去组成模型，这种模型的参数值往往通过测量来确定。

(3) 列方程

电路模拟程序根据输入的电路结构、元件参数、运行环境和分析要求，自动建立电路方程。建立方程的基本依据是克希霍夫定律和欧姆定律。

可以有各种列方程的方法，列方程方法的选择要与数值方法结合起来考虑，一般希望所选的方法程序简单，列出的方程阶数低。在 SPICE 程序中采用的是改进节点法，它建立一个以节点电位、支路电流为未知量的(混合)代数方程组，所列方程简单直观。

(4) 数值解

电路模拟程序主要包括三类数值解方法：

① 线性代数方程组解法，此方法求解线性电阻电路的问题，线性直流交流模拟用此数值解方法。

② 非线性方程组解法，此方法求解非线性电阻电路问题，非线性直流模拟用此数值解方法。

③ 常微分方程组解法，瞬态模拟用此数值解方法。

(5) 输出处理

电路模拟程序在输出内容和输出方式上有各种选择，输出内容随网络类型和分析要求不同而有所不同。一般有直流工作点、幅频和相频特性、瞬态响应、传递特性和灵敏度分析等，输出方式有表格和曲线两种。

22.2.3 逻辑模拟

逻辑模拟的主要目的有两个：其一是检查逻辑设计的正确性，在集成电路的设计过程中要进行两次逻辑模拟(如图 22.3 所示)，一次是在版图设计之前，一次是在版图设计后，考虑了寄生效应后进行的再次模拟，又称“后”逻辑模拟。其二是进行故障模拟，产生故障测试码，提供给计算机辅助测试(CAT)时用。下面介绍逻辑模拟常用的工具和如何用它来检查逻辑设计的正确性。

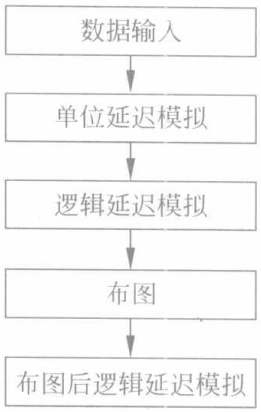


图 22.3 逻辑设计验证过程

常用的逻辑模拟程序如表 22.3 所示。

表 22.3 逻辑模拟程序示例

程序名称	信号值	延　迟	连接关系的处理	最大元件数	制作单位
LAMP	3 值	标准、前沿、后沿、最大、最小	表格控制	65 000 门	贝尔研究所
TEGAS3	2,3,6 值	标准、前沿、后沿、最大、最小	表格控制	约 50 000 门	得克萨斯大学
F/LOGIC	2,4,6 值	标准、前沿、后沿、最大、最小	表格控制	32 000 门	贝尔北方研究所
FANSSIM	3 值	标准、前沿、后沿、最大、最小	表格控制		GTE 研究所
FAIRTEST	3 值	标准、前沿、后沿、最大、最小	表格控制	3000 门	仙童公司
LOGIC $	3 值	标准、前沿、后沿、最大、最小	表格控制	500 微型组件	通用电气公司
LANAX	3 值	标准、前沿、后沿、最大、最小	表格控制	10 000 门	日本 IBM 公司
LOGOS	3 值	单位、标准、前沿、后沿、最大、最小	表格控制	约 10 000 门	日本电气

采用逻辑模拟要解决以下几个问题：

1. 建立合适的逻辑元件模型

建立模型时主要考虑以下因素：

(1) 元件分级

对于数字电路，按元件的规模大小可分为三级：寄存器级、门级和功能块级，相应地也有这三级模拟。

① 寄存器级。寄存器级模拟只检查所设计的机器各条指令的流程，即数据在有关各寄存器中的传输情况，因此，这种模拟主要针对计算机的数字系统，用于检查操作表的正确性。

② 门级。门级模拟的基本元件，可以是各种门，也可以是触发器。其主要目的是检查逻辑图的正确性及相应的故障模拟。

③ 功能块级(系统级)。功能块级模拟的基本单元可以是加法器、计数器、存储器、译码器等功能块，也可以把一些更大的功能部件看成一个功能元件。功能块级模拟主要是检查逻辑的正确性。

(2) 模拟元件的延迟时间

由于晶体管的开关特性，脉冲信号通过半导体器件时，总存在一定的传播延迟时间，因此在建立模型时要考虑这个问题。若假定所有元件的传播时间为零，这种模型实质上只能检查逻辑是否正确。这种方法用来模拟组合逻辑电路最合适，但对异步时序电路就不适用了。

(3) 模拟信号的状态值

常用的有二值模拟(模拟信号的状态值只有 1 和 0 两种)和三值模拟(除 1 和 0 外，再引进一个不确定的 u 值，用它表示信号在模糊区间的状态。主要用于检测竞争和冒险等)。有时为了算法的需要，引进一些新的状态，例如四值模拟、五值模拟以及八值模拟等。它们把信号波形图分得更细，每一部分对应一个值。

(4) 元件的逻辑功能计算

在功能计算中最基本的是二值或三值(多值)逻辑代数运算法则。

(5) 模拟时钟

模拟时钟用来作为被模拟网络各信号状态值的时标。

2. 逻辑图的输入

通常逻辑模拟系统都配有用于描述逻辑电路的逻辑模拟专用语言，用户使用该语言来描述要模拟的逻辑电路，写成源程序，输入计算机。

目前绝大部分系统的逻辑描述语言都是“自由格式”语言，有时也称为硬件描述语言，如 HDL，采用英语词汇作为“关键词”，有一定的词法、句法和语法，比较直观、易读。以下是一个由门组成的逻辑电路(见图 22.4)进行逻辑模拟时用的源程序。

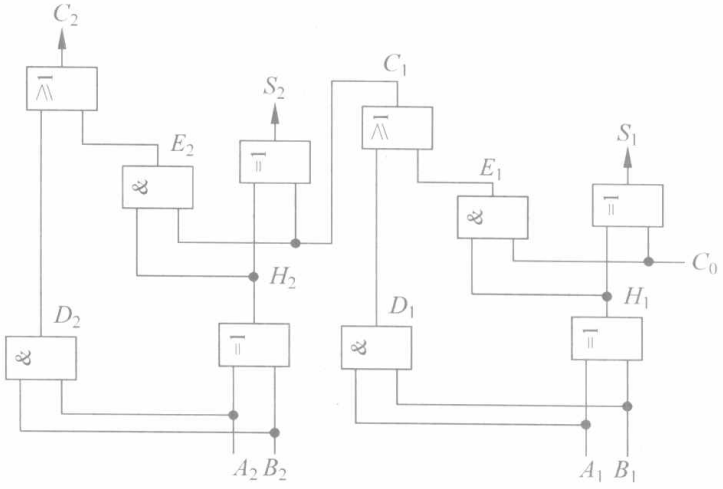


图 22.4　门组成的逻辑电路

```
XOR: H1=(A1,B1)
     H2=(A2,B2)
     S1=(H1,C0)
     S2=(H2,C1)
OR2: C1=(D1,E1)
     C2=(D2,E2)
AND2: D1=(A1,B1)
      D2=(A2,B2)
      E1=(H1,C0)
      E2=(H2,C1)
END
DATA: B1=E1(100,100,1000)
      A1=E1(200,200,1000)
      B2=E1(400,400,1000)
      A2=E1(800,800,1000)
      C0=E1(1600,1600,1000)
WRITE: A2,B2,A1,B1,C0,
       D1,H1,S1,E1,C1,D2,
       H2,S2,E2,C2
TRUN: 500(模拟总时间)
TW: 90,5(打印起始时间及步长)
TU: 1(模拟步长)
END
```

用连接语句表示逻辑描述部分

输入、输出、模拟控制部分

3. 逻辑模拟算法

上述的源程序输入计算机后，经模拟语言编译程序编译后，就得到了表示逻辑电路结

构、类型、功能等的数据表格或代码所选的模拟算法，来模拟逻辑电路的运行状况并检验其逻辑的正确性。

22.2.4 版图设计阶段

在逻辑设计和电路设计后，就进入版图设计阶段。在此阶段的 CAD 工具有版图编辑器、版图分析和验证软件、图形发生器文件生成软件和格式转换用软件。

版图编辑器是一种用于版图设计的交互式图形编辑工具，它可提供基本的几何图形和文本。利用这些基本几何图形的各种组合形成的几何形状，可表示版图的掩模形式，这些几何形状的集合称为单元(cell)，利用这些单元可组成一个芯片。

版图分析和验证软件一般包括几何设计规则检查(DRC)、电学规则检查(ERC)、版图与电路一致性检查(LVS)和版图参数提取(LPE)。它们的作用如下：

几何设计规则检查最终归结于对某种图形集合的宽度、间距、面积、周长等的检验，且往往是以给定的最小宽度、最小间距、最小面积等的语句或命令作为输入，这些语句的执行结果是对输入文件 IF 中的所有图形进行语句所规定的检查，若有错误图形，即不满足最小尺寸的图形，就放在输出文件 OF 中，OF 为错误文件；若检查无误，则 OF 文件为空。

电学规则检查实际是对网络进行分析检查，例如短路检查，就是检查两个不应连接的线路之间(例如地与电源之间)是否存在通路。又如孤立节点(或浮点)检查，就是检查是否存在无法通过电路中的元件依传播方向抵达的节点，并检查是否能由该节点继续传播抵达输出端。

版图与电路图一致性检查是先将实际的版图恢复成电路图，即由版图提取出电路图，再与原要求的电路图相比较。通常是将原始电路图的网表与提取出来的电路图的网表加以比较。

版图参数提取是从实际版图中提取出一些关键的电学参数，如 MOS 管的宽长比、栅电容、交叉耦合电容等，在后模拟中将用到这些参数。

图形发生器文件生成软件用于产生一种掩模制造设备可读的芯片描述文件。

格式转换用软件用于与其他 CAD 系统交换设计。目前在集成电路领域中，比较通用的交换格式有：

(1) Calma GDSⅡ格式；

(2) CIF 格式(caltech intermediate format)；

(3) EDIF 格式(electronic design interchange format)。

22.3 VHDL 简介

VHDL 是一种硬件描述语言，其英文全名为 very high speed integrated circuit hardware description language，是用来描述从抽象到具体级别硬件的工业标准语言。

VHDL 的主要优点是：

(1) 覆盖面广，描述能力强。它可覆盖以下各个层次：①行为描述，算法描述；②计算机体系结构描述，寄存器传输级描述；③门级描述，电路的结构描述；④电路级描述；⑤物理参数描述，包括延时、功耗、频率、几何尺寸等。并且它可以用这些描述层次的任一组合来模拟系统，因此有可能模拟的设计方案是，在其模型中可混合使用高层次行为描述的子系统和低层次详细描述的子系统。

(2) 可读性好，既可被计算机接受，也容易被人理解。

(3) 硬件描述与技术和工艺实现无关。也就是说，VHDL 中并未嵌入特定的技术和工艺的约定。但是这些信息的描述可通过 VHDL 提供的属性包括进去，这对各家公司(不同工艺、技术)之间的互通有益，也提供了便于将新技术引入现存设计的潜在能力。

(4) 通用性强。因为它已成为工业标准(版本号为 IEEE-1076)，所以 VHDL 模型可以在与此标准相一致的任一系统上运行。

22.3.1 VHDL 术语

VHDL 中常用以下一些术语：

实体(entity)：实体是设计中最基本的模块。设计的最顶层是顶级实体，如果设计分层次，那么将有一个较低级别的描述包含在顶级描述之中，这类较低级别的描述是包含在顶级实体中的较低级实体。

结构体(architecture)：所有能被模拟的实体都有一个结构体描述。结构体描述实体的行为功能。一个实体可以有多个结构体，其中一种结构体可能是行为描述，而另一种结构体可能是设计的结构描述。

配置(configuration)：用配置语句安装(连接)具体元件到一个实体-结构体对，它非常像一个描述设计每一部分用哪一种零件的清单。

程序包(package)：它是设计中用的子程序和公用数据类型的集合。

驱动(driver)：它是有关信号的源。如果信号由两个三态反相器所驱动，当两个反相器起作用时，信号将有两个驱动源。

属性(attribute)：属性是附加到 VHDL 对象上的数据或者是有关 VHDL 对象的预定义数据，例如缓冲器的电流驱动能力或器件最大工作温度之类的数据。

类属(generic)：在 VHDL 中，它是传递信息参数到实体的术语。例如，如果实体是带上升沿和下降沿延时的门级模拟，其上升与下降延时值，将由类属传给实体。

进程(process)：在 VHDL 中，进程是基本的执行单元，在 VHDL 描述模拟时，把所有的运算都划分为单个或多个进程。

22.3.2 VHDL 的主体结构

下面介绍 VHDL 的主要结构：实体说明、结构体、子程序、程序包说明以及程序包体。

1. 实体说明

实体说明的一般形式如下：

```
entity〈标识符〉is
generic〈接口表〉;
port〈接口表〉;
    〈说明部分〉
begin
    〈语句部分〉
end〈标识符〉;
```

2. 结构体

结构体的一般形式如下：

```
architecture〈标识符〉of〈实体部分〉is
        〈说明部分〉
begin
    〈语句部分〉
end〈标识符〉;
```

能够在结构体中出现的说明有：基本说明、信号说明、子程序体、属性说明、属性指定、拆接指定、元件说明、配置指定。

结构体中可以含有各种并行语句，并行语句包括：并行信号赋值语句、并行断言语句、并行过程调用语句、进程语句、元件例化语句、块语句、生成语句。

3. 子程序

VHDL 允许设计者自己定义子程序，子程序定义了数目固定的、在类型上与子程序说明保持一致的操作数(参数)。在 VHDL 描述的任何位置都可以对一个子程序进行重复调用。子程序由子程序说明和子程序体组成。

子程序说明由一个个子程序形式说明及一个分号(；)组成。有两种子程序形式说明：过程形式说明和函数形式说明。

```
procedure〈标识符〉 〈接口表〉
function〈标识符〉 〈接口表〉return〈类型标记〉
```

VHDL 允许用过程改变与过程形参相关的对象的值，过程的参量可以为 in，out，inout 方式。在子程序中如果未指定参量的方式，则默认方式为 in；如果未指定类型，则规定 in 方式的参量是常量类型，out 方式和 inout 方式的参量为变量类型。而函数只能用以计算数值，不能用以改变与函数形参相关的对象的值，因此，函数的参量只能是方式为 in 的信号或常量；而且当调用一个函数时，必须执行一个确定返回值的 return 语句才能结束此函数调用。

子程序(过程或函数)体的完整形式如下：

```
〈子程序形式说明〉 is
      〈说明部分〉
begin
      〈语句部分〉
end 〈标识符〉;
```

在子程序体中可以出现以下说明：基本说明、变量说明、子程序体、属性说明、属性指定。

下面是一个简单的子程序体的例子：

```
function Min(X,Y: Integer) return Integer is
    begin
      if  X<Y then
        return X;
      else
        return Y;
    end if;
end Min;
```

4. 程序包与 use 语句

在一个实体的说明部分与结构体部分中定义的数据类型、常量及子程序，对于其他实体的说明部分与结构体是不可见的(不能被使用)。为了使一组类型说明、常量说明和子程序说明对许多设计实体(实体说明部分及其结构体)都成为可见的，VHDL 提供了程序包结构。程序包结构由程序包说明和包体组成。

程序包说明的一般形式是：

```
Package〈标识符〉is
    〈说明部分〉
end〈标识符〉;
```

可以在标识符中使用的说明有：基本说明、信号说明、属性说明、属性指定、拆接指定、元件说明。下面是一个程序包说明的例子。

```
Package Logic is
  type Three_level_logic is ('0','1','Z');
  constant Unknown_Value: Three_level_logic := '0';
  function Invert
    (Input : Three_level_logic)
  return Three_level_logic;
end Logic
```

包体的一般形式是：

```
Pakcage body〈标识符〉is
    〈说明部分〉
end〈标识符〉;
```

包体名总是与它相应的程序包说明的名字相同，包体名前是保留字 Package body。可以在包体中出现的说明有：基本说明、子程序体。下面是上述程序包 Logic 的包体：

```
Package body Logic is
  —下面是函数 Invert 的子程序体
  function Invert
    (Input : Three_level_logic)
  return Three_level_logic is
  begin
    case Input is
      When '0'=>
        return '1';
      When '1'=>
        return '0';
      When 'z'=>
        return 'Z';
    end case;
  end Invert;
end Logic;
```

其中“—”是注释符。

一个程序包所定义的项对另一个 VHDL 并不是自动可见的，如果在某个 VHDL 单元前加上 use 语句，则可使得程序包说明中的某些定义项在该单元中可见，若在 use 语句后跟保留字 all，则可使程序包说明中定义的所有项都成为可见。

在下面的例子中，use 语句使得程序包 Logic 里的所有说明对实体说明都可见。

```
use Logic. all;
entity Inverter is
port (X : in Three_level_logic; Y : out Three_level_logic);
end Inverter;
  —结构体部分继承了实体说明部分的可见性
architecture Inverter_body of Inverter is
begin
  process
  begin
```

```
    Y<=Invert (X) after 10ns;
    wait on X;
  end process
end Inverter_body;
```

22.3.3 VHDL 描述举例

1. 实体说明描述

下面介绍图 22.5 所示半加器实体说明的 VHDL 描述，它定义了两个输入端口和两个输出端口。

```
  —下面是实体说明
entity Half_adder is
    port
    (X : in Bit;
    Y : in Bit;
    Sum: out Bit;
    Carray: out Bit);
end Half_adder;
```



图 22.5 半加器实体说明

在实体说明中，实体本身以及它的每个端口都以标识符命名。某些标识符如 begin，end，entity，architecture，process，port 等是 VHDL 中的保留字。VHDL 的保留字有固定的含义，不能用来命名实体、信号、元件或其他用户定义项。

2. 结构体描述

下面的 VHDL 结构体描述了半加器的行为。

```
  —下面是一个结构体描述
architection Behavioral_description of Half_adder is
begin
  process
    Sum <=X xor Y after 5ns;
    Carry <=X and Y after 5ns;
    wait on X, Y;
  end process;
end Behavioral_description;
```

该结构体含有一个由两个信号赋值语句和一个 wait 语句组成的进程语句。第一个信号赋值语句说明经过 5ns 的时间延迟后，将 X，Y 两端口信号数据“异或”的结果，赋予和端口 Sum 相连的信号。与此类似，第二个信号赋值语句指定了与端口 Carry 连接的信号，将获得 X，Y 两端口信号数据相“与”的结果。wait 语句将进程挂起，当信号 X，Y 中的任一个发生了事件时，进程就从进程语句的顶端开始执行。所以进程语句描述了构成半加器行为

的两个方面：数据变换与时间关系。

3. 完整的 T 触发器描述及其检验驱动程序

下面给出完整的 T 触发器描述及其检验驱动程序。

```
entity TFF is
  generic
    ( tPLH, tPHL Time : =0ns;
      tPCL, tPPH Time : =0ns;
      Setup, Hold Time : =0ns);
  port
    ( T, CLK, PRESET, CLEAR : in Bit : ='0';
      Q : inout Bit : ='0';
      QB : inout Bit : ='1');
begin
Check_Setup_and_Hold_Times :
process (CLK, T)
begin
  if not CLK'Stable and CLK='1' then
    assert T'Stable (Setup)
      report "T changed within setup interval"
       severity Warning;
  end if;
  if not T'Stable and CLK='1' then
    assert CLK'Stable (Hold)
      report "T changed within hold interval"
       severity Warning;
  end if;
end process;
end TFF;

architecture BEHAVIOR of TFF is
begin
  Main :
  process (CLK, PRESET, CLEAR)
  variable Result : Bit;
  variable Delay : Time : =0ns;

begin
  assert not (PRESET='0' and CLEAR='0')
```

```
    report "PRESET and CLEAR both '0' on T_Flip_Flop"
    severity Warning;
  if PRESET='0' and CLEAR='1' then
     Result := '1';
  elsif PRESET='1' and CLEAR='0' then
     Result := '0';
  elsif CLK='1' and not CLK'Quiet then
    if T='1' then
       Result := QB;
     elsif T='0' then
        Result := Q;
     end if;
  elsif CLK ='0' then
        Result := Q;
  end if;

  if Result='0' then
    if CLEAR='0' then Delay := tPCL;
    elsif Q='1' then Delay := tPHL;
    end if;
  elsif Result='1' then
    if PRESET='0' then Delay := tPPH;
    elsif Q='0' then Delay := tPLH;
    end if;
  end if;

    Q<=Result after Delay;
    QB<=not Result after Delay;
  end process;
end BEHAVIOR;

entity Setup_Tester is end;

architecture Setup_Tester of Setup_Tester is

    component TFF
    generic (tPLH,tPHL : Time;
             tPCL,tPPH : Time;
```

```
            Setup, Hold : Time);
    port (T, CLK, PRESET, CLEAR : in Bit;
          Q,QB : inout Bit);
  end component;

  for UUT : TFF use entity Work. TFF (Behavior);
  signal T, CLK, PRESET, CLEAR, Q, QB : Bit;

begin
  PRESET <='1';
  CLEAR <='1';
  T <=
    '1' after 5 ns,
    '0' after 15 ns,
    '1' after 25 ns,
    '0' after 35 ns,
    '1' after 45 ns-4 ns,
    '0' after 55 ns-4 ns,
    '1' after 65 ns+4 ns,
    '0' after 75 ns+4 ns,
    '1' after 85 ns-5 ns,
    '0' after 95 ns-5 ns,
    '1' after 105 ns+5 ns,
    '0' after 115 ns+5 ns;

  CLK <=not CLK after 10 ns;

  UUT : TFF
    generic map (10 ns, 10 ns, 10 ns, 10 ns, 2 ns, 2 ns)
    port map (T, CLK, PRESET, CLEAR, Q, QB);

process (CLK)
begin
  if Now >=200 ns then
    assert false report "Stopping" severity Failure;
  end if;
end process;
end Setup_Tester;
```

复习思考题

22.1　简述集成电路 CAD 的设计流程。

22.2　举出在集成电路 CAD 各阶段中最常用的一种工具。

22.3　试述 VHDL 在集成电路 CAD 中的作用。

参考文献

[1] 贾松良编著. 双极集成电路分析与设计基础. 北京：电子工业出版社，1987

[2] 张建人编著. MOS集成电路分析与设计基础. 北京：电子工业出版社，1987

[3] 董在望，尹达衡编. 模拟集成电路原理与系统. 北京：高等教育出版社，1987

[4] [美]艾伦 B. 格里本著. 邵传芬等译. 双极与 MOS 模拟集成电路设计. 上海：上海交通大学出版社，1989

[5] [美]Neil Weste，Kamran Eshraghian 著. 茅于海，杨之廉，刘宝琴译. CMOS VLSI 设计原理和系统展望. 北京：高等教育出版社，1989

[6] [美]D. A. 霍奇斯，H. G. 杰克逊著. 章开和，邱友瑾，黄宜平译. 数字集成电路分析和设计. 北京：国防工业出版社，1989

[7] 复旦大学微电子教研组编. 集成电路设计原理——双极型逻辑集成电路. 北京：人民教育出版社，1978

[8] 张廷庆，张开华，朱兆宗编. 半导体集成电路. 上海：上海科学技术出版社 ，1986

[9] 杨之廉. 超大规模集成电路设计方法学导论. 北京：清华大学出版社，1990

[10] 李联编著. MOS 运算放大器——原理、设计与应用. 上海：复旦大学出版社 ，1988

[11] [美]L. A. 格拉泽，D. W. 多贝尔普尔著. 陈天鑫，张建人，李瑞伟，石秉学译. 超大规模集成电路的设计与分析. 北京：科学出版社，1991

[12] [美]萨布罗·穆尔加著. 茅于海，刘宝琴，夏玲玲译. VLSI 系统设计——何时和如何设计超大规模集成电路. 北京：电子工业出版社，1989

[13] 庄镇泉，戴英侠，王荣生编著. 大规模集成电路计算机辅助设计. 合肥：中国科学技术大学出版社，1990

[14] Douglas L. Perry 著. 周祖成译. 电子设计硬件描述语言 VHDL. 北京：学苑出版社，1994

[15] 童勤义著. 超大规模集成物理学导论. 北京：电子工业出版社，1988

[16] 童勤义编著. 微电子系统设计导论——专用芯片设计. 南京：东南大学出版社，1990

[17] 夏武颖编著. 半导体器件模型和工艺模型. 北京：科学出版社，1986

[18] 高光渤，李学信编著. 半导体器件可靠性物理. 北京：科学出版社，1987

[19] 庄奕琪主编. 微电子器件应用可靠性技术. 北京：电子工业出版社，1996

[20] 丁嘉种，刘风云，马琦，崔茂东编著. 可编程逻辑器件 PLD——基本原理、设计技术、应用实例. 北京：学苑出版社，1990

[21] 龚建荣，陈表春，李晓飞编著. FPGA 技术. 北京：学苑出版社，1994

[22] Paolo Cappelletti，Carla Golla，Piero Olivo，Enrico Zanoni 著. FLASH MEMORIES. KLUWER ACADEMIC PUBLISHERS，2000

Document generated by Anna’s Archive around 2023-2024 as part of the DuXiu collection (https://annas-blog.org/duxiu-exclusive.html).

Images have been losslessly embedded. Information about the original file can be found in PDF attachments. Some stats (more in the PDF attachments):

{
  "filename": "5Y2K5a+85L2T6ZuG5oiQ55S16LevXzEyMjI5MTQ4LnppcA==",
  "filename_decoded": "\u534a\u5bfc\u4f53\u96c6\u6210\u7535\u8def_12229148.zip",
  "filesize": 76543773,
  "md5": "e469bf324e9e7c4b2bfe6efa119ccd3a",
  "header_md5": "2eeedc672e4977ce3aa68296708cbed5",
  "sha1": "9349d43453f7e83a8946359cfe0076f9cbc184a3",
  "sha256": "9cdeba52833cc627fc2529d1e4445f184b187d7196a7ffcae8ea5c7567f1fdd9",
  "crc32": 4143232123,
  "zip_password": "",
  "uncompressed_size": 103156915,
  "pdg_dir_name": "\u2591\u03b4\u2561\u255d\u2560\u03c3\u255d\u00bb\u2502\u2554\u2561\u03c4\u252c\u2556_12229148",
  "pdg_main_pages_found": 501,
  "pdg_main_pages_max": 501,
  "total_pages": 519,
  "total_pixels": 2857252776,
  "pdf_generation_missing_pages": false
}